

高速数字电路 PCB 设计考虑

---以 ARM9 S3C2410 系统为例

随着现代数字系统开关频率的不断提升，高速数字系统的 PCB 设计成为摆在广大硬件工程师面前一个越来越严峻的问题。当时钟上升边沿陡峭，时钟频率提升到一定程度以后，PCB 中的分布参数问题越来越明显，一根 10cm 长的 PCB 走线，不再是一条简单的导体，很多情况下我们必须把它当作一个元件来对待。以三星 ARM9 处理器 S3C2410 为例，以下是笔者总结的板级 EMI 问题主要原因，并在以下章节针对性的提出 LAYOUT 注意事项。

- 1, 电源和地线是板上所有信号的公共通路，随着板上信号频率的增加，电源和地线组成的信号回路阻抗变得不可忽视，各路信号会通过这个公共阻抗而相互影响。工程实践中可以从以下方面改进：
 - a) 对于四层及以上的 PCB，最好有独立的电源层和地层，完整的地层和电源层其交流阻抗要比普通 PCB 走线小很多。尽量不要在电源层和地层上走线，如果一定要走，请注意不要大片的割开电源或地层，尽量用短线割开，确保信号流过电源、地的时候畅通无阻。
 - b) 对于没有条件使用完整的电源和地层的 PCB，要尽量的加粗电源和地线宽度，将电源尽量设计成星形，其根结点应该在整板电源的引入点，在牵引到整板中任何元件（负载）以前。对于一些容易产生噪音的电路模块，比如 DC-DC 电源，要特别注意这个问题，避免其将噪音信号通过电源、地线扩散到整板。
 - c) 关注电流的实际流向，避免富含噪音分量的大电流信号，比如 DC-DC 电源滤波出去以前的路径影响到其它敏感信号。对噪音敏感的信号应当得到保护，比如 DC-DC 的反馈回路，应当远离干扰源，其接地点须确保电平稳定。
 - d) 在多层地（铺铜）间打过孔，使各层地良好连通。
- 2, 随着信号频率的增加，板上各种分布参数趋于明显，信号更容易通过寄生电容耦合到其它信号回路上，平行线间的 cross-talking(串扰)效应更容易发生。
- 3, 随着时钟频率增加，时钟信号上升沿日趋陡峭，这对导线的长度和阻抗匹配提出了更高的要求。当信号线的长度超过一定数值，导致电信号再起的传播延迟时间大于信号本身的变化周期的时候，信号线须当作传输线来看待，须在其始端和（或）终端采取一定的阻抗匹配措施，以遏制可能产生的反射、振铃等现象的产生。关于传输线理论和相关的计算，请参考相关专业文献，在此不再赘述。对于 S3C2410 芯片为核心的系统来说，需要注意的就是 CPU 和 SDRAM 之间的总线，通常此总线的工作频率在 100MHz,稍有不慎即有可能发生反射、振铃等问题，进行 PCB LAYOUT 时可遵从以下简单规则以尽量避免问题：
 - a) 尽量缩短 CPU 和 SDRAM 之间的走线长度，尽量使走线在 100MHz 的信号频率下呈现出集总电路的特性。根据经验，长度不超过 50~70mm 被认为是安全的。
 - b) 尽量保持各条线的等长性。
 - c) 在时钟信号的驱动端（靠 CPU 端）串入 22 欧姆左右的串联匹配电阻，以抑制反射波。

最后，在投板以前，对若干不放心的信号走线可以仿真验证一下，即使是 protel 也能帮我们完成这样的 SI 仿真。