

# S1R72U16 用户开发手册

ECC BJ

修改履历

日期	版本号	版本类型	修改人
2007-11-18	V1.0	基于 CPU 接口模式的实现方案	ECC-BJ

## 目录

<b>1 概述</b> .....	<b>4</b>
<b>2 硬件连接</b> .....	<b>5</b>
2.1 72U16 与 CPU 的连接 .....	5
2.2 72U16 的 USB 接口参考电路 .....	6
2.3 72U16 的时钟参考电路 .....	7
<b>3 软件移植</b> .....	<b>7</b>
3.1 移植要点.....	8
3.2 参考代码初始化流程.....	8
<b>4 调试要点</b> .....	<b>9</b>
4.1 CPU 读写时序的配置 .....	9
4.2 时序不正常时可能出现的现象 .....	10
4.3 对 U 盘的要求 .....	10
<b>5 其他参考资料</b> .....	<b>10</b>
<b>6 技术支持</b> .....	<b>11</b>

# 1 概述

S1R72U16 是一款 EPSON 开发的内嵌 USB 协议软件高性能 USB2.0 控制芯片。该芯片实现了 USB 2.0 Host 的高速数据传输功能。本文档介绍了 72U16 在 CPU 接口模式下的硬件连接和软件移植方法，以及调试时需要注意的要点。目的是能够让使用 72U16 的开发人员能迅速实现 USB2.0 Host 的功能。

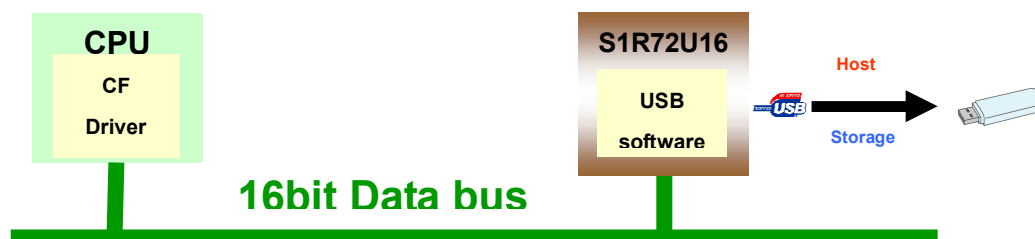


图 1 CPU 接口模式下的 72U16 系统

## 2 硬件连接

### 2.1 72U16 与 CPU 的连接

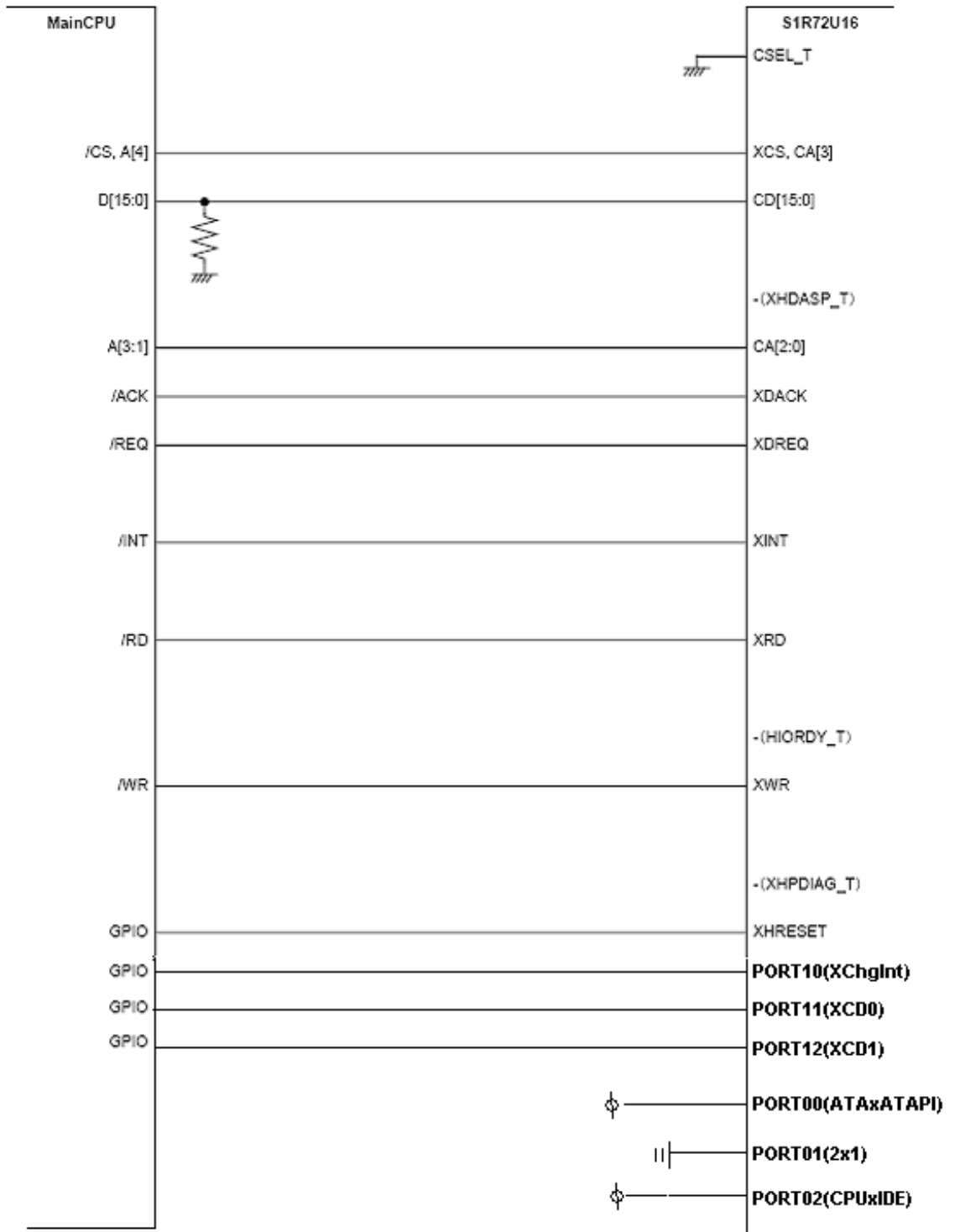


图 2 U16 与 CPU 的连接示意图

\*\* 地址线说明:

U16 内部寄存器是按 16 位映射的, 所以地址线连接时按照 CPU A[4]-A[1]对应 U16 CA[3]-CA[0]的方式。

\*\* 信号逻辑说明:

U16 以 'x' 作为前缀的信号是负逻辑信号(低电平或下降沿有效)。

## 2.2 72U16 的 USB 接口参考电路

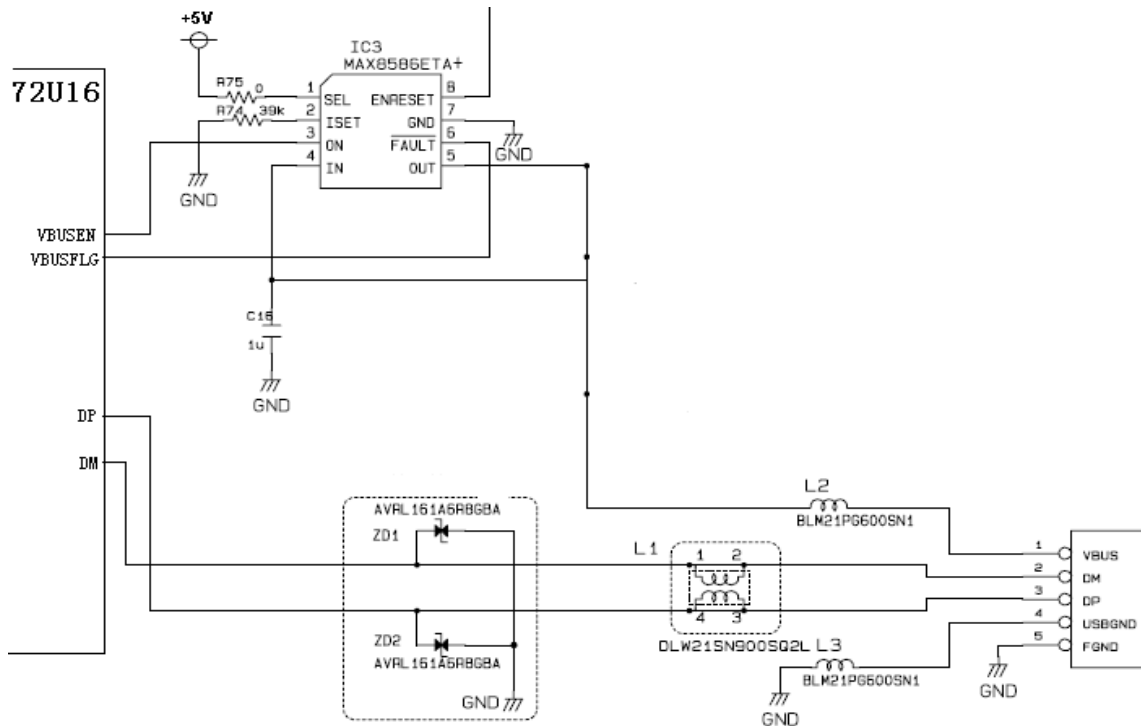


图 3 U16 的 USB 接口参考电路图

\*\* 图中虚线部分为高速 USB 传输的信号保护电路, 推荐在实际制板时加上这一部分。为保证高速数据传输, 在进行 PCB 设计时请遵循参考资料《S1R72U16 USB2.0 PCB Design Guide》中的规定。

## 2.3 72U16 的时钟参考电路

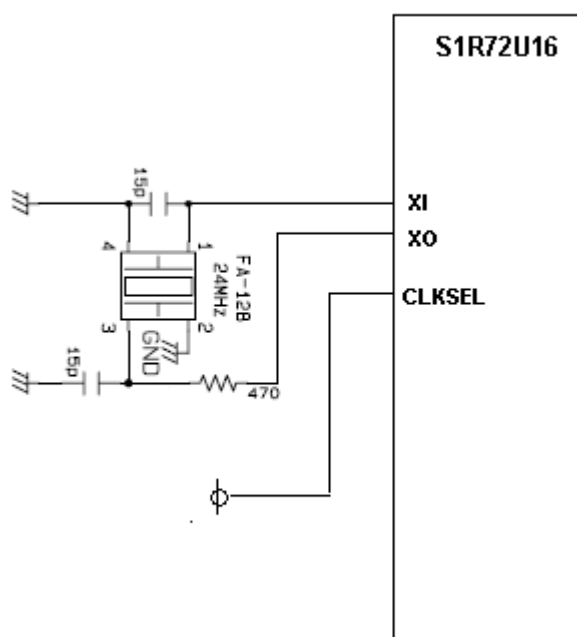


图 4 U16 的时钟参考电路图

\*\* 图中选用晶体为 EPSON FA128 24M 9pf 的晶体。

## 3 软件移植

S1R72U16 是内嵌 USB 协议软件的,对采用上述的硬件连接 MAIN CPU 而言,S1R72U16 相当于一个 CF 卡接口芯片。如果用户有自己标准的 CF 卡驱动,可以直接使用。也可以参考爱普生提供的参考代码。该参考代码的软件结构如下图所示,其中 CF 卡驱动将以源码的形式提供。如果客户需要提供文件系统支持,可以向爱普生申请提供参考文件系统。应用程序包括软件初始化流程,以及调用参考文件系统 API 的测试代码。

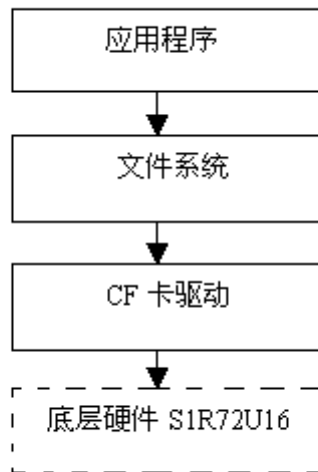


图 5 72U16 参考代码结构

### 3.1 移植要点

#### 1. 基地址的改变

修改 72U16 对应 mainCPU 地址空间的基地址 U16\_BASE\_ADDR。

#### 2. GPIO 的设定及中断注册

72U16 使用了几个 GPIO，在系统初始化的时候需要根据具体要求配置。

XHRESET 对应的 GPIO 设置为输出口，初始化时设置为高；

PORT10 对应的 GPIO 设置为输入口，并注册成一个低电平触发的系统中断；

PORT11 对应的 GPIO 设置为输入口；

PORT12 对应的 GPIO 设置为输入口；

#### 3. 设备插入拔出检测

设备在插入拔出时会通过 PORT10 口会产生一个低电平的脉冲，如果 PORT10 对应的 GPIO 已经注册成一个低电平触发的系统中断，则会进入该系统中断的处理函数。在处理函数中读取 PORT11 对应 GPIO 口的电平，低电平表示有 USB 设备插入，高电平表示 USB 设备拔出。

### 3.2 参考代码初始化流程

系统检测到有设备插入后就可以进行 CF 卡和文件系统的初始化，流程如下图所示。



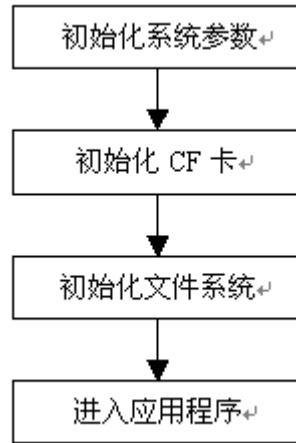


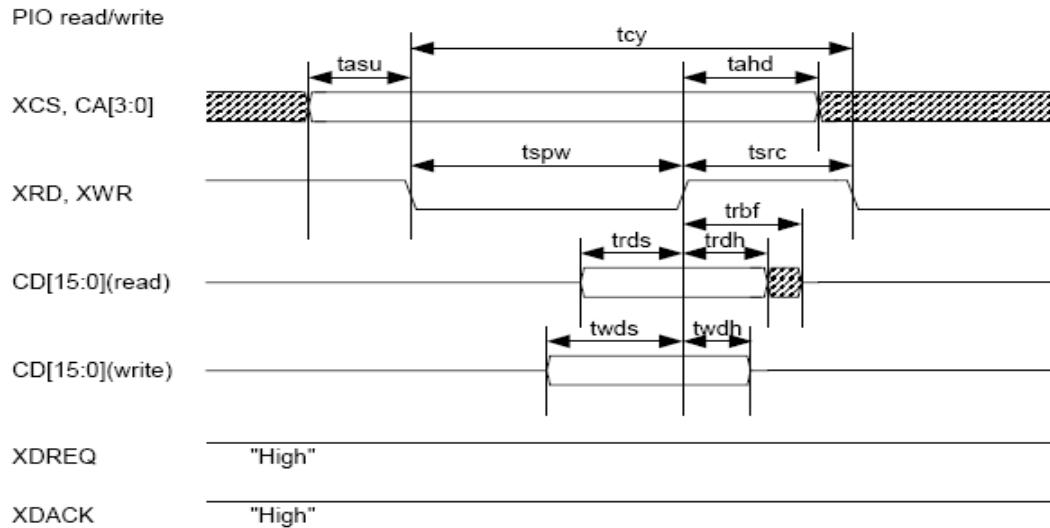
图 6 初始化流程图

## 4 调试要点

### 4.1 CPU 读写时序的配置

在进行移植工作之前，需要对照 MAIN CPU 的时序，以确定是否能够匹配 72U16 的时序要求。

72U16 CPU 接口的时序如下图所示。



Code	Details	Min	Typ	Max	Units
tcy	Cycle	120/130	-	-	ns
tasu	Address setup	25/30	-	-	ns
tspw	XRD/XWR pulse width	70/75	-	-	ns
tsrc	XRD/XWR recovery	25/30	-	-	ns
trds	Read data setup	20/15	-	-	ns
trdh	Read data hold	5/5	-	-	ns
trbf	Bus release	-	-	30/30	ns
twds	Write data setup	20/25	-	-	ns
twdh	Write data set hold	10/10	-	-	ns
tahd	Address hold	10/10	-	-	ns

图 7 CPU 接口模式下 72U16 的读写时序

## 4.2 时序不正常时可能出现的现象

- (1) Busy Check 超时，或一直在 while 中死循环
- (2) 数据读取写入不正确

## 4.3 对 U 盘的要求

如果使用参考文件系统，由于参考文件系统目前支持 FAT12 FAT16 FAT32 格式，所以 U 盘需要格式化为 FAT 或 FAT32 格式。

# 5 其他参考资料

网址：<http://www.epson.com.cn/usb/>

<< S1R72U16 Data Sheet>>

<<S1R72U16 Technical Manual>>

<<S1R72U16 Application Note>>

<<S1R72U16 CPU Guide>>

<<S1R72U16 FAQ>>

<<S1R72U16 USB2.0 PCB Design Guide>>

## 6 技术支持

用户在使用 72U16 进行开发过程中遇到问题，可以就近和 EPSON 电子元器件部门的技术支持工程师联系。

北京：010-85221199-545

上海：021-54235577

深圳：0755-26993828