

# 两种新型 CMOS 带隙基准电路

Two CMOS Bandgap Reference Circuits

西安交通大学电子与信息学院微电子研究所 程军 陈贵灿 (西安 710049)

**摘要:** 文章介绍了两种 CMOS 带隙基准电路。它们在传统带隙基准电路的基础上,采用了低压共源共栅电流镜提供偏置电流,降低了功耗,减小了沟道长度调制效应带来的误差并使电路可以工作在较低的电源电压下,采用运放的输出作为共源共栅电流镜的偏置电压,使基准电压不受电源电压变化的影响。其中一种电路,还通过两个串联二极管的原理提高  $\Delta V_{BE}$ ,从而减小了运放失调的影响。仿真结果表明,在工艺偏差、电源电压变化  $\pm 10\%$  以及温度在  $-20$  至  $125^\circ\text{C}$  范围内变化的情况下,两种 CMOS 带隙基准的输出电压分别是  $1.228 \pm 0.003\text{V}$  和  $1.215 \pm 0.003\text{V}$ ,温度系数仅为  $33.7\text{ppm}/^\circ\text{C}$  和  $34.1\text{ppm}/^\circ\text{C}$ ;在电源电压分别大于  $2\text{V}$  和  $2.8\text{V}$  时,电源电压的变化对这两种基准的输出电压几乎没有影响;在  $3.3\text{V}$  电源电压下两个电路的功耗分别小于  $0.1\text{mW}$  和  $0.34\text{mW}$ 。

**关键词:** 带隙基准, CMOS 模拟电路, 专用集成电路

## 1 引言

在传统带隙基准电路<sup>[1]</sup>的基础上,出现了许多 BGR 的改进电路。为了减小运放失调电压的影响,采用两个串联二极管的结构<sup>[2]</sup>,这种方法得到的输出电压约为  $2.5\text{V}$ ,而在低电源电压电路中,这个输出电压太高,使其应用受到了限制。例如,文献<sup>[3]</sup>设计的 BGR 电路采用了串联二极管结构来减小运放失调的影响,在  $5\text{V}$  电源下产生的输出电压为  $2.0\text{V}$ ,但该电路的结构较复杂,且输出必须是浮动的。为了减小输出电压,同时减小其对电源电压的依赖性,本文提出了两种较为简单的 BGR 结构:第一种结构采用容性负载的运放,同时采用低压共源共栅电流源,因而减小了功耗、减小了沟道长度调制效应和电源的变化对输出电压基准的影响;第二种结构在第一种结构的基础上使用串联二极管以减小运放失调电压的影响。这两种结构的输出均为  $1.2\text{V}$  左右,温度系数仅为  $33.7\text{ppm}/^\circ\text{C}$ 。

本电路设计的目的是用于产生高速 USB 收发器中的标准的  $17.78\text{mA}$  电缆驱动电流,要求该标准电流的误差小于  $10\%$ ,采用本电路和一个外接的精密电阻可以很好地满足规范的要求<sup>[4]</sup>。

## 2 传统带隙基准

传统带隙基准电路由一个运放、两个双极晶体管和若干电阻构成,如图 1 所示<sup>[1]</sup>。在标准 CMOS 工艺中,双极晶体管可以用纵向 PNP 晶体管实现,如图 2 所示,这里由于双极晶体管工作在二极管状态,所以对晶体管的  $\beta$  值要求不高。在图 1 的电路中,双极晶体管被接成二极管形式,其发射极电流

可以写成:

$$I = I_s \cdot (e^{q \cdot V_{BE}/kT} - 1) \quad (1)$$

其中  $I_s$  为饱和电流,  $V_{BE}$  是双极晶体管的基极-发射极正偏电压,  $q$  是电子电荷,  $k$  是玻尔兹曼常数,  $T$  是绝对温度。

当  $V_{BE} \gg kT/q$  时,有  $I \approx I_s \cdot e^{q \cdot V_{BE}/kT}$ , 所以有:

$$V_{BE} = V_T \cdot \ln(I/I_s) \quad (2)$$

其中  $V_T = kT/q$ , 式(2)表现了基极-发射极正偏电压与集电极电流的关系。

在图 1 电路中,结点 X 和 Y 的电压受运放控制,两者相等(忽略运放失调电压的影响),所以有  $I_1 = (R_2/R_1) \cdot I_2$ , 且  $R_3$  上的电压就是晶体管  $Q_1$  和  $Q_2$  的  $V_{BE}$  的差值  $\Delta V_{BE}$ 。由于晶体管  $Q_2$  的面积是  $Q_1$  的  $n$  倍,所以  $Q_2$  的饱和电流也为  $Q_1$  饱和电流的  $n$  倍,我们可以得到:

$$\begin{aligned} \Delta V_{BE} &= V_{BE1} - V_{BE2} = V_T [\ln(I_1/I_s) - \ln(I_2/nI_s)] \\ &= V_T \cdot \ln(nR_2/R_1) \end{aligned} \quad (3)$$

由  $V_X = V_Y$ , 所以图 1 的带隙基准输出电压  $V_{ref}$  可以表示为:

$$V_{ref} = V_{BE1} + \frac{R_2}{R_3} \Delta V_{BE} = V_{BE1} + \frac{R_2}{R_3} \ln(n \cdot \frac{R_2}{R_1}) \cdot V_T \quad (4)$$

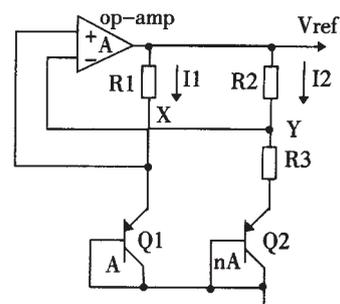


图 1 传统带隙基准电路

收稿日期: 2003-05-09

基金项目: 西安市科学技术计划基金资助项目(ZS200105)

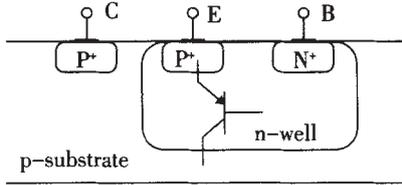


图 2 在 CMOS 工艺中实现 PNP 双极晶体管

其中  $V_{BE1}$  是 Q1 晶体管的基极-发射极正偏电压,是一个负温度系数为  $-1.5\text{mV}/^\circ\text{K}$  的量,而  $V_T$  是一个正温度系数约为  $0.087\text{mV}/^\circ\text{K}$  的量。通过适当地选取电阻 R1、R2 和 R3 的比值和  $n$  的大小,就可以使  $V_{ref}$  表达式中的正温度系数和负温度系数相互抵消,也就是零温度系数,使  $V_{ref}$  的输出不随温度变化,这就是带隙基准的基本原理。

由  $\frac{\partial V_{ref}}{\partial T}=0$ ,可得式(4)中的第二项系数  $\frac{R2}{R3} \ln(n \cdot \frac{R2}{R1})$  约等于 17.2,通过适当选取  $n$ ,R1,R2 和 R3 可满足这个要求,本文电路中所有  $n$  的取值都为 10。

上述的传统带隙基准电路有两个缺点:第一,运放的输入失调电压会给输出带来误差;第二,通过 R1 和 R2 分别给 Q1 和 Q2 提供偏置电流,电路的静态功耗大,而且偏置电流易受温度影响。

### 3 改进 CMOS 带隙基准电压电路

第一种改进的带隙基准电压电路如图 3 所示。此电路产生正比于绝对温度(PTAT)的电流,并将此 PTAT 电流通过一个电阻 R2 加到晶体管 Q3 的基极-发射极(为了简单起见,这里取 Q3 的面积与 Q1 的相同)。M1~M6 构成了共源共栅电流镜,使用 PMOS 电流源(而不是通过电阻)提供 Q1 和 Q2 的偏置电流,不仅使电路静态功耗减小,而且还使偏置电流受温度的影响减小。图 3 使用的低电压共源共栅电流镜具有两个优点:第一,比普通 PMOS 单管电流镜具有更高的输出阻抗,减小了沟道调制效应引起的电流不匹配,因此镜像电流误差很小;第二,与图 4 所示的普通 PMOS 共源共栅电流镜相比,输出端消耗的电压余度更小(比普通共源共栅电流镜小一个 MOS 管阈值电压)。图 4 的共源共栅电流镜所消耗的电压降为  $(|V_{GS1}-V_{TH}|+|V_{GS2}-V_{TH}|+V_{TH})$ ,其中  $V_{GS1}$  和  $V_{GS2}$  分别为 M1 和 M2 的栅源电压,假设所有 PMOS 管的阈值电压的绝对值均为  $V_{TH}$ 。

而图 3 中的低电压共源共栅电流镜消耗的电压最小可以为两个 PMOS 管的过驱动电压,即:

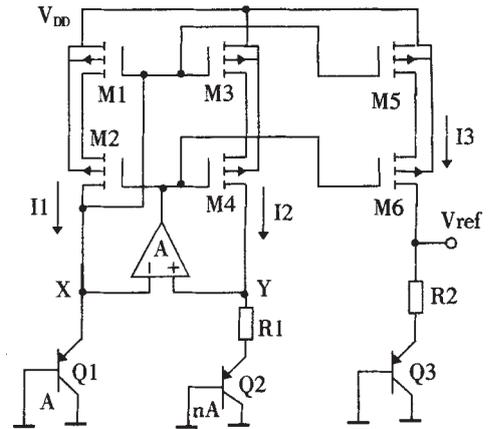


图 3 产生正比于绝对温度的电流的改进带隙基准电压电路

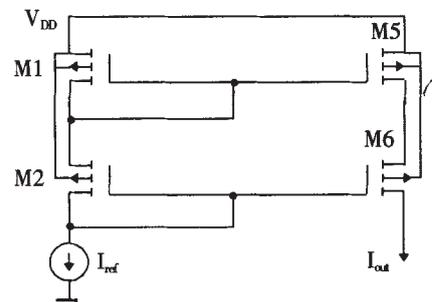


图 4 普通 PMOS 共源共栅电流镜

$(|V_{GS1}-V_{TH}|+|V_{GS2}-V_{TH}|)$ , 比图 4 电路小了一个  $V_{TH}$ ,因此,更适合在低的电源电压下工作,比如 2.5v 或者 3.3v,详细分析可参考文献[2]。

图 3 的带隙基准电压电路中  $I1=I2=I3$ ,运放使  $V_X=V_Y$ ,所以:

$$I1=I2=I3=(V_T \ln n)/R1 \tag{5}$$

由于与  $V_T$  成正比,从而与  $T$  成正比,因此称  $I3$  为 PTAT 电流。所以,输出电压  $V_{ref}$  等于:

$$V_{ref}=V_{BE3}+\frac{R2}{R1}V_T \ln n \tag{6}$$

与图 1 所示的传统带隙基准电路相比,运放的负载由电阻改成了共源共栅电流镜,由式(5)可知,电流镜产生的电流与  $V_T$  (即与绝对温度)成正比,此 PTAT 电流通过电阻加在与绝对温度成反比的  $V_{BE3}$  电压上,从而使输出电压成为零温度系数的量。

共源共栅电流镜的输出电流在一定程度上是与电源电压无关的,因为该电流镜的偏置电压是由运放的输出电压提供的,由于运放的电源抑制比很大(运放电源抑制比典型值都在 80dB 以上<sup>[5]</sup>),使得运放的输出几乎不随电源电压变化,从而电流镜的偏置不随电源电压改变,因此电流镜的输出电流也不随电源电压变化,最终减小了电源电压对输出基准电压的影响。

在式(6)中,只要选取 $(R2/R1)\ln(n) \approx 17.2$ ,就可使输出  $V_{ref}$  与温度无关,本文中取  $n=10$   $R1=5k$ ,  $R2=42k$ 。由于采用了低电压共源共栅电流镜作为运放的负载,该基准电压电路可以在 2.5v 电源电压下很好地工作。

第 2 种改进的 CMOS 带隙基准电压电路如图 5 所示。同样,在这个电路中使用了低电压的 PMOS 共源共栅电流镜作为运放的负载,并且用来产生与绝对温度成正比的电流,  $M0 \sim M9$  为构成电流镜的晶体管,产生镜像电流  $I1 \sim I5$ ,  $Q1$  和  $Q2$  相同,  $Q3$  和  $Q4$  相同,  $R1$  和  $R1'$  相同。

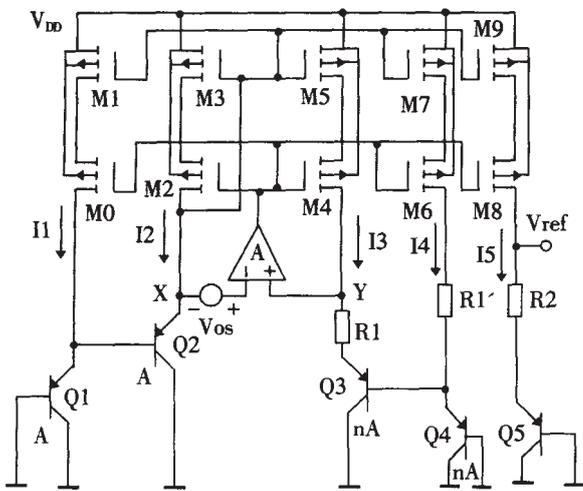


图 5 使用串联双极晶体管的带隙基准电压电路

在分析图 3 的带隙基准电压时,我们并没有考虑运放的失调电压给输出电压带来的误差。在图 5 的电路中,我们增加了两个作为射极跟随器的双极晶体管  $Q_2$  和  $Q_3$ ,这样做的目的是为了减小式(3)中的  $\Delta V_{BE}$ ,减小运放的失调对输出造成的误差<sup>[2]</sup>。

我们先从分析图 3 的电路开始。假设图 3 的电路中,用一个电压源  $V_{OS}$  来表示运放的失调电压,如图 5 所示。所以有  $V_Y = V_X + V_{OS}$ ,从而图 3 的输出带隙基准电压就由式(6)变成:

$$V_{ref} = V_{BE3} + \frac{R2}{R1} (V_T \ln n + V_{OS}) \quad (7)$$

同样,在图 5 电路中,电流镜使得  $I1 = I2 = I3 = I4 = 2 \cdot I5$ ,晶体管  $M8/M9$  的宽长比是晶体管  $M0 \sim M7$  宽长比的一半。由于  $V_Y = V_X + V_{OS}$ ,  $R1 = R1'$ ,这里暂假定晶体管  $Q2$  和  $Q3$  的基极电流为零,我们可以得到  $V_X = 2V_{BE1}$ ,  $V_Y - I3 \cdot R1 = 2V_{BE4}$ ,这相当于两个二极管串联,所以有:

$$I3 = \frac{1}{R1} (2V_{BE1} + V_{OS} - 2V_{BE4}) \quad (8)$$

所以:

$$V_{ref} = V_{BE5} + \frac{R2}{R1} (V_T \ln n + \frac{1}{2} V_{OS}) \quad (9)$$

其中  $V_{BE5}$  为  $Q5$  的射极-基极正偏电压,而  $V_{BE1}$  为  $Q1$  和  $Q2$  的射极-基极正偏电压,  $V_{BE4}$  为  $Q3$  和  $Q4$  的射极-基极正偏电压,  $Q3$  和  $Q4$  的面积为  $Q1$  和  $Q2$  的  $n$  倍,  $Q5$  的面积与  $Q1$  和  $Q2$  的相同。比较式(9)和式(7),可以看出:式(9)中的  $V_{OS}$  的影响降低到式(7)中的一半,从而减小了运放失调给输出带来的误差。

在式(8)和(9)的计算中,我们没有考虑晶体管  $Q2$  和  $Q3$  的基极电流,如果考虑基极电流后,由于  $Q1$  的射极电流增大了  $I_{b2} = I2 / (1 + \beta)$ ,其结电压变为:

$$V_{BE1} = V_T \ln \left( \frac{I1 + I2 / (1 + \beta)}{I_S} \right) \quad (10)$$

而  $Q2$  的射极电流为  $I2$ ,其结电压  $V_{BE2}$  变为:

$$V_{BE2} = V_T \ln \left( \frac{I2}{I_S} \right) \quad (11)$$

上两式中  $\beta$  为纵向 PNP 管的正向电流放大系数。同理,  $Q3$  和  $Q4$  上的 PN 结电压  $V_{BE3}$  和  $V_{BE4}$  与  $Q1$  和  $Q2$  类似,分别为  $V_T \ln \left( \frac{I3}{nI_S} \right)$  和  $V_T \ln \left( \frac{I4 + I3 / (1 + \beta)}{nI_S} \right)$ ,由于共源共栅电流镜的输出阻抗很高,使得电流镜输出电流相差极小,可以认为  $I1 = I2 = I3 = I4$ ,所以  $R1$  上的电压  $\Delta V_{BE}$  为:

$$\Delta V_{BE} = (V_{BE1} + V_{BE2} - V_{BE3} - V_{BE4}) = 2V_T \ln n \quad (12)$$

所以基准的输出还是和式(7)一致,为:

$$V_{ref} = V_{BE5} + \frac{R2}{R1} V_T \ln n \quad (13)$$

图 5 所示电压基准电路与图 3 所示电路相比,其缺点是:因为采用了两个串联二极管的结构,所以电路的工作电压不能太低,比如不能低于 2.5v(仿真结果为 2.8v)。另外由于增加了电流镜,电路的功耗也相应增大了。两个电路中的运放都采用了相同的折叠式共源共栅结构<sup>[2]</sup>,其 PSRR 为 93dB。

#### 4 仿真结果

图 6 为图 3 所示基准电压电路的 Hspice 仿真结果,而图 7 为图 5 所示基准电压电路的 Hspice 仿真结果,在仿真时未考虑运放失调的影响。仿真所使用的各种模型为 UMC 0.25 $\mu$ m 1P5M 标准逻辑 CMOS 工艺所提供的参数: MOS 晶体管模型为 Hspice Level 49, PNP 双极晶体管的模型为该 CMOS 工艺的纵向双极晶体管的 level 1 模型,电源

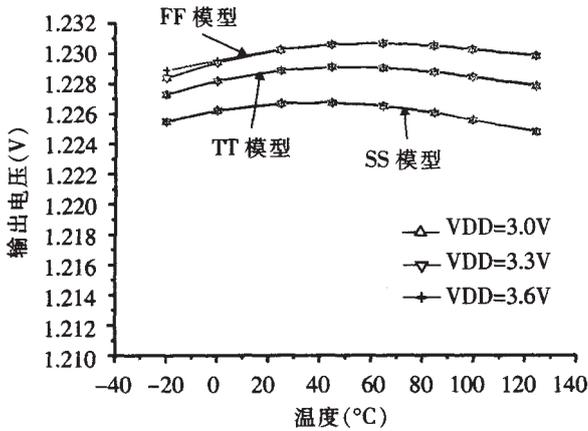


图 6 图 3 所示电路的 Hspice 仿真结果

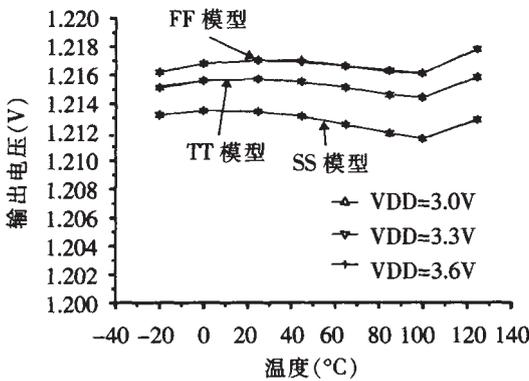


图 7 图 5 所示基准电路的 Hspice 仿真结果

电压为 3.3v。在仿真时电源电压变化为±10% ,对于工艺的偏差分别使用了 MOS 晶体管的 FF 模型、TT 模型和 SS 模型来表示 ,仿真所取的温度范围为-20℃到 125℃。两个基准电压的输出分别为 :1.228±0.003v 和 1.215±0.003v。

图 8 显示了电源电压的变化对输出基准电压的影响。对于图 3 电路 ,当电源电压超过 2V 以后 ,电路就可以正常工作 ;对于图 5 的电路 ,电源电压超过 2.8V 之后 ,电路工作正常。这两个电路在正常

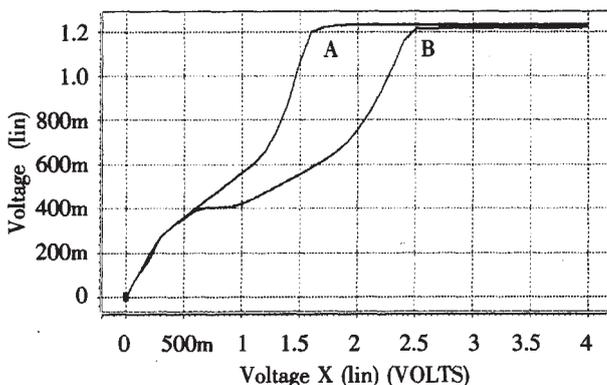


图 8 输出基准电压随电源电压变化的情况 (A 为图 3 输出,B 为图 5 输出)

工作之后 ,电源电压的增加对基准电压几乎没有影响 ,说明运放的电源抑制比足够大 ,使得电源电压对 PTAT 电流的影响非常小。

### 5 结束语

本文设计了两种 CMOS 工艺兼容的带隙基准电压产生电路 ,具有电路简单 ,功耗低 ,温度系数小的特点。采用低电压共源共栅 PMOS 电流镜产生 PTAT 电流 ,有效地减小了沟道长度调制效应 ,能够提供恒定的偏置电流 ,并且电路可以工作在较低的电源电压下。为了进一步减小运放失调的影响 ,可以采用图 5 所示的两个串联二极管的结构 ,虽然增加了一些功耗 ,但可减轻版图不对称带来的影响。

### 参考文献

- [1] K E Kujik. IEEE J of Solid-State Circuits, 8, 6, 222(1973).
- [2] Behzad Razavi. Design of Analog CMOS Integrated Circuits, New York: McGraw-Hill, 2001.
- [3] T Books and A L Westwisk. A Low-Power Differential CMOS Bandgap Reference. ISSCC Dig of Tec Papers, Feb, 1994, 248~249.
- [4] Universal Serial Bus Specification, Revision 2.0, April, 27, 2000.
- [5] Randall L Geiger, Phillip E, Allen and Noel R Strader. VLSI Design Techniques for Analog and Digital Circuits, New York: McGraw-Hill, 1990.

CHENG Jun, CHEN Gui-can (Institute of Microelectronics of Xi 'an Jiaotong University, Xi 'an 710049)

**Abstract:** Two types of CMOS bandgap reference circuits are presented in this paper. Based on the conventional bandgap reference, a low voltage cascode current mirror is used to produce bias currents and hence the errors resulted from the effect of the channel length modulation of PMOS are reduced. The bias voltage of the cascode current mirror is provided by an op -amp and hence the bandgap voltages are of supply independent. One of them is also able to decrease the effect of the op -amp offset by using dual diodes in serial to increase  $\Delta V_{BE}$ . The simulation results show that the output of the bandgap voltages are 1.228±0.003V and 1.215±0.003V respectively over the process, voltage and temperature variations, the temperature coefficient are only 33.7ppm/°C and 34.1ppm/°C respectively, the supply voltage has little influence on the output reference while it is above 2v and 2.8v; the dissipation of the circuits are less than 0.1mW and 0.34mW respectively, with the 3.3v supply.

**Key words:** Bandgap Reference ,CMOS analog circuit ,ASIC