

文章编号: 1004-3365(2003)05-0415-04

CMOS 电压基准的设计原理

王红义, 王松林, 来新泉, 孙作治

(西安电子科技大学 电路 CAD 研究所, 陕西 西安 710071)

摘 要: 电压基准是集成电路一个重要的构成单元。结合多年设计经验, 介绍了五类 CMOS 电压基准的设计原理、理论推导、参考电路、特点和主要性能指标, 给出了主要参数的计算公式。最后, 对各种 CMOS 电压基准的性能进行了比较。

关键词: 集成电路; 模拟集成电路; 电压基准; CMOS

中图分类号: TN 432

文献标识码: A

Design Guidelines of CMOS Voltage References

WANG Hong-yi, WANG Song-lin, LAIX in-quan, SUN Zuo-zhi

(Institute of Electronic CAD, Xi'an University, Xi'an, Shaanxi 710071, P. R. China)

Abstract: Voltage reference is one of the most important IC cells. Five types of CMOS voltage references are introduced in this paper, with regard to the design principles, theoretical derivation, reference circuits, features and specifications. Equations for calculating major parameters are described. And a comparison is made on performances of different circuits.

Key words: Integrated circuit; Analog IC; Voltage reference; CMOS

EEACC: 2570D

1 引 言

电压基准是集成电路中一个非常重要的组成单元, 它直接影响着芯片的精度、温漂等重要指标。近年来, CMOS 技术迅速发展, 越来越多的集成电路采用 CMOS 工艺实现。由于传统的 Brokaw 结构的带隙 (Bandgap) 基准在标准 CMOS 工艺中较难实现, 并且它的工作电流较大, 工作电压较高, 因此, 如何在 CMOS 工艺中设计性能良好的电压基准是广大 IC 设计者面临的一个重要课题。本文中, 结合多种模拟 CMOS 集成电路设计经验, 重点介绍了五类 CMOS 电压基准的设计原理。

2 电压基准的主要性能指标

电压基准的主要性能指标包括: 电源电压调整率、温度系数、工作电流和最低工作电压。

1) 电源电压调整率: 电源电压波动对基准的影响程度。调整率越小, 基准输出电压越稳定。

2) 温度系数: 反映温度对基准电压的影响程

度, 好的电压基准, 其温度系数仅为几个 ppm/°C。

3) 工作电流: 电压基准正常工作时所耗用的电流。在电池供电设备中, 工作电流是一个重要的性能指标。工作电流越小, 工作时间就越长。现在, 有些电压基准的工作电流仅为 1 μ A 左右。

4) 最低工作电压: 电压基准能够正常工作所需的最低电源电压。随着 CMOS 工艺中特征尺寸越来越小, 允许的电源电压越来越低。这就要求电压基准能够在较低电源电压下工作。在电池供电的设备中, 工作电压低意味着电池使用周期可以更长。

3 CMOS 工艺中的电压基准

CMOS 集成电路中, 通常是利用一个正温度系数电压与一个负温度系数电压加权求和, 消除或削弱温度的影响, 来获取低温度系数。CMOS 电压基准可大致归纳为五种结构。

3.1 衬底 PNP 型带隙基准

衬底 PNP 是指集电极为衬底的 PNP 型三极管, 可用标准 N 阱 CMOS 工艺实现。利用衬底 PNP 可构成带隙基准, 其工作原理与双极工艺下 Brokaw

收稿日期: 2002-09-27; 定稿日期: 2002-10-17



结构的带隙基准相同。这种基准的典型电路如图 1 所示^[1,2]。

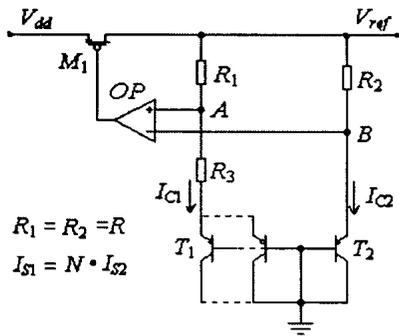


图 1 衬底 PNP 型带隙基准

图 1 中, T_1 和 T_2 为衬底 PNP 三极管, T_1 由 N 个与 T_2 相同的三极管并联而成, 因此, $I_{S1} = N \cdot I_{S2}$, I_S 为三极管发射结的反向饱和电流。反馈回路使得 A、B 两点保持等电位。由于 $R_1 = R_2 = R$, 所以流过 R_1 、 R_2 的电流相等。忽略运放正负输入端的输入电流, 则 T_1 、 T_2 集电极电流 I_{C1} 与 I_{C2} 相等, 记为 $I_{C1} = I_{C2} = I_C$, 可得 T_1 与 T_2 的发射结电压 V_{BE1} 、 V_{BE2} 分别为:

$$V_{BE1} = \frac{kT}{q} \ln \frac{I_{C1}}{I_{S1}} = \frac{kT}{q} \ln \frac{I_C}{N \cdot I_{S2}} \quad (1)$$

$$V_{BE2} = \frac{kT}{q} \ln \frac{I_C}{I_{S2}} \quad (2)$$

式中, k 为波尔兹曼常数; q 为电子电量; T 为绝对温度。 R_3 两端电压为:

$$V_{R3} = V_{BE2} - V_{BE1} = \frac{kT}{q} \ln N \quad (3)$$

流过 R_3 的电流为:

$$I_{R3} = I_C = \frac{kT}{qR_3} \ln N \quad (4)$$

输出基准电压为:

$$V_{REF} = V_{BE2} + V_{R2} = V_{BE2} + \left(\frac{R_2}{R_3} \frac{k}{q} \ln N \right) \times T = V_{BE2}(0) - \alpha \cdot T + \beta \cdot T \quad (5)$$

式中, $\beta = \frac{R_2}{R_3} \frac{k}{q} \ln N$; $V_{BE2}(0)$ 为绝对零度时硅的带隙电压; 常数 α 为 V_{BE2} 的温度系数。由(5)式可以看出, 适当选取 R 与 R_3 比例关系和 N 值, 使 $\alpha = \beta$, 可获得很低的温度系数。电路设计中, 可在电阻网络中增设调节脚来调节基准, 良好的工艺和细致的修正, 可使基准精度达到传统带隙基准的水平。

同样原理也可用标准 P 阱 CMOS 工艺中衬底 NPN, 或采用寄生二极管实现^[3]。

这种电压基准的优点是原理简单, 修正方便, 技术成熟, 缺点是工作电流较大, 需要用到大电阻和多个衬底 PNP, 占用芯片面积较大, 工作电压较高(大

于 1.5 V)。

3.2 CMOS 型带隙基准

当 MOS 管工作在亚阈值区时, 漏极电流与栅极电压关系为:

$$I_d = \frac{W}{L} I_{D0} \exp\left(\frac{V_{GS}}{nkT/q}\right) \quad (6)$$

式中, W 、 L 为 MOS 管沟道宽和长, V_{GS} 为栅源电压, 参数 I_{D0} 和 n 由工艺决定。

这种关系式类似于二极管正向导通时电压与电流的关系, 因此, 可以采用类似于 Brokaw 带隙基准的补偿原理来获取低温度系数。一种 CMOS 带隙基准的参考电路如图 2 所示^[4]。

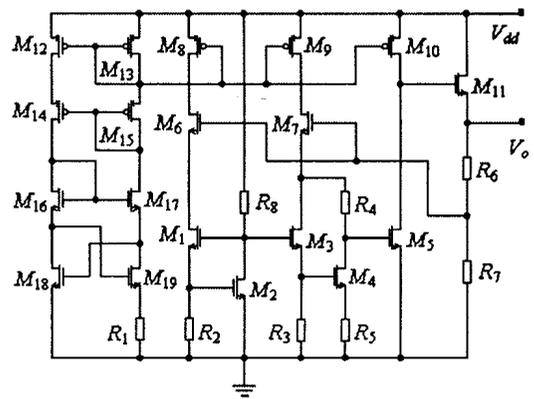


图 2 CMOS 型带隙基准

在图 2 电路中, $M_1 \sim M_7$ 工作在亚阈值区, 是构成带隙基准的核心电路, $M_{12} \sim M_{19}$ 和 R_1 构成偏置电路, 偏置电流为:

$$I = \frac{nk}{qR_1} \ln \left[\frac{(W/L)_{16}(W/L)_{19}}{(W/L)_{17}(W/L)_{18}} \right] \cdot T \quad (7)$$

图 2 中, $R_4 = R_5$, 可求得输出电压 V_o 为:

$$V_o = \left[1 + \frac{R_6}{R_7} \right] [V_{GS7} + V_{GS5} + (V_{GS1} + V_{GS2} - V_{GS3} - V_{GS4})] \quad (8)$$

记 $\Delta V_{GS} = V_{GS1} + V_{GS2} - V_{GS3} - V_{GS4}$, 考虑到 M_8 、 M_9 、 M_{10} 、 M_{12} 和 M_{13} 为比例电流源, 且 $(W/L)_1 = (W/L)_3$, 所以:

$$\Delta V_{GS} = nV_T \ln \left[\frac{I_2(W/L)_4}{I_4(W/L)_2} \right] \quad (9)$$

最终可得输出电压的温度系数为^[4]:

$$TC_{V_o}(T) = \frac{dV_o}{dT} = 2 \left[1 + \frac{R_6}{R_7} \right] \frac{nk}{q} \ln \frac{T}{T_0} \quad (10)$$

由(10)式可以看出, 该电压基准在某一温度 (T_0) 附近可得到很低的温度系数, 甚至零温度系数。

3.3 双阈值型电压基准

具有不同阈值的 NMOS 管 (PMOS 管), 在一定工艺条件下, 其跨导特性随温度的变化规律非常接

近^[10]。利用这个特性,可设计出温度系数很低的电压基准。图 3 是一种双阈值 NMOS 电压基准。

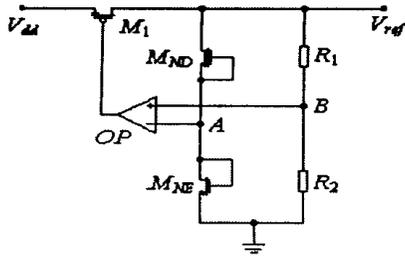


图 3 双阈值型电压基准

图 3 中, MNE 为增强型 NMOS 管, 阈值电压大于零, MND 为耗尽型 NMOS 管, 阈值电压小于零。当 V_{ref} 变化时, A 点的电压 V_A 由 MND 和 MNE 分压决定, V_A 与 V_{ref} 的关系曲线如图 4 所示。由于 MND 和 MNE 的温度特性可通过控制工艺做得十分接近, 因此, 曲线 V_A 随温度的变化很小(图 4 中三条不同温度的曲线基本重合)。B 点的电压 V_B 由电阻 R_1 和 R_2 分压决定, R_1 和 R_2 为同种类型的电阻, 温度系数相同, 因此, 曲线 V_B 不随温度变化。

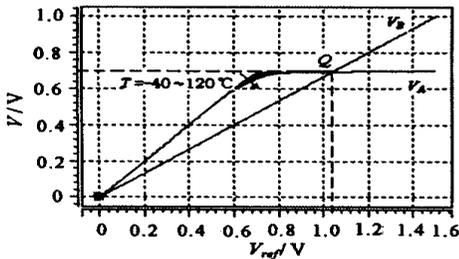


图 4 双阈值基准电路特性

运放(OP)和 M_1 组成反馈调节回路, 使得 $V_A = V_B$ 。从图 4 中可以看出, 电路启动后, 最终可动态地稳定在 Q 点上。由于图中两种曲线几乎不随温度变化, 所以 Q 点也不随温度变化。记交点 Q 处 A 点和 B 点的电压为 V_{A0} 和 V_{B0} , 则有:

$$V_{A0} = V_{B0} = V_Q \quad (11)$$

输出基准电压为:

$$V_{ref} = \left(1 + \frac{R_1}{R_2} \right) V_Q \quad (12)$$

调节 R_1 和 R_2 的比例关系, 可获得不同的基准电压。

这种电压基准的优点是电路简单, 工作电流很小(可达 $1 \mu A$ 左右), 缺点是温度系数依赖于工艺状况, 无法通过调节脚来修正。

相同的原理也可采用两不同阈值 MOS 管的阈值差^[5]或双阈值结型场效应管(JFET)来实现。

3.4 NMOS 栅源电压基准

理论和实践均已证明^[6, 7], 不同温度时, NMOS

漏极电流与栅极电压的关系曲线有一个公共交点 Q, 如图 5 所示。

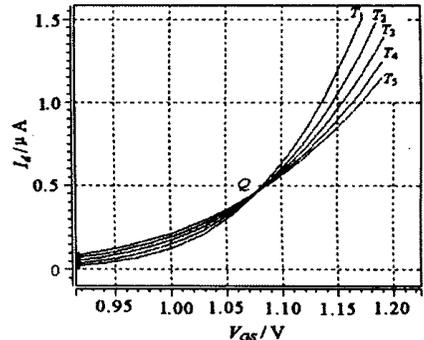


图 5 NMOS 的跨导特性

如果 NMOS 可偏置在这个工作点, 栅源电压 V_{gs} 就可用作温度系数很小的基准电压, 漏源电流也可用作基准电流。图 6 是基于这种原理的一个参考电路^[7]。

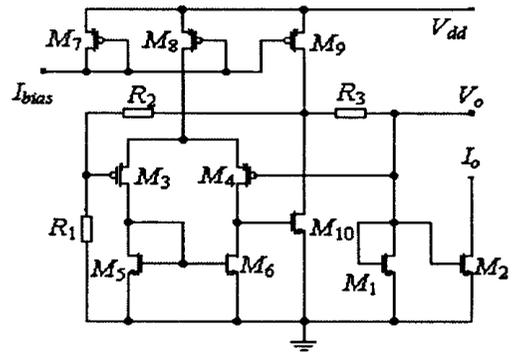


图 6 NMOS 栅源电压基准

图 6 中, M_1 的电流为:

$$I_{d1} = V_{gs1} \frac{R_2}{R_1 \cdot R_3} \quad (13)$$

各电阻随温度变化的关系式可表示为:

$$R_i = R_{i0} (1 + K_i \Delta T), \quad i = 1, 2, 3 \quad (14)$$

如果 $K_2 = K_1 + K_3$, 则

$$\frac{R_2}{R_1 R_3} = \frac{R_{20}}{R_{10} R_{30}} [1 + (K_2 - K_1 - K_3) \Delta T] = \frac{R_{20}}{R_{10} R_{30}} \quad (15)$$

只要选取合适的 R_1, R_2, R_3 值, 使 I_{d1}, V_{gs1} 落在零温度系数工作点 Q 上, I_{d10} 和 V_{gs10} 就可分别作为基准电流 I_o 和基准电压 V_o 。该结构电压基准在有些工艺中实现时温度系数可达到 $5 \text{ ppm}/^\circ\text{C}$ ^[7]。

这种电压基准的不足之处是工艺中必须存在三种特殊电阻, 它们的温度系数 $k_2 = k_1 + k_3$, 这使得它在某些工艺中实现存在困难。

3.5 NMOS 与 PMOS 的 ΔV_{gs} 电压基准

这种电压基准是在标准 CMOS 工艺下, 利用

PMOS 和NMOS 栅源电压与温度的不同关系, 进行合适的加权运算, 消除或削弱温度的影响, 实现电压基准。参考电路如图 7 所示^[8]。

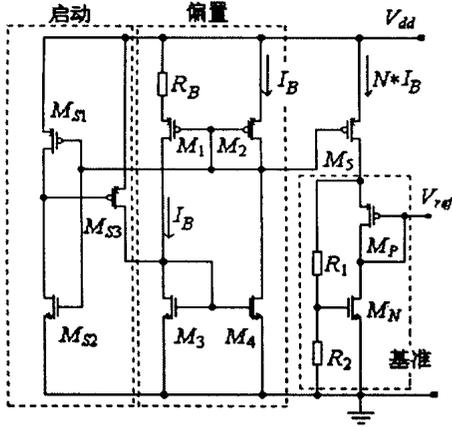


图 7 NMOS 与 PMOS 的 ΔV_{gs} 电压基准

图 7 中, 左边部分为启动电路。中间部分是偏置电路, 产生一个偏置电流 I_B :

$$I_B(T) = \frac{2}{\mu_p(T)C_{ox}R_B^2} \left[\frac{1}{\sqrt{(W/L)_2}} - \frac{1}{\sqrt{(W/L)_1}} \right]^2 = \frac{2}{\mu_p(T_0)C_{ox}R_B^2} \left[\frac{1}{\sqrt{(W/L)_2}} - \frac{1}{\sqrt{(W/L)_1}} \right]^2 \left(T/T_0 \right)^{\beta_{up}} \quad (16)$$

式中, μ_p 、 β_{up} 、 C_{ox} 和 W/L 分别为沟道中电荷的迁移率, 迁移率的温度指数, 栅极电容和 MOS 管沟道宽长比。如果 R_1 和 R_2 中的电流可以忽略, 则参考电压为:

$$V_{ref} = \left(1 + \frac{R_1}{R_2} \right) \cdot V_{GSN} - |V_{GSP}| \quad (17)$$

MN 和 MP 工作在饱和区, 可得基准电压 V_{ref} 的温度变化率为:

$$\frac{\partial V_{ref}}{\partial T} = \left(1 + \frac{R_1}{R_2} \right) \frac{\partial V_{GSN}}{\partial T} - \frac{\partial |V_{GSP}|}{\partial T} = \left[- \left(1 + \frac{R_1}{R_2} \right) \beta_{vthn} + \beta_{vthp} \right] + \frac{\beta_{up}}{T_0} \sqrt{\frac{2M I_B(T_0)}{\mu_p(T_0)C_{ox}(W/L)_p}} \times \left[\left(1 + \frac{R_1}{R_2} \right) \left(\frac{1}{2} + \frac{\beta_{un}}{2\beta_{up}} \right) \sqrt{\frac{\mu_p(T_0)(W/L)_p}{\mu_n(T_0)(W/L)_n}} - \left(T/T_0 \right)^{\frac{\beta_{up} + \beta_{un} - 2}{2}} - \left(T/T_0 \right)^{\beta_{up} - 1} \right] \quad (18)$$

式中, β_{vthp} 、 β_{vthn} 分别为 PMOS 和 NMOS 管阈值电压的温度系数, 为使基准电压在温度为 T_r 时温度系数为 0, 先令 (18) 式中的第一项等于 0, 这时, 存在

$$\frac{R_1}{R_2} = \frac{\beta_{vthp}}{\beta_{vthn}} - 1 \quad (19)$$

再令 (18) 式中的第二项等于 0, 得到:

$$\left(\frac{W}{L} \right)_p = \frac{\mu_n(T_0) \left(\frac{T_r}{T_0} \right)^{\beta_{up} - \beta_{un}}}{\left(\frac{W}{L} \right)_n} = \frac{\mu_p(T_0)}{\left(\beta_{vthp} \right)^2} \left(\frac{1}{2} + \frac{\beta_{un}}{2\beta_{up}} \right)^2 \quad (20)$$

适当选取 R_1 、 R_2 、 $(W/L)_p$ 、 $(W/L)_n$, 可获得很低的温度系数。该电路在 AMS 0.6 μm CMOS 工艺中实现, 工作电压 1.4~3 V, 工作电流 9.7 μA (max), 基准电压 $302.24 \pm 12 \text{ mV}$, 温度系数 62 ppm/ $^\circ\text{C}$ (max), 线性调节率 $\pm 0.17/\text{V}$ (max)^[8]。

这种电压基准最大的优点是可在标准的 CMOS 工艺中实现, 不需要增加工序; 缺点是为了实现较小的温度系数, 需同时调节两组参数, 所以调节修正过程比较复杂。

4 几种电压基准的比较

表 1 对 5 种电压基准各自的优缺点进行了总结。设计电路时, 应根据工艺条件、面积和精度要求, 选择合适的电压基准方案。从目前的发展来看, 衬底 PNP-BGR 是双极工艺方法的延续, 将逐渐被取代; 双阈值型电压基准虽然工艺要求复杂, 但引入双阈值 MOS 管后, 电路设计具有更大的灵活性, 不只是电压基准设计简单, 其它电路也可以简化。因此, 在温度系数要求不是很高的应用环境中, 双阈值型电压基准将是一个重要的发展方向。其它三种电压基准, 因电路设计和修正比较复杂, 如广泛应用还需进一步研究。电压基准的另一个重要发展方向是低电源基准^[3, 9, 10]。

表 1 电压基准方案比较

电压基准类型	温度系数 ppm/ $^\circ\text{C}$	工作电流	占用面积	特殊工艺	T_c 修正
PNP-BGR	40	很大	很大	无	简单
CMOS-BGR	小	小	小	无	复杂
双阈值基准	50	很小	很小	有	无法修正
V_{gsn} 型基准	5	中等	中等	有	复杂
ΔV_{gs} 型基准	62	小	小	无	很复杂

5 结束语

本文对 CMOS 集成电路中的电压基准进行了系统的归纳, 介绍了各类电压基准的原理、参考电路、优缺点和主要性能指标。在理论分析的基础上侧重于原理介绍, 希望有助于 IC 设计人员加深对各种 CMOS 电压基准原理的了解, 掌握电压基准的设计思路和修正方法, 进而正确指导模拟 IC 设计。

(下转第 421 页)

表 1 焊膏印刷中的问题、产生原因及其解决措施

问题	原因	解决措施
焊膏边缘搭接	在印刷过程中, 焊膏因挤压进入基板与漏板之间的间隙, 并附着在漏板的背面而形成, 或因为焊膏塌落形成。	调整好基板与漏板之间的间距, 使印刷时接触良好, 加大刮板的角度, 减小对焊膏的压力, 使其流动性降低。
焊膏边缘轮廓模糊不清	刮板压力小, 角度不正确, 运行速度过快。	调整好刮板的运行参数。
焊膏量过多或不足	基板与漏板之间的间距不合适, 印刷时刮板的压力不正确, 漏板厚度或漏孔孔径不正确。	调整好基板与漏板之间的间距, 或调整好刮板的运行参数。
焊膏图形厚薄不均	焊膏混合不均匀, 或基板与漏板之间不平行; 印刷时刮板速度、压力不恒定。	充分搅拌焊膏, 重新调整好基板与漏板之间的间距, 调整好刮板的运行参数。
焊膏图形不完整或漏印	印刷时刮板速度过快, 或焊膏涂布量过少。	印刷中, 及时添加焊膏。
焊膏表面不平, 有焊膏峰或凹凸不平	焊膏粘度太低, 刮板速度过快, 印刷时抬起模板速度太快。	若由于焊膏引起, 应更换焊膏或重新调整印刷的运行参数。

6 结束语

综上所述, 要想获得高质量的焊膏印刷, 就必须根据表面组装的设计要求, 结合自身的工艺特点, 选择合适的焊膏、印刷方式和漏板质量, 合适的印刷工艺参数, 以及制定严格的工艺规程, 并在加工中对出现的质量问题进行具体分析, 找出原因, 及时采取措施加以解决。

参考文献:

- [1] 周瑞山, 吴经玲. SMT 工艺材料 [M]. 四川省电子学会 SMT 专委会, 1999.
- [2] 宣大荣, 韦文兰, 王德贵. 表面组装技术 [M]. 北京: 电子工业出版社, 1994.

作者简介: 杨晓渝 (1969—), 女 (汉族), 重庆市人, 毕业于重庆通信学院, 目前从事微组装工艺技术的研究。

(上接第 418 页)

参考文献:

- [1] Sanduleanu M A T, van Tuijl A J M, Wassenaar R F. Accurate low power bandgap voltage reference in 0.5 μm CMOS technology [J]. Elec Lett, 1998; 34(10): 1025-1026
- [2] Jiang Y M, Lee E K F. Design of low-voltage bandgap reference using transimpedance amplifier [J]. IEEE Trans Circ and Syst-II: Analog and Digital Signal Proc, 2000; 47(6): 552-555
- [3] Banba H, Shiga H, Umazawa A, et al. A CMOS bandgap reference circuit with sub-1-V operation [J]. IEEE J Sol Sta Circ, 1999; 34(5): 670-674
- [4] Popa C, Mitrea O. Micropower CMOS bandgap voltage reference [A]. Proc the 2nd Int Symp Image and Signal Processing and Analysis [C]. 2001. 502-506
- [5] Song H-J, Kim C-K. A temperature-stabilized SOI voltage reference based on threshold voltage difference between enhancement and depletion NMOSFET's [J]. IEEE J Sol Sta Circ, 1993; 28(6): 671-677.
- [6] Manku T, Wang Y. Temperature-independent output voltage generated by threshold voltage of an NMOS transistor [J]. Elec Lett, 1995; 31(12): 935-936
- [7] Filanovsky I M. Voltage reference using mutual compensation of mobility and threshold voltage temperature effects [A]. ISCAS 2000 IEEE Int Symp Circ Syst [C]. Geneva, Switzerland, 2000. 197-200
- [8] Leung K L, Mok P K T. A CMOS voltage reference based on weighted difference of gate-source voltages between PMOS and NMOS transistors for low dropout regulators [A]. 27th Europ Sol Sta Circ Conf [C]. Villach, Austria, 2001. 88-91
- [9] Leung K L, Mok P K T. A Sub-1-V 15 ppm/ $^{\circ}\text{C}$ CMOS bandgap voltage reference without requiring low threshold voltage device [J]. IEEE J Sol Sta Circ, 2002; 37(4): 526-530
- [10] Annema A J. Low-power bandgap references featuring DTMOST's [J]. IEEE J Sol Sta Circ, 1999; 34(7): 949-954.

作者简介: 王红义 (1974—), 男 (汉族), 陕西富平人, 博士研究生, 主要从事专用集成电路设计及相关理论的研究。