

基于准浮栅技术的超低压运算放大器

杨银堂, 任乐宁, 付俊兴

(西安电子科技大学 微电子研究所, 陕西 西安 710071)

摘要: 分析了准浮栅晶体管的工作原理、电气特性及其等效电路, 基于准浮栅 PMOS晶体管, 设计了超低压低功耗运算放大器. 基于台积电的 0.25 μm CMOS工艺, 利用 Hspice对所设计的运放进行了模拟仿真. 仿真结果显示, 在 0.8V的单源电压下, 运算放大器的最大开环增益为 76.5 dB, 相位裕度为 62°; 单位增益带宽为 2.98MHz, 功耗仅为 9.45 μW .

关键词: 准浮栅; 超低压; 运算放大器; CMOS

中图分类号: TN402 **文献标识码:** A **文章编号:** 1001-2400(2005)04-0501-03

Ultra-low voltage operational amplifier based on quasi-floating gate transistors

YANG Yin-tang, REN Le-ning, FU Jun-xing

(Research Inst of Microelectronics, Xidian Univ, Xi'an 710071, China)

Abstract: The fundamental principle of quasi-floating gate transistors, along with the electrical characteristics and equivalent circuits, are discussed. An ultra-low voltage operational amplifier is proposed using the PMOS quasi-floating gate transistors. Based on the TSMC 0.25 μm CMOS process, the whole circuit is simulated by using the Hspice simulator. The simulation result shows that, with a single power supply of 0.8V, the maximal open-loop gain of the amplifier is 76.5 dB, the phase margin is 62°, the unit gain band width is 2.98MHz and the power dissipation is only 9.45 μW .

Key Words: quasi-floating gate; ultra-low voltage; operational amplifier; CMOS

随着集成电路技术向超深亚微米技术的发展, 以及便携式电子设备的广泛应用, 集成电路的功耗问题变得越来越突出. 降低功耗最直接的办法是降低电源电压, 但随着电源电压的降低, 当它接近 MOS的阈值电压时, 模拟集成电路设计就会变得非常复杂, 传统的模拟集成电路结构已不能满足设计要求, 迫切需要开发新的技术和电路结构以满足电路在低电源电压下的正常工作. 近年来, 国外的一些研究者^[1-3]提出了基于多输入的浮栅晶体管的低压模拟集成电路设计的新方法.

多输入浮栅晶体管的工作原理^[3]是: 把加在多个控制栅上的输入电压通过电容耦合到浮栅, 从而实现加权处理. 这样就可以通过在一个输入端加某一固定电位, 实现对另一输入端阈值电压的调整. 阈值电压降低的浮栅晶体管, 在低压模拟电路中有着非常重要的应用. 但同时它 also 存在着非常严重的问题, 例如电路的有效跨导和增益带宽积下降^[4]等. 此外, 由于浮栅晶体管在制造过程中不可避免地会在浮栅中引入静电荷, 从而在电路中引入非常大的直流失调电压, 引起电路性能下降. Jaime Ramirez-Angulo^[4-7]等人基于标准的 CMOS工艺所提出的准浮栅技术非常好地解决了这个问题.

1 准浮栅 MOS晶体管

准浮栅 MOSFET的结构同浮栅晶体管的结构类似, 所不同的是准浮栅 NMOS (PMOS)晶体管通过一个阻

收稿日期: 2004-08-26

基金项目: 国家自然科学基金资助项目 (90207022)

作者简介: 杨银堂 (1962-), 男, 教授.

值非常大的上(下)拉电阻直接把浮栅接到电源(gnd) V_{DD} 上,从而解决了浮栅上的初始电荷问题.众所周知,在集成电路工艺中做阻值非常大的电阻是不现实的,同时也是不经济的(因为即使阻值不太大的电阻也会占用大量的芯片面积,增加成本).但在 CMOS 工艺中做一个 MOS 管,却是非常容易的事情,而且它也不会占用太多的芯片面积.同时,反偏的 PN 结的漏电阻非常大,因此,可以用一个二极管连接的工作在截止区的 MOS 晶体管来等效一个阻值非常大的电阻.图 1 给出了一个用二极管连接的反偏 NMOSFET 等效为一个阻值下拉电阻的两输入准浮栅 PMOS 晶体管的版图和 N 输入的准浮栅 PMOS 晶体管的等效电路图.

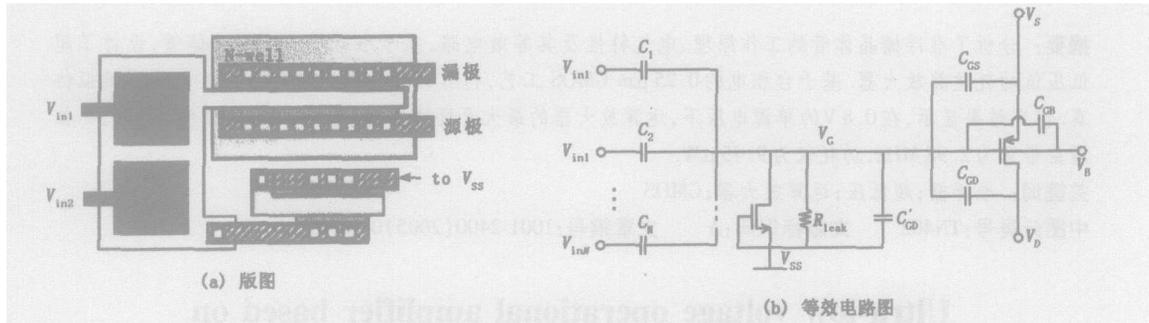


图 1 准浮栅 PMOS 晶体管的版图和等效电路图

基于图 1(b)所示的准浮栅 PMOS 等效电路,浮栅电压 V_G 为

$$V_G = V_{in} [s R_{leak} C_T / (1 + s R_{leak} C_T)] \quad (1)$$

其中 $C_T = \left[\sum_{i=1}^N C_i + C_{GD} + C_{GB} + C_{GS} + C_{GD} \right]$, C_i 为第 i 个输入耦合电容.

$$V_{in} = \left[\sum_{i=1}^N C_i V_{Ni} + C_{GD} V_D + C_{GB} V_B + C_{GS} V_S \right] / C_T \quad (2)$$

$$\text{将式 (2) 代入 (1) 中, 得 } V_G = \left[\sum_{i=1}^N C_i V_{Ni} + C_{GD} V_D + C_{GB} V_B + C_{GS} V_S \right] \frac{s R_{leak}}{1 + s R_{leak} C_T} \quad (3)$$

由式 (3) 可知,准浮栅 PMOSFET 等效电路为一高通滤波器,截止频率为

$$f_T = 1 / (2 R_{leak} C_T) \quad (4)$$

由于 R_{leak} 非常大,因此即使在低频下式 (3) 也可简化成

$$V_G = \left[\sum_{i=1}^N C_i V_{Ni} + C_{GD} V_D + C_{GB} V_B + C_{GS} V_S \right] / C_T \quad (5)$$

从式 (5) 可以看出,当忽略寄生电容时,浮栅上的电压就等于各个输入电压的加权平均值,其中权值为相应的输入耦合电容与总电容的比值.

2 超低压准浮栅运算放大器

运算放大器是模拟集成电路和混合信号集成电路的基本电路单元,由于传统的运算放大器电源电压较高、功耗较大,因而限制了其在低压集成电路中的应用.近年来,人们通过采用复杂的电路结构实现了传统运放在低压下的工作,但是由于电路结构复杂,因而大大增加了电路设计工程师的工作难度.笔者设计的运算放大器基于准浮栅技术,采用非常简单的电路结构实现了运放在超低压 (0.8V) 下的工作.

2.1 运放的设计

基于准浮栅技术设计的全差分运算放大器如图 2 所示,采用的是传统的两级运放结构.

为了降低运放对电源电压的要求,该运放的输入级采用准浮栅 PMOS 差分对代替传统的差分对,输入信号通过输入耦合电容 C_i 耦合到输入管的栅极上.由于两个输入 PMOS 管的栅极被偏置到 gnd 上,因而两个输入管被置于常导通状态,从而降低了电路对输入信号的要求,也因此降低了电路对电源电压的要求.此外,由于该运放的输入为交流耦合电路,因而可以滤除掉由输入电压 V_{in+} 和 V_{in-} 所带来的直流失调,同时,与输

入相关的 $1/f$ 噪声也相应减弱了. 另一方面, 准浮栅差分对也有其自身所不能避免的缺点. 例如, 由于准浮栅电路的输入阻抗呈容性, 因而在低频下对栅漏所引起的输入噪声电流呈现高阻抗, 从而引起非常大的输入噪声电压. 另外一个缺点是准浮栅运放只能对交流信号进行放大, 而不能作为直流比较器.

在低压低功耗应用中, 运放的静态功耗是一项非常重要的指标. 该运放的静态功耗

$$P = V_{DD} (I_{M0} + I_{M1} + I_{M2}) \quad (6)$$

其中 I_{M0}, I_{M1}, I_{M2} 分别是流过晶体管 M_0, M_1, M_2 的静态电流. 由式 (6) 可看出, 为了减小运放的功耗, 偏置电流应尽可能的小. 但另一方面, 偏置电流过小又会导致运放的转换速率过小, 因而在运放的功耗和转换速率之间进行折中考虑.

为了减小寄生电容对输入的影响, 两个输入管的面积不能做得太大, 但同时管子又不能做得太小. 因为管子太小, 标准 CMOS 工艺很难做到两个管子完全匹配, 从而会产生失调电压和减小运放的共模抑制比. 另外一种减小寄生电容影响的方法是增加输入耦合电容的电容值, 但这会增加版图尺寸. 这就需要在寄生电容、失调电压和版图尺寸等多个方面对设计进行折中. 折中后, 运放中各管子的尺寸以及电阻和电容的值如表 1 所示.

表 1 图 2 中电路元件的参数

MOS晶体管的宽 $W / \mu\text{m}$						电容 / pF		电阻 / k
M_0, M_1	M_2	M_3, M_4	M_5, M_6	M_7, M_8	M_9	C_i	C_c	R_c
60	600	10	60	15	300	15	0.3	4

注: 表中 MOS 管的长均为 $1 \mu\text{m}$.

2.2 仿真结果与讨论

基于图 2 所示的准浮栅运算放大器电路, 采用 TSMC $0.25 \mu\text{m}$ 2P5M CMOS 工艺的 BSM3V3 模型 (晶体管的阈值电压 $V_{TN} = 0.48\text{V}, V_{TP} = -0.6\text{V}$), 利用 Hspice 对准浮栅运放进行仿真分析. 在电源电压 $V_{DD} = 0.8\text{V}$, 偏置电流 $I_{bias} = 1 \mu\text{A}$ 的情况下, 对运放作交流分析, 得到运放的幅频和相频特性如图 3(a) 所示. 由图 3(a) 可以看出, 该运放的高频特性比较好, 这也从一方面证明了前面所提到的准浮栅晶体管的输入为一高通滤波器的论断. 从幅频和相频特性曲线中, 可以看出该运放的最大开环增益可达到 76.5dB , 相位裕度为 62° , 单位增益带宽为 2.98MHz , 达到了运放的设计要求.

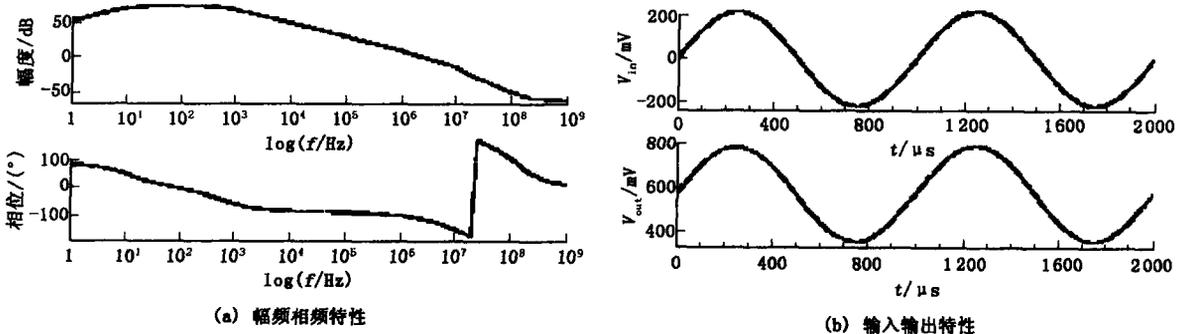


图 3 准浮栅运放的仿真波形

把运放的输出端同反相端相连, 然后对运放作瞬态分析, 可得运放的共模输出电压为 0.57V , 输出电压范围为 $0.57 \pm 0.22\text{V}$. 从图 3(b) 可看到, 当输入信号幅度为 0.22V 的正弦波时, 输出电压仍能非常精确地跟随输入电压.

(下转第 527 页)

27(5): 542-545.

- [8] Luo Yongjian, Zhang Tao, Zhang Shouhong A Novel Algorithm for Adaptive Beamforming Based on Projection Pretransformation[J]. Journal of Xidian University, 2001, 28(6): 808-811.
- [9] Zhang Linrang, Liao Guisheng, Bao Zheng Improvement of the Performance of Adaptive Beamforming with a Small Number of Snapshots Via Spatial Smoothing[J]. Journal of Xidian University, 1997, 24(Sup): 133-139.
- [10] Torres J A, Davis R M, Kramer J D R, et al Efficient Wideband Jammer Nulling When Using Stretch Processing[J]. IEEE Trans on AES, 2000, 36(4): 1167-1178.
- [11] 李荣锋,王永良,万山虎. 自适应天线方向图干扰零陷加宽方法研究[J]. 2003, 25(2): 42-45.
- [12] Guerci J R. Theory and Application of Covariance Matrix Tapers for Robust Adaptive Beamforming[J]. IEEE Trans on SP, 1999, 47(4): 977-985.

(编辑: 齐淑娟)

(上接第 503 页)

电源电压 V_{DD} 和偏置电流 I_{bias} 确定以后,该运放的静态功耗可以由式(6)求得,其中 $I_{M0} = I_{bias}$, $I_{M1} = (W_{M1}/W_{M0}) I_{bias}$, $I_{M2} = (W_{M2}/W_{M0}) I_{bias}$. 理论计算得到的运放的静态功耗为 $9.6\mu W$,实际仿真结果显示该运放的实际静态功耗为 $9.45\mu W$,同理论值基本相符.

从以上分析可知,该运放在 $0.8V$ 的低电源电压下,有着较高的增益和较宽的单位增益带宽,输出摆幅也较大.且由于该运放的功耗仅为 $9.45\mu W$,因而适合在低压低功耗和嵌入式的场合下应用.

3 结 论

随着便携式电子设备的广泛应用和芯片规模的不断扩大,集成电路的功耗问题日益突出.虽然人们通过采用例如 SOI(绝缘体上硅)等新技术实现了低功耗系统,但由于成本昂贵等因素暂时还无法取代传统 Si 基材料的市场主流地位^[8],因而开发新的电路结构是降低集成电路功耗的主要途径之一.准浮栅技术由于同标准 CMOS 工艺完全兼容,因而是一种非常有潜力的低压模拟集成电路设计新方法.笔者利用准浮栅技术设计了超低压低功耗运算放大器,在 $0.8V$ 的低电源电压下可以得到 $76.5dB$ 的开环增益和较大的输出电压范围,适合于低压低功耗集成电路系统的应用.

参考文献:

- [1] Rajput S S, Jamuar S S Low Voltage Analog Circuit Design Techniques[J]. IEEE Circuits and Systems Magazine, 2002, 2(1): 24-42.
- [2] Yan S, Sacchez-Sinencio E Low Voltage Analog Circuit Techniques: a Tutorial[J]. IECE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, 2000, E83-A(2): 179-196.
- [3] Ramirez-Angulo J, Choi S C, Gonzalez-Altamirano G Low-Voltage Circuits Building Blocks Using Multiple-Input Floating-Gate Transistors[J]. IEEE Trans on Circuits and Systems - Fundamental Theory and Application, 1995, 42(11): 971-974.
- [4] Urquidi C, Ramirez-Angulo J, Gonzalez-Carvajal R, et al A New Family of Low-Voltage Circuits Based on Quasi-floating Gate Transistors[A]. IEEE Midwest Symposium on Circuits and Systems[C]. Tulsa: IEEE, 2002. 4-7.
- [5] Ramirez-Angulo J, Urquidi C A. A New Family of Very Low-Voltage Analog Circuits Based on Quasi-Floating-Gate Transistors [J]. IEEE Trans on Circuits and Systems - Analog and Digital Processing, 2003, 50(5): 214-219.
- [6] Ramirez-Angulo J, Lopez-Martin A J, Carajal R G, et al Low-Voltage Closed-Loop Amplifier Circuits Based on Quasi-Floating-Gate Transistors[A]. IEEE International Symposium on Circuits and Systems[C]. Bangkok: IEEE, 2003. 813-816.
- [7] Ramirez-Angulo J, Lopez-Martin A J, Carajal R G, et al Very Low-Voltage Analog Processing Based on Quasi-Floating-Gate Transistors[J]. IEEE Journal of Solid-State Circuits, 2004, 39(3): 434-442.
- [8] Feng Qian, Hao Yue Development of SOI Technology on the New Insulator[J]. Journal of Xidian University, 2001, 28(6): 792-796.

(编辑: 郭 华)