

硅微电子

# 低压 CMOS 带隙电压基准源设计\*

朱磊 杨银堂 朱樟明 付永朝

(西安电子科技大学微电子研究所, 西安, 710071)

2003-07-07 收稿, 2003-09-01 修改稿

**摘要:** 在对传统典型 CMOS 带隙电压基准源电路分析和总结的基础上, 综合一级温度补偿、电流反馈技术, 提出了一种  $1\text{-ppm}/^\circ\text{C}$  低压 CMOS 带隙电压基准源。采用差分放大器作为基准源的负反馈运放, 简化了电路设计。放大器输出用作电路中 PMOS 电流源偏置, 提高了电源抑制比 (PSRR)。整个电路采用 TSMC  $0.35\ \mu\text{m}$  CMOS 工艺实现, 采用 HSPICE 进行仿真, 仿真结果证明了基准源具有低温度系数和高电源抑制比。

**关键词:** 互补金属氧化物半导体工艺; 带隙电压基准源; 低压; 温度系数; 电源抑制比

**中图分类号:** TN 402    **文献标识码:** A    **文章编号:** 1000-3819(2005)02-246-04

## A Low Voltage CMOS Bandgap Reference

ZHU Lei YANG Yintang ZHU Zhangming FU Yongchao

(Microelectronics Institute, Xiidian University, Xi'an, 710071, CHN)

**Abstract:** The design of  $1\text{-ppm}/^\circ\text{C}$  CMOS bandgap voltage reference with low power supply in temperature compensation and current compensation technology is described in this paper. The differential amplifier is used for bandgap reference negative feedback amplifier, which simplifies circuit design. The biasing of the PMOS current source is derived from the output voltage of the amplifier, leading to a high power supply rejection (PSRR). The bandgap references were implemented in a standard  $0.35\ \mu\text{m}$  CMOS process. The entire circuit is simulated with HSPICE simulation tool, the result shows low temperature coefficient and high PSRR in this circuit.

**Key words:** CMOS process; bandgap voltage reference; low voltage; temperature coefficient; PSRR

EEACC: 2570

## 1 引言

在模/数转换器 (ADC)、数/模转换器 (DAC)、

动态存储器 (DRAM)、Flash 存储器等集成电路设计中, 低温度系数、低功耗、高电源抑制比 (PSRR) 的基准源 (Reference) 设计十分关键。随着深亚微米集成电路技术的不断发展, 集成电路的电源电压

\* 基金项目: 国家高技术研究发展 863 计划资助项目 (2002AA 1Z1210)

E-mail: zhulei5@163.com

越来越低。目前, 1.8 V (0.18  $\mu\text{m}$ ) 和 1.5 V (0.15  $\mu\text{m}$ ) 的电源电压已开始广泛使用, 而 1.2 V (0.13  $\mu\text{m}$ ) 和 0.9 V (0.09  $\mu\text{m}$ ) 的电源电压也即将应用于存储器 (Memory) 及片上系统 (SOC) 设计, 所以研究基于标准 CMOS 工艺的低压基准源设计是十分必要的。

由于带隙基准源能够实现高电源抑制比和低温系数, 是目前各种基准电压源电路中性能最佳的基准源电路。文献[1—2]提出了几种具有温度补偿的传统带隙电压基准源电路, 但是其电源电压和温度系数过高, 而且输出参考电压都在 1.25 V 左右。文献[3—5]提出了几种低压带隙基准源的方法, 主要是二次电阻分压以及应用 DTMOS 技术, 结构都较为复杂。

本文首先对传统的带隙电压源原理进行分析 and 总结, 并采用电流反馈、一级温度补偿 (基准源对温度的微分在室温下为零) 技术设计了低压 CMOS 带隙电压基准源电路, 其中带隙基准源的负反馈放大器为一级差分放大器, 其输出电压用于产生自身的电流源偏置电压, 结构简单。对低压基准源电路结构进行系统分析, 给出了基于 TSMC 0.35  $\mu\text{m}$  CMOS 工艺的低压带隙基准源设计和仿真结果。

## 2 带隙基准电压源的原理

图 1(a) 为带隙基准电压源的原理示意图。双极晶体管的基极-发射极电压  $V_{BE}$  (pn 结二极管的正向电压), 具有负温度系数, 其温度系数在室温下为 -2.2 mV/K。而热电压  $V_T$  具有正温度系数, 其温度系数在室温下为 +0.085 mV/K<sup>[3]</sup>。将  $V_T$  乘以常数  $K$  并和  $V_{BE}$  相加可得到输出电压  $V_{REF}$

$$V_{REF} = V_{BE} + KV_T \quad (1)$$

将式(1)对温度  $T$  微分并代入  $V_{BE}$  和  $V_T$  的温度系数可求得  $K$ , 它使  $V_{REF}$  的温度系数在理论上为 0。  $V_{BE}$  受电源电压变化的影响很小, 因而带隙基准电压的输出电压受电源的影响也很小。

图 1(b) 是典型的 CMOS 带隙电压基准源电路。两个 PNP 管  $Q_1$ 、 $Q_2$  的基极-发射极电压差  $\Delta V_{BE}$

$$\Delta V_{BE} = V_{BE2} - V_{BE1} = V_T \ln \left( \frac{J_2}{J_1} \right) \quad (2)$$

(2) 式中,  $J_1$  和  $J_2$  是流过  $Q_1$  和  $Q_2$  的电流密度。运算放大器的作用使电路处于深度负反馈状态, 使得

节点 1 和节点 2 的电压相等。即

$$V_{BE2} = I_1 R_1 + V_{BE1} \quad (3)$$

$$\Delta V_{BE} = V_{BE2} - V_{BE1} = I_1 R_1 \quad (4)$$

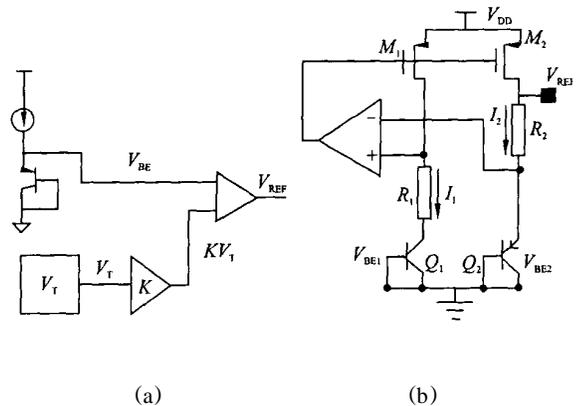


图 1 传统的带隙基准电压源: (a) 带隙基准源原理图; (b) 典型的带隙基准源电路

Fig 1 Traditional bandgap reference: (a) Principle of bandgap reference; (b) Typical circuit of bandgap reference

由图 1(b) 可得

$$V_{REF} = V_{BE2} + I_2 R_2 \quad (5)$$

通过  $M_1$  和  $M_2$  的镜像作用, 使得  $I_1$  和  $I_2$  相等, 结合式(4)和式(5)可得

$$\begin{aligned} V_{REF} &= V_{BE2} + \frac{\Delta V_{BE} R_2}{R_1} = V_{BE2} + \frac{V_T R_2}{R_1} \ln \left( \frac{J_2}{J_1} \right) \\ &= V_{BE2} + \frac{V_T R_2}{R_1} \ln \left( \frac{A_1}{A_2} \right) \end{aligned} \quad (6)$$

(6) 式中,  $A_1$  和  $A_2$  是  $Q_1$  和  $Q_2$  的发射极面积。比较式(5)和(1), 可得常数  $K$

$$K = \frac{V_T R_2}{R_1} \ln \left( \frac{A_1}{A_2} \right) \quad (7)$$

在实际设计中,  $K$  值即为(7)式表示。

传统带隙基准源结构能输出比较精确的电压, 但其电源电压较高 (大于 3 V), 且基准输出电压范围有限 (1.2 V 以上)。要在 0.9~1.8 V 的电源电压下得到 1.2 V 以下的精确基准电压, 就必须对基准源结构上进行改进和提高。

## 3 CMOS 带隙电压基准源 (BGR)

基于 TSMC 0.35  $\mu\text{m}$  CMOS 工艺 (NMOS 阈值电压为 0.536 V, PMOS 的阈值电压为 -0.736 V), 采用一级温度补偿、电流反馈技术设计的低压带隙基准源电路 (BGR) 如图 2 所示, 其工作原理

与传统的带隙基准源电路相似。低压带隙基准源的电流源不仅用于提供基准输出所需的电流,也用于产生差分放大器所需的电流源偏置电压,简化了电路和版图设计。

为了与CMOS标准工艺兼容,PNP管采用集电极接地结构<sup>[6]</sup>, $Q_2$ 和 $Q_1$ 的发射极面积的比率为 $N$ ,流过 $Q_1$ 和 $Q_2$ 的电流相等,这样 $\Delta V_{BE}$ 就等于 $V_T \ln(N)$ 。流过电阻 $R_1$ 的电流 $I_4$ 是与热力学温度成正比的,流过 $M_2, M_3, M_4$ 的电流相等( $I_1 = I_2 = I_3$ )。

$$I_1 = \frac{V_T \ln(N)}{R_1} + \frac{V_{BE}}{R_3} \quad (8)$$

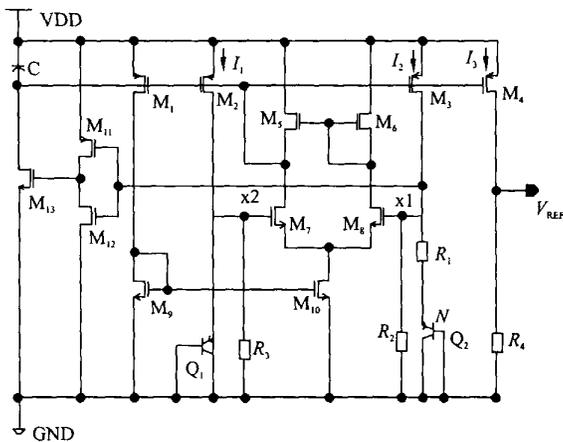


图2 带隙基准源电路(BGR)

Fig. 2 Circuit structure of bandgap reference (BGR)

输出电压  $V_{REF}$

$$\begin{aligned} V_{REF} &= I_1 R_4 = V_T R_4 \left[ \frac{\ln(N)}{R_1} \right] + \frac{V_{BE} R_4}{R_3} \\ &= \frac{R_4}{R_3} \left[ \frac{R_3}{R_1} \ln(N) V_T + V_{BE} \right] \quad (9) \end{aligned}$$

表1 电路的器件参数

Tab 1 Component values for the circuit

Component	Values	Component	Values	Component	Values	Component	Values
$M_1$	75/7.5 $\mu\text{m}$	$M_6$	50/7.5 $\mu\text{m}$	$M_{11}$	2/10 $\mu\text{m}$	$R_1$	13.5 K $\Omega$
$M_2$	300/5 $\mu\text{m}$	$M_7$	30/6 $\mu\text{m}$	$M_{12}$	10/2 $\mu\text{m}$	$R_2$	81.3 K $\Omega$
$M_3$	300/5 $\mu\text{m}$	$M_8$	30/6 $\mu\text{m}$	$M_{13}$	2/10 $\mu\text{m}$	$R_3$	81.3 K $\Omega$
$M_4$	300/5 $\mu\text{m}$	$M_9$	15/2 $\mu\text{m}$	$Q_1$	10 $\times$ 10 $\mu\text{m}^2$	$R_4$	30 K $\Omega$
$M_5$	50/7.5 $\mu\text{m}$	$M_{10}$	15/2 $\mu\text{m}$	$Q_2$	350 $\times$ 10 $\mu\text{m}^2$	$C$	20 pF

## 4 仿真结果与讨论

基于TSMC 0.35 CMOS工艺的BSIM3模型,采用Hspice进行仿真。图3为常温时,电源电压

电路中温度补偿系数  $K$

$$K = \frac{R_3}{R_1} \ln(N) \quad (10)$$

通过调节 $R_4$ 的值,可以调整输出电压 $V_{REF}$ 的大小。在电源电压变化时, $M_2, M_3$ 和 $M_4$ 的漏源电压值保持不变,与电源电压无关,其栅极电压由运放调节。为了降低电路的复杂度,应用电流反馈原理,运放采用简单的一阶运放,由于VDD的变化多于GND的变化,故运放的输入采用NMOS的差分对结构(VDD和NMOS差分对之间有电流源隔离)。因为整个电路在低压下工作,故整个电路设计的重点是要保证低压下运放的正常工作。

由于带隙基准源存在两个电路平衡点,即零点和正常工作点。当基准源工作在零点时,节点X1、X2的电压等于零,基准源没有电流产生。启动电路的目的就是为了避免基准源工作在不必要的零点上。本文设计了图2所示的启动电路,电路由 $M_{11}$ 、 $M_{12}$ 和 $M_{13}$ 构成。当电路工作在零点时, $M_{13}$ 管导通,迅速提高节点X1、X2的电压,产生基准电流,节点X1的电压通过 $M_{11}$ 和 $M_{12}$ 组成的反相器,使 $M_{13}$ 管完全截止,节点X1、X2的电压回落在稳定的工作点上,基准源开始正常工作。

电路的器件参数如表1所示, $M_2, M_3, M_4$ 管的尺寸较大,是为了降低电路中的 $1/f$ 噪声。电流镜负载管 $M_5, M_6$ 和差分对管 $M_7, M_8$ 的宽长比较大,以抑制电路的热噪声。由于电路中的电阻值较大,故在工艺中用阱电阻实现。电容 $C$ 有助于电路的稳定,同时还可以减小运放的带宽,有助于降低噪声的影响。

1.1 V时 $V_{REF}$ 瞬态特性(根据tt\_model),这时整个电路的电流为50.7  $\mu\text{A}$ 。电源电压1.5 V时,常温下,应用不同工艺模型,输出电压 $V_{REF}$ 和总电流 $I_{TOTAL}$ 如表2所示。不同的模型,输出电压 $V_{REF}$ 变化较小,从表中看出,模型变化对输出电压 $V_{REF}$ 影响

较小。

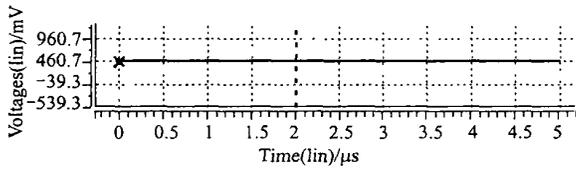


图 3 输出电压  $V_{REF}$  的瞬态特性

Fig 3 Transient characteristics of  $V_{REF}$

表 2 不同工艺模型下仿真的电路特性

Tab 2 Circuit characteristics simulated with different models

Model	$V_{REF}/mV$	$I_{TOTAL}/\mu A$
TT	460.38	51.87
FF	460.48	52.15
SF	460.3	51.3
FS	460.34	51.8
SS	460.15	51.09

所设计的带隙基准源电路总电流低于  $52 \mu A$ ，图 2 中电路启动后， $M_{11}$  和  $M_{12}$  处于弱导通状态，流过  $M_{11}$  和  $M_{12}$  支路电流为  $4.5 \mu A$ ，可通过在  $M_{11}$  上串加一个常开的倒比 PMOS 管，来降低此支路电流。仿真发现，电路正常工作时， $M_2, M_3, M_4$  皆处于饱和状态，若要进一步降低图 2 中电路的功耗，可行的方法是通过调整电路中管子的尺寸，使得  $M_2, M_3, M_4$  工作在亚阈值状态。

图 4(a) 是电源电压为 1.5 V，基准输出电压

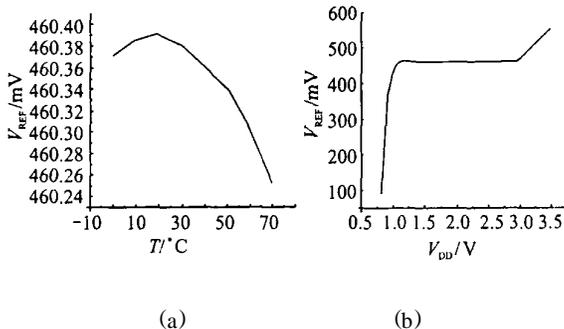


图 4  $V_{REF}$  特性: (a)  $V_{REF}$  随温度的变化; (b)  $V_{REF}$  随电源电压的变化

Fig 4 Characteristics of  $V_{REF}$ : (a) Temperature variation of  $V_{REF}$ ; (b) Voltage variation of  $V_{REF}$

$V_{REF}$  的温度特性，当温度在  $0 \sim 30 \text{ }^\circ\text{C}$  之间时，温度系数为  $1 \text{ ppm}/^\circ\text{C}$ ，温度  $40 \sim 50 \text{ }^\circ\text{C}$  之间时，温度系

数为  $2 \text{ ppm}/^\circ\text{C}$ ；温度  $50 \sim 60 \text{ }^\circ\text{C}$  时，温度系数为  $4 \text{ ppm}/^\circ\text{C}$ 。图 4(b) 是低压带隙基准源输出  $V_{REF}$  随电源电压变化的特性曲线，当电源电压在  $1.1 \sim 2.9 \text{ V}$  之间变化时，基准输出电压  $V_{REF}$  是  $460.2 \pm 0.5 \text{ mV}$ ，直流电源抑制比是  $-59.8 \text{ dB}$ 。

由于 TSMC  $0.35 \mu\text{m}$  CMOS 工艺的 NMOS 阈值电压为  $0.536 \text{ V}$ ，PMOS 的阈值电压为  $-0.736 \text{ V}$ ，而 TSMC  $0.25 \mu\text{m}$  CMOS 工艺的 NMOS 和 PMOS 阈值电压分别为  $0.477 \text{ V}$ 、 $-0.596 \text{ V}$ ，所以本设计的带隙基准源在采用  $0.25 \mu\text{m}$  或  $0.18 \mu\text{m}$  CMOS 工艺实现时，其电源电压的工作范围增大。

### 5 结 论

在应用典型 CMOS 电压基准源的基础上，综合一级温度补偿、电流补偿技术，设计了带隙电压基准源电路 (BGR)。该带隙基准源电路的温度系数可低至  $1 \text{ ppm}/^\circ\text{C}$ ，电源电压工作范围为  $1.1 \sim 2.9 \text{ V}$ ，基准输出电压  $V_{REF}$  是  $460.2 \pm 0.5 \text{ mV}$ ，电源抑制比为  $-59.8 \text{ dB}$ 。仿真结果证明了设计的正确性。电路版图如图 5 所示。

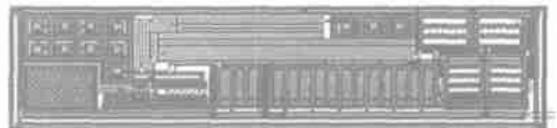


图 5 带隙基准源电路 (BGR) 版图

Fig 5 Layout of bandgap reference circuit (BGR)

### 参 考 文 献

[1] 何捷, 朱臻, 王涛, 等. 一种具有温度补偿、高电源抑制比的带隙基准源[J], 复旦大学学报(自然科学版), 2001; 40(1): 86-70

[2] Tesch B J, Pratt P M, Bacrania K, et al. 14-b 125 M SPS digital-to-analog converter and bandgap voltage reference in  $0.5 \mu\text{m}$  CMOS[A]. Proc of the IEEE 1999 ISCAA 99, Orlando [C]. FL, U S A, June, 1998: 452-455

[3] Banba H, Shiga H, Mmezawa A, et al. A CMOS bandgap reference circuit with sub-1-V operation [J]. IEEE Journal of Solid-state Circuits, 1999; 34(5): 670-674

(下转第 264 页)

模拟光刻成像的过程,实现对掩模版图形的校正。针对 100 nm 分辨率的掩模版图,基于规则的方法建立的数据库绝大部分数据都需要重新修正,这些数据的修正应通过光刻模拟软件的结果得出,并通过试验验证。当前的数据库中的数据大多针对采用 248 nm 光源的光刻机制作 180 nm 分辨率图形而制定。光学临近效应的图形修正大体确立了几个原则:在版图中细线条边加上辅助的线条,适当延长或缩短线段端点的长度或者加上“锤头”状的图形;在折线拐点的内侧挖掉适当的小方形,外侧补上适当的方形。这些对版图作出的额外修改的效果要根据光学模拟的空间像成像结果进行判断。针对 100 nm 分辨率的版图也应采用同样的方法,通过模拟和试验确定矫正图形的词汇库。同时,为了解决相位冲突等版图设计问题时,往往需要对版图进行合理的剖分,普通的一层光刻版可能被划分成两层或三层,或者对版图中某些图形的形状在不影响电路性能的情况下作适当修改。这样,适用于二元版图的图形的光学临近效应校正的规则图标是否适用新的图形?如果不适应应该作什么样的改动?也应和移相掩模的设计进行统一考虑。

### 3 结 论

交替式移相掩模对于光刻分辨率的提高能起到明显的作用,采用 193 nm 光源的光刻机,其分辨率能达到 100 nm。移相掩模版图的自动设计是该技术应用的一个难题,自动化的设计应该建立在

对版图图形作出合理分析的基础之上。要解决关键的相位冲突问题,无论对图形作出修改还是分解,都需要运用数学工具对图形作拓扑分析。将移相掩模技术与光学临近效应校正结合,进行光刻模拟,也是将光刻分辨率推进到 100 nm 的技术保证。

### 参 考 文 献

- [1] <http://public.itrs.net/Files/2002Update/Home.pdf>
- [2] Levinson M, Viswanathan N, Simpson R. Improving resolution in photolithography with a phase-shifting mask [J]. IEEE Transaction on Electron Devices, 1982; 29: 1 812-1 846
- [3] Akemi Moniwa, Tsuneo Terasawa, Kyoji Nakio, et al. Heuristic method for phase-conflict minimization in automatic phase-shift mask design [J]. Jpn J Appl Phys, 1995; 34: 6 584-6 589
- [4] Hiroshi Fukuda, Shoji Hotta. 0.3- $\mu\text{m}$  pitch random interconnect patterning with node connection phase-shifting mask-experiments and simulations. Optical micro lithography, Santa Clara CA U SA: Christopher J. Proglor, 2000 (v. 4000): 149-159



陆晶(LU Jing) 男,1976年生。硕士毕业于河北工业大学,现为中国科学院微电子所在读博士,主要从事微细加工技术中移相掩模设计及光刻工艺的研究工作。

### (上接第 249 页)

- [4] Leung N K, Mok P K T. A Sub-1. V 15ppm/ $^{\circ}\text{C}$  CMOS bandgap voltage reference without requiring low threshold voltage Device [J]. IEEE Journal of Solid-state Circuits, 2002; 37(4): 526-530
- [5] Annena A J. Low-power bandgap reference featuring DTMOSTs [J]. IEEE Journal of Solid-state Circuits, 1999; 34(7): 949-955
- [6] 毕查德 拉扎维 模拟 CMOS 集成电路设计 [M]. 西安: 西安交通大学出版社, 2003



朱磊(ZHU Lei) 男,1978年生,西安电子科技大学微电子所硕士研究生,研究方向为高速高分辨率DAC设计,低压低功耗模拟集成电路设计。



杨银堂(YANG Yintang) 男,1962年生,西安电子科技大学微电子研究所所长、教授、博士生导师,研究方向为VLSI技术、深亚微米模拟集成电路设计、新型半导体器件和电路设计。