

高精度 CMOS 带隙基准源电路的设计

华南理工大学应用物理系 陈育林 郑学仁 李若瑜 李斌

摘要:在模拟或数字电路设计中,高温稳定性电压源电路是一种应用广泛的重要模块。本文在分析基准源输出电压的温度特性基础上,阐明了运算放大器的失调电压对输出电压的温度精度的影响,设计了一种基于MOS混合工艺的减小失调电压影响的一阶温度补偿的带隙基准源电路。Hspice仿真结果表明,该电路的零温度系数在40°C处实现,0°C~100°C范围内温度系数为0.96ppm/°C,可用于温度稳定性要求很高的模拟集成电路中。

1 引言

许多模拟或数字电路中都需要温度性能良好的电压源,这就要求电压源对于温度变化不敏感,即电压源的输出随温度变化很小甚至不变。为此,许多解决方案应运而生,其中带隙基准源电路以其优良的性能而备受青睐。带隙基准源电路的基本原理是利用双极性晶体管的基极——发射极电压 V_{BE} (具有负的温度系数)与一个具有正的温度系数的电压进行相互补偿,从而达到电路的温度系数为零的目的。目前大多数的研究都集中讨论带隙基准源电路的设计而忽略运算放大器的失调电压的影响。事实上,运算放大器的输入端通常都有几个毫伏的失调电压,而且此失调电压是随温度变化而变化的,它导致了输出端仅仅因为失调电压的影响而产生温度偏移。本文在分析基本带隙基准源工作原理的基础上,提出减小运算放大器的失调电压对输出电压影响的电路设计方案,并通过了Hspice电路仿真验证。

2 带隙基准源的基本原理

图1是带隙基准源电路基本的结构[1]。假设此

运算放大器(Op Amp)是理想的,即不考虑失调电压 V_{os} ,则 $V_- = V_+$ 。 I_1 电流为(I_1, I_2 分别为流经 $Q1, Q2$ 的电流):

$$I_1 = \frac{V_T}{R_1} \ln \left(\frac{I_2}{I_1} \cdot \frac{I_{S1}}{I_{S2}} \right) \quad (1)$$

由于M9、M10为尺寸相同的管子,则有:

$$I_1 = \frac{V_T}{R_1} \ln \left(\frac{R_3}{R_2} \cdot \frac{I_{S1}}{I_{S2}} \right) \quad (2)$$

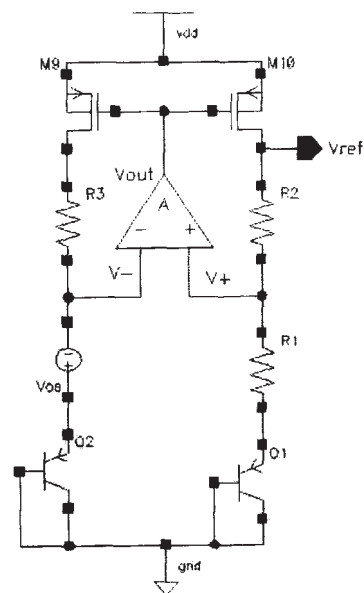


图1 带隙基准源电路

假设 $R_3=R_2$, Q_1 发射极面积是 Q_2 的 n 倍其它参数一致, I_1 可写成:

$$I_1 = \frac{V_T}{R_1} \ln n \quad (3)$$

由图 1 可知,

$$V_{REF} = (R_1 + R_2)I_1 + V_{EB1} = (R_1 + R_2) \cdot \frac{V_T}{R_1} \ln n + V_{EB1} \quad (4)$$

(4)式中第一项是带有正温度系数的电压,第二项是带有负温度系数的电压,分别求这两项的温度系数:

第一项中只有 V_T 与温度有关,对温度求导后得出:

$$TC_1 = \frac{R_1 + R_2}{R_1} \cdot \frac{k}{q} \cdot \ln n \quad (5)$$

(4)式中第二项的温度系数:

$$TC_2 = \frac{dV_{EB1}}{dT} = \frac{d\left(V_T \ln \frac{I_1}{I_{S1}}\right)}{dT} \quad (6)$$

假定 I_1 与温度无关,则

$$TC_2 = \frac{dV_T}{dT} \cdot \ln \frac{I_1}{I_{S1}} - \frac{dI_{S1}}{dT} \cdot \frac{V_T}{I_1} \quad (7)$$

将上式中的 I_{S1} 写成与温度有关的函数:

$$I_{S1} = bT^{4+m} \exp\left(-\frac{E_g}{kT}\right) \quad (8)$$

其中 b 是与温度无关的参数,把 I_{S1} 关于 T 的函数代入式(6)中,整理后得:

$$TC_2 = \frac{dV_{EB1}}{dT} = \frac{V_{EB1}}{T} - (4+M)V_T - \frac{E_g}{qT} \quad (9)$$

式中, M 是载流子迁移率温度参数中的指数,取 $M=-1.5$; E_g 是硅的禁带宽度,室温下取 $E_g=1.17eV$; $T=300K$,将以上数值代入式子(9),得:

$$TC_2 = \frac{dV_{EB1}}{dT} \approx -1.6mV/K \quad (10)$$

因此,由(10)式可知(4)式中第二项的温度系数为 $-1.6mV/K$,则在(4)式中第一项选取适当的 R_1, R_2 和 n 的值,使得(4)式 $\frac{dV_{REF}}{dT} = 0$ 。欲使 $\frac{dV_{REF}}{dT} = 0$, 应该

使(5)式中 $\left(\frac{R_1 + R_2}{R_1}\right) \times \ln(n) = 18.4$ 。

根据以上的分析,有下式成立:

$$V_{REF} = (R_1 + R_2) \cdot \frac{V_T}{R_1} \ln n + V_{EB1} = 18.4V_T + 0.7 \approx 1.178V \quad (11)$$

V_{REF} 的结果和硅的禁带宽度与 q 的比值 $E_g/q = 1.17V$ 很接近,所以这种电路结构称作带隙基准源。

但是图 1 电路结构具有两方面的局限性:

首先,因为 Q_1 和 Q_2 的基极和集电极接地,升高了的 $V_{EB}(\approx 0.7V)$ 电位会直接输入到运放,如此低的输入电压将很难满足处于运放的共模输入范围的条件,甚至不能使运放输入对管导通。所以在实际设计中,我们将图 1 的电路结构修改成图 2 的形式,这种电路结构中,两对晶体管分别级联(级联的晶体管参数分别相等), V_+ 和 V_- 的电压比图 1 的电路结构中 V_+ 和 V_- 的电压上升了一个 V_{EB} , 使得输入电压达到运放的共模输入范围内,而且这种电路结构能够减小输入偏移电压对电路的影响。

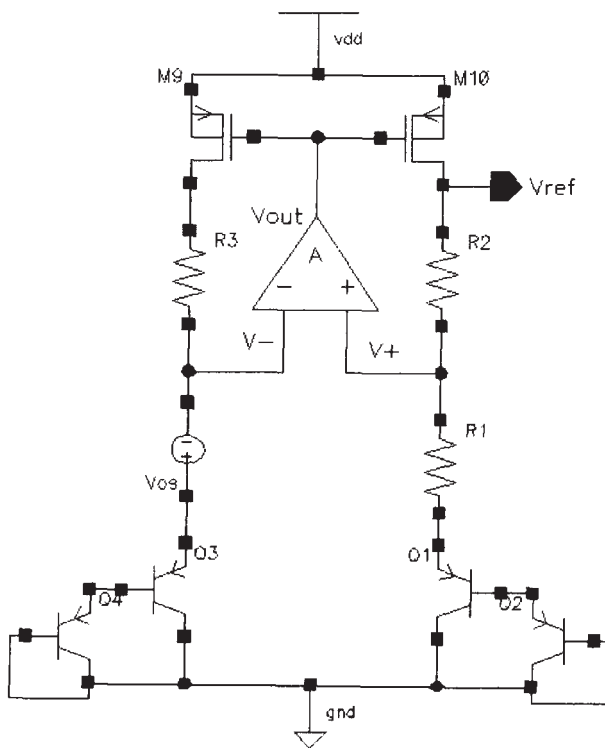


图 2 改进的带隙基准源电路

另一个原因是运算放大器的不对称性。运放会

受到输入失调的影响,即在运放输入为零时,输出不为零的情况。如图1所示,若在电路分析时考虑了输入失调的影响, $I_1 R_1 = V_{EB2} - V_{EB1}$ 将不成立,而应该是:

$$I_1 R_1 + V_{OS} = V_{EB2} - V_{EB1} \quad (12)$$

因此推出输出电压与失调电压的函数表达式应为:

$$V_{REF} = (R_1 + R_2) \cdot \frac{V_T}{R_1} (1 - n - V_{EB1}) + V_{EB1} \quad (13)$$

V_{OS} 本身也随温度变化,因此增大了输出电压的温度系数。采用图2的电路结构可降低运放输入失调电压对输出电压温度系数的影响。其输出如下式:

$$V_{REF} = \frac{(R_1 + R_2)}{R_1} (2V_T \ln n - V_{OS}) + 2V_{EB1} \quad (14)$$

对比式(4)和式(14),可以看到,除了输入失调电压,式(14)其它各项都相应增加了一倍,因此失调电压对输出电压的影响相对降低了。

3 带隙基准源电路的设计

3.1 运算放大器电路

本设计采用的运算放大器是经典二级放大电路[1],其电路结构如图3所示。图3电路的特点在低频段能够达到73dB电压增益的应用要求。

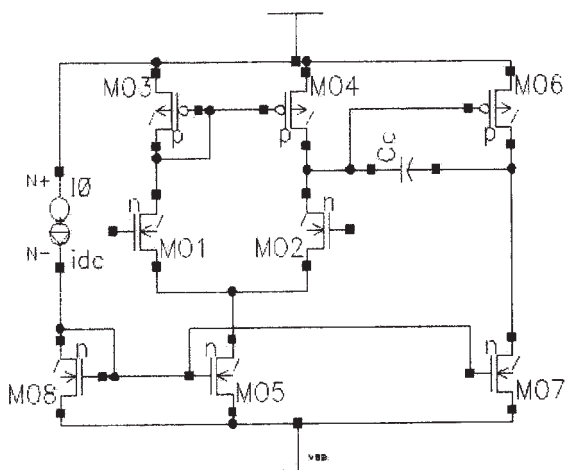


图3 运算放大器电路

3.2 直流电流源

图4的直流电流源是提供运算放大器的直流电流电路,保证能在一定的直流供电电压下保持稳定的电流输出,从而使运算放大器处于正常的工作状态。

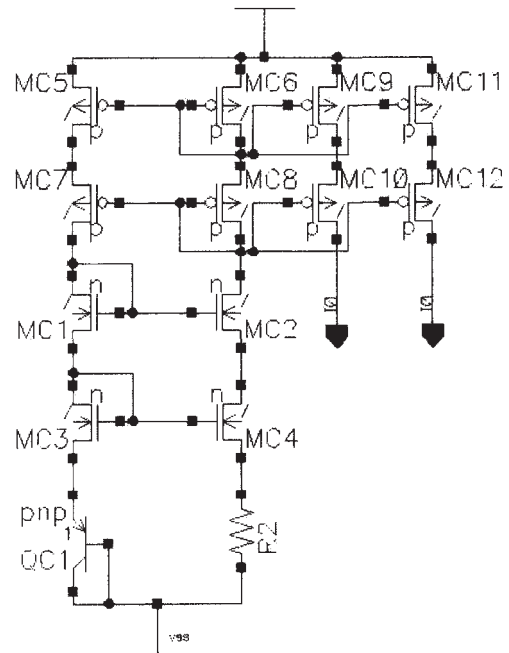


图4 直流电流源

4 带隙基准源电路的仿真与结果分析

根据上述分析可得到带隙基准源电路各部分电路组件的参数。本设计项目依据上华公司CSMC0.6工艺模型,并应用Hspice软件进行电路仿真。

图3的Op Amp电路中各MOSFET的沟道宽和长取值、图4直流电流源中各MOSFET的沟道宽和长取值、带隙基准源电路其它组件的参数取值分别如表1、表2、表3所示。

由Hspice软件仿真的结果如图5所示。图5的纵坐标表示输出电压,横坐标表示外界温度。从图5可以观察到,带隙基准源只能在一个温度点上实现零温度系数(即峰值点,此时对温度求导为零)。偏

表 1 10p Amp 电路中各 MOSFET 的沟道宽和长取值

W_1/L_1	20u/2u	W_5/L_5	12u/2u
W_2/L_2	20u/2u	W_6/L_6	15u/1u
W_3/L_3	2u/2u	W_7/L_7	120u/1u
W_4/L_4	2u/2u	W_8/L_8	12u/2u

表 2 直流电流源中各 MOSFET 的沟道宽和长取值

W_{11}/L_{11}	2u/2u	W_{17}/L_{17}	2u/2u
W_{12}/L_{12}	2u/2u	W_{18}/L_{18}	2u/2u
W_{13}/L_{13}	2u/2u	W_{19}/L_{19}	2u/2u
W_{14}/L_{14}	2u/2u	W_{20}/L_{20}	2u/2u
W_{15}/L_{15}	2u/2u	R_4	84K
W_{16}/L_{16}	2u/2u		


表 3 带隙基准源电路其他元件的参数取值

W_9/L_9	2u/2u	R_1	9K
W_{10}/L_{10}	2u/2	R_2	55K
		R_3	55K

离此点时,输出电压温度系数不为零。但要求在偏离零温度系数点处的电压随温度变化尽可能小。由仿真结果可以看到,在 $-20^{\circ}\text{C}\sim 100^{\circ}\text{C}$ 温度变化范围内,输出电压只在 0.1mV 数量级范围内变化。有效温度系数 $\text{TC}_{\text{F(eff)}}=0.96\text{ppm}/^{\circ}\text{C}$,现今较为普遍的带隙基准源的温度系数在几个 $\text{ppm}/^{\circ}\text{C}$ 的数量级[3,4],由此可见,此带隙基准源是相当精确的。峰值点(零温度系数点)的电压值为 2.2285V ,接近理论值的 2.356V 。

图 6 所示的是输出电压随直流供电电压的变化而产生的变化图。纵坐标表示输出电压,横坐标表示直流供电电压。由图 6 可见,当供电电压为 3V 时,基准电源开始正常工作。

5 结论

本文介绍了一种结构简单但是性能优越的带隙基准源电路,该电路考虑了运算放大器的失调电压,从改进电路结构的角度降低了失调电压的影响,获得了较高的温度精确度,因而具有较高的实用价值。本设计基于 CSMC.6 工艺进行电路仿真。Hspice 仿真表明,此电路在 $-20^{\circ}\text{C}\sim 120^{\circ}\text{C}$ 时,有效温度系数 $\text{TC}_{\text{F(eff)}}=0.96\text{ppm}/^{\circ}\text{C}$,供电电压在 $3\text{V}\sim 5\text{V}$ 变化时,输出电压变化率为 $5\mu\text{V}/\text{V}$ 。 

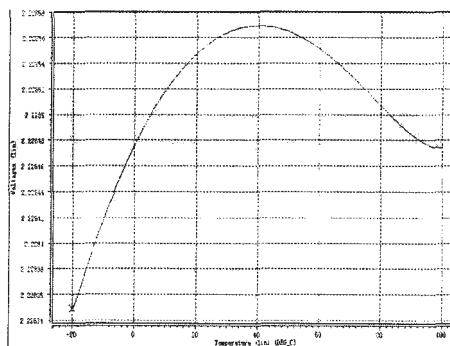


图 5 温度扫描图

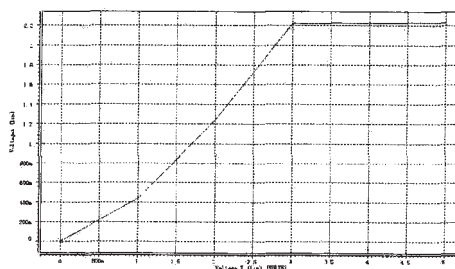


图 6 供电电压扫描图

参考文献

- [1] Phillip E. Allen, Douglas R. Hblberg, CMOS Analog Circuit Design (2nd Edition), Publishing House of Electronics Industry, 2002, 157- 269.
- [2] Behzad Razavi, 模拟 CMOS 集成电路设计, 西安交通大学出版社, 2003 年 2 月, 317- 318.
- [3] Ka Nang Leung, Member, IEEE, Philip K. T. Mok, Senior Member, IEEE, and Chi Yat Leung, Student Member, IEEE, "A 2-V 23- μA 5.3- $\text{ppm}/^{\circ}\text{C}$ Curvature-Compensated CMOS Bandgap Voltage Reference," IEEE J. Solid-State Circuits, vol. 38, NO. 3, MARCH 2003, 561-564.
- [4] 孙顺根, 吴晓波, 王旌, 冀学美, 严晓浪. 一种高精度 CMOS 能隙基准电压源, 微电子学, 2003; 33(2): 157-159.

作者简介:

陈育林, 硕士研究生, 主要从事模拟集成电路设计研究。