

基于 MOSFET失配分析的低压高精度 CMOS带隙基准源

刘帘曦, 杨银堂, 朱樟明

(西安电子科技大学 微电子研究所, 陕西 西安 710071)

摘要: 分析了 MOSFET失配对差分放大器失调电压影响的机理, 介绍了降低失调电压提高精度的斩波调制技术的工作机理, 在此基础上实现了一种低电压高精度带隙基准电压源设计. 利用斩波调制技术有效地减小了带隙基准源中运放的失调所引起的误差, 提高了基准源的精度. 考虑负载电流镜和差分输出对各 $\pm 2\%$ 的失配时, 该基准源的输出电压波动峰峰值为 0.31mV. 与未应用斩波调制的带隙基准源相比, 相对精度提高了约 86倍. 当温度在 0 到 80 变化时, 该基准源的温度系数小于 $12 \times 10^{-6} / ^\circ\text{C}$. 采用 $0.25 \mu\text{m}$ 2P5M CMOS工艺实现的版图面积为 $0.3 \text{mm} \times 0.4 \text{mm}$.

关键词: 失调电压; 斩波调制; 带隙基准源

中图分类号: TN402 **文献标识码:** A **文章编号:** 1001-2400(2005)03-0348-05

A low voltage and high accuracy CMOS bandgap reference by considering mismatch of MOSFETs

LIU Lian-xi, YANG Yin-tang, ZHU Zhang-ming

(Research Inst of Microelectronics, Xidian Univ, Xi'an 710071, China)

Abstract: The principle of the influence on the offset caused by MOSFET mismatch is analysed. The mechanism of the chopped modulator technology to decrease the offset and increase the accuracy of a BGR is introduced. A design of a low voltage bandgap reference (BGR) is implemented by considering these mechanisms and the chip layout is presented. To compensate the error caused by the offset of an opamp, the chopper modulator is used in the BGR circuit. Considering that the mismatch of current mirror and differential input pairs is $\pm 2\%$, the peak-to-peak value of the output ripple is 0.31mV. The relative accuracy is increased by 86 times compared with the BGR without chopped modulators. The temperature coefficient is about $12 \times 10^{-6} / ^\circ\text{C}$ at temperature range from 0 to 80. The area of the layout is $0.3 \text{mm} \times 0.4 \text{mm}$ with a standard $0.25 \mu\text{m}$ 2P5M CMOS process.

Key Words: offset voltage; chopped modulator; bandgap voltage reference

在模/数转换器、数/模转换器、动态存储器、Flash存储器等集成电路设计中,对低温系数、低功耗、高电源抑制比的基准源设计是十分关键的.但是在基准源的很多应用中,输出基准的性能受到运算放大器失调电压和噪声特性的影响和限制^[1].

随着电源电压的降低,由于晶体管不匹配引起的随机误差对低压基准源的精度影响变得非常大.这种由集成电路工艺引起的本征误差,一方面可以通过版图的改进加以抑制,另一方面可以通过特殊的电路结构对这种不匹配加以抑制,从而减小器件失配,提高电路精度^[2].常用补偿失调电压的方法有自动调零技术和斩波调制技术.文献[3,4]采用了自动调零技术,其电路结构比较复杂,而且为了使系统稳定需要额外的相位补偿电路,显著地增大了电路的版图面积,不利于降低成本.笔者采用了斩波调制技术,不仅电路结构简单,且具有更好的噪声特性,只要合理选择调制频率,就能够减小运放失调电压^[5].

收稿日期: 2004-09-06

基金项目: 国家科技预研基金资助项目(51408010601D201)

作者简介: 刘帘曦(1979-),男,西安电子科技大学博士研究生.

1 差分运放的失配机理及对带隙基准的影响

晶体管不匹配引起的随机误差是由集成电路工艺引起的本征误差。虽然利用图 1 所示的差分对技术可以改进随机误差,但是无法抑制由于差分对自身的不匹配引起的失调^[5]。在频率很低的情况下,运算放大器的失调成为主要的误差源,尽管失调电压常用不随时间变化的电压源来模型化,但是随着器件老化和使用环境的温度变化,失调电压也会相应地改变。因此,可以把失调电压视为具有特定带宽的极低频率的噪声源^[6]。

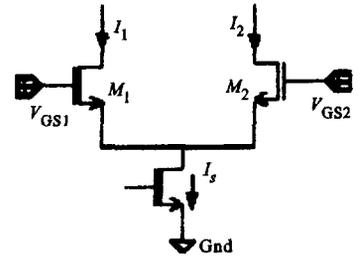


图 1 NMOS差分对电路

在图 1 的 NMOS 差分对电路中,失调电压 V_{OS} 等于 $I_1 = I_2 = I_s/2$ 条件下的 $|V_{GS1} - V_{GS2}|$ 。假设图 1 的 3 个 NMOS 晶体管都工作在饱和区, $\mu = \mu_{Cox}W/L$, 则有

$$I_1 = \frac{-1}{2} (V_{GS1} - V_T)^2 = \frac{+}{2} \left[V_{GS} + \frac{V_{GS}}{2} - V_T - \frac{V_T}{2} \right]^2 \cong \frac{-}{2} (V_{GS} - V_T)^2 \left[1 + \frac{+}{2} + \frac{V_{GS}}{V_{GS} - V_T} - \frac{V_T}{V_{GS} - V_T} \right] \quad (1)$$

$$I_2 \cong \frac{-}{2} (V_{GS} - V_T)^2 \left[1 - \frac{-}{2} - \frac{V_{GS}}{V_{GS} - V_T} + \frac{V_T}{V_{GS} - V_T} \right] \quad (2)$$

根据 $I_1 = I_2 = I_s/2$, 得 $V_{OS} = |V_{GS}| = V_T - ((V_{GS} - V_T)/2) \cdot (\dots)$ (3)

由式 (3) 可知,增加 MOS 晶体管的栅面积及保持较小的过驱动电压 $|V_{GS} - V_T|$, 可以减小差分对的失调电压,但是会引起芯片面积及相应成本的大幅度上升^[5]。

在普通差分运放中,通常把电流镜作为有源负载,构成电流镜的 P 型 MOSFET 的失配也会引入失调电压,从而对基准源的精度产生影响。其失配产生误差的机理和差分输入对的失配误差机理是一样的。传统的带隙基准电路如图 2 所示。容易得到

$$I_1 = \frac{V_{BE2} - V_{BE1}}{R_1} = \frac{V_T}{R_1} \ln \left(\frac{I_{s1}}{I_{s2}} \right) \quad (4)$$

$$V_{REF} = \frac{R_2}{R_1} V_T \ln \left(\frac{I_{s1}}{I_{s2}} \right) + V_{BE3} \quad (5)$$

由于实际的运放存在一定的失调电压 V_{OS} , 所以实际输出电压为

$$V_{REF} = \frac{R_2}{R_1} \left[V_T \ln \left(\frac{I_{s1}}{I_{s2}} \right) - V_{OS} \right] + V_{BE3} \quad (6)$$

从式 (6) 可以看出,运放的失调电压在基准输出端被放大了 R_2/R_1 倍,因此,减小基准源中运放的失调电压可以提高基准精度。

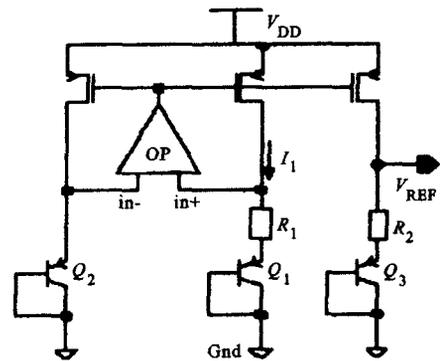


图 2 传统的带隙基准源

2 低失调电压的 CMOS带隙电压基准源

2.1 斩波调制工作原理及斩波运放的实现

斩波调制技术的原理如图 3 所示。输入信号 V_{in} 先被调制到斩波频率上,然后被放大、滤波并解调回基波频率。由于失调电压只被调制一次,所以它始终出现在斩波频率和其奇次谐波频率上,这些频率分量用低通滤波器基本可以滤除。也可以从时域的角度分析,输入信号 V_{in} 被第一级斩波调制器周期性反相,经过放大,周期性反相的信号再次被周期性反相,还原出原来的信号,由于经过了低通滤波器滤波,直流失调电压实际上只经过了一次调制,因此调制后成为方波。一般取斩波调制频率高于转角噪声频率,这样斩波运放的基带噪声几乎与热噪声带宽相同,不会增加白噪声成分。因为斩波运放的输入信号并没有被采样,因此热噪声带

宽不会被叠加到基带上^[5,6].

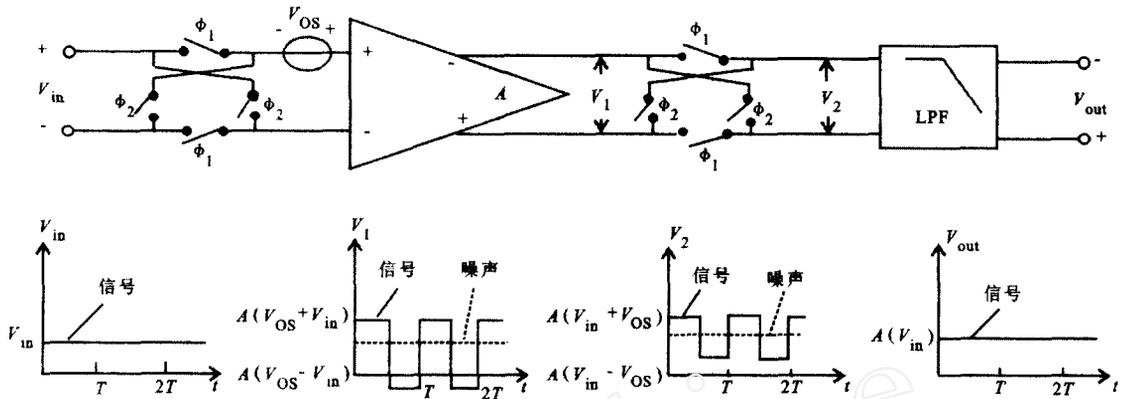


图 3 斩波调制工作原理

斩波运算放大器的电路结构如图 4 所示. 如前所述, MOSFET 的不匹配所引起的随机误差是不可避免的. 在图 4 中, 即使 $M_{p1}, M_{p2} (M_{n1}, M_{n2})$ 的版图完全相同, 它们仍然不可能在尺寸上完全匹配. 斩波调制的思想是让两个输入信号轮换地加到差分输入端, 并且让输出端在两条支路之间轮流切换, 动态地补偿晶体管尺寸不匹配所引起的误差. Clk 和 Clkb 是两个反相的周期方波信号, 它们用来调制输入信号, 该信号和低频噪声及失调电压经过放大器放大后解调, 然后用滤波器滤除噪声和失调电压, 还原出“纯净”的信号^[6].

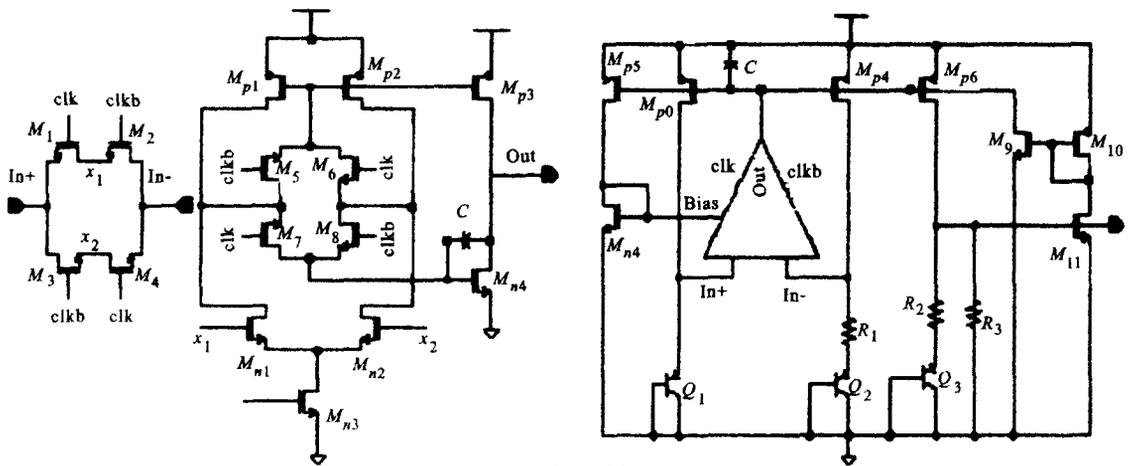


图 4 电路结构图

设输入信号为 V_{in} , A 为运放增益, $M(t)$ 是调制信号在时域的函数, 并有 50% 的占空比, 频率为 f_{chop} . 设 $M(t)$ 是奇函数, 其傅里叶表达式为

$$M(t) = \sum_{k=1} C_k \cos(2 f_{chop} kt + \phi_k) \quad (7)$$

其中傅里叶系数 $C_k = \begin{cases} 4/(k), & k \text{ 为奇数} \\ 0, & k \text{ 为偶数} \end{cases}$, $\phi_k = \begin{cases} -\pi/2, & k \text{ 为奇数} \\ 0, & k \text{ 为偶数} \end{cases}$

从频域上看, 输入放大器输入端调制后的信号应为输入信号 V_{in} 和式 (7) 的乘积, 即仅在 f_{chop} 的奇次谐波频率处有分量, 调制后的信号 $V_{in} \cdot M(t)$ 与失调电压以及低频噪声一起被放大器放大, 放大器输出

$$V_A = A \cdot [V_{in} M(t) + V_{OS}] \quad (8)$$

放大器的输出信号在运放输出端被斩波调制器解调, 两处调制信号是完全相同的. 这样, 放大后的信号 V_A 中的 $V_{in} \cdot M(t)$ 被解调成只携有 f_{chop} 的偶次谐波频率的分量, 而失调电压由于只被调制一次, 故只含有奇次谐波分量且被移到较高频率处. 将解调过的信号进行低通滤波, 就可以还原出被放大的初始信号 $A \cdot V_{in}$.

2.2 低失调高精度 CMOS 带隙基准源的实现

笔者提出的低失调带隙基准源电路如图 4(b)所示. 它采用了一级温度补偿 (基准源对温度的微分在室温下为零) 的形式, 其基本工作原理与传统的带隙基准源相同 [7~9]. 为了得到低输出电压, 在输出端引入了一个分压电阻 R_3 , $M_9 \sim M_{11}$ 构成了启动电路, 保证系统在上电时能稳定工作. 为了减小运放失调电压对基准源输出电压的影响, 选用了斩波运算放大器, 提供深度负反馈. 根据前节对传统带隙基准源的研究, 不难得到

$$V_{REF} = \frac{R_3}{R_2 + R_3} (V_{BE3} + I_3 R_2 - V_{OS}) = \frac{R_3}{R_2 + R_3} \left(V_{BE3} + \frac{2R_2 V_T \ln(I_{s1}/I_{s2})}{R_1} - V_{OS} \right), \quad (9)$$

其中 $V_{BE3} + (2R_2 V_T \ln(I_{s1}/I_{s2}))/R_1$ 就是传统带隙基准源的输出电压. 通过调节 R_3 改变 R_2 和 R_3 之间的比值, 可以选择基准源的输出电压. 由于基准源电路的所有电阻都采用同一工艺层 (P+) 实现, 电阻值比值对温度变化不敏感, 所以可以忽略电阻温度系数在二次分压时的影响 [4]. 但是由于输出电压较低, 所以失调电压对基准源的精度影响变得更大, 为了得到低抖动输出的基准源, 必须有效地减小运放的失调电压. 为此, 笔者采用了低失调斩波运放来提高基准输出的精度. 在电路中, 考虑到面积和功耗, 并没有引入有源低通滤波器, 低通滤波的作用是利用差分输入级和二级共源放大电路之间的密勒补偿电容 C 来实现的.

3 仿真结果及讨论

基于 TSMC 0.25 μm CMOS 工艺的 Bsim3V3 模型, 采用 Hspice 仿真器对该低失调带隙基准源电路进行了仿真.

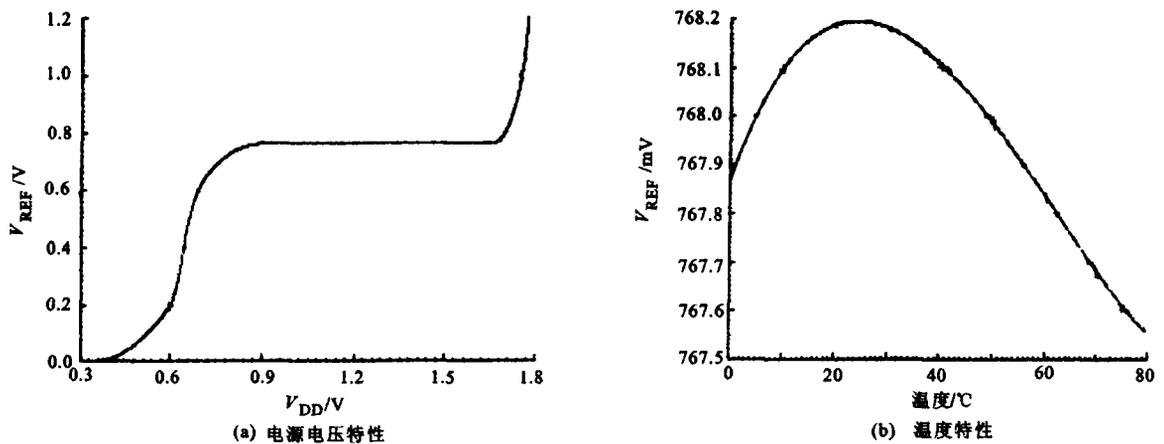


图 5 低压带隙基准源电路

图 5(a)为低压带隙基准源的电源电压特性, 当电源电压在 0.9 ~ 1.6V 之间变化时, 基准源输出电压为 $768 \pm 0.3 \text{ mV}$, 在频率小于 100 Hz 时, 电源抑制比大于 -60 dB. 图 5(b)是在电源电压为 1.2V, 基准源输出电压为 768mV 条件下的温度特性, 当温度在 0 ~ 80 之间时, 温度系数约为 $12 \times 10^{-6} / ^\circ\text{C}$.

表 1 普通基准源输出波动与运用斩波运放基准源的输出波动 mV

项 目	普通基准源输出波动		运用斩波运放基准源的输出波动	
	失	配	失	配
	- 2%	+ 2%	- 2%	+ 2%
电流镜	754.997	768.533	768.117	767.938
差分对	768.128	781.683	767.939	767.723

利用工具仿真时并不能反映出由于工艺上的随机误差带来的不匹配, 为此, 在仿真过程中人为地给差分输出对管 M_{n1}, M_{n2} 和电流镜负载 M_{p1}, M_{p2} 加上误差, 并假设误差值为 $\pm 2\%$, 为了观察斩波运放对基准源精度的影响, 对使用普通差分运放的带隙基准源同样人为加上误差进行仿真对比, 仿真结果如表 1 所示. 由表 1

可以看出,无论是作负载的电流镜还是差分输入对的失配都给基准源的输出电压引入了较大的误差.在室温下,普通带隙基准源由于晶体管不匹配所引起的最大误差达到 26.69mV,而斩波频率为 100 kHz 的低压带隙基准源由于晶体管不匹配引起的最大误差仅为 0.31mV,相对精度提高了近 86 倍.这说明运用了斩波运放的带隙基准源具有比一般带隙基准源更好的精度.

虽然斩波调制技术抑制了由于器件失配引起的误差,减小了运放的失调电压和低频噪声,但是由于调制信号的快速翻转,很可能引入其他的噪声.因此一般对斩波调制信号频率的选取范围介于运放一倍带宽到两倍带宽之间^[6,7],即 $f_{\text{chop}} < 2f_{-3\text{dB}}$.

图 6 是采用 0.25 μm 2P5M CMOS 工艺实现的版图,面积为 0.3 mm × 0.4 mm.

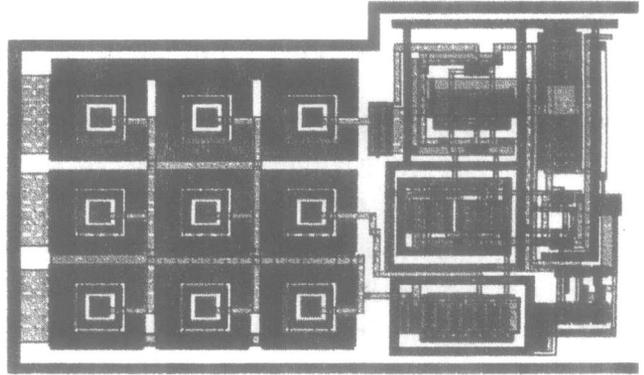


图 6 设计的带隙基准源版图

4 结 论

上面分析了 MOSFET 不匹配对运算放大器失调产生影响的机理,介绍了补偿失配降低失调电压的斩波调制技术原理.利用电阻二次分压技术和斩波调制技术,提出了一种新型的 CMOS 带隙电压基准源.该带隙基准源电路具有失调电压低、输出电压精度高的特点.其基准输出范围为 0.3 ~ 1.0V,温度系数约为 $12 \times 10^{-6} / ^\circ\text{C}$;当电源电压范围为 0.9 ~ 1.6V,并考虑 MOSFET 存在 $\pm 2\%$ 的失配时,基准输出电压为 $768 \pm 0.3\text{mV}$. Hspice 仿真结果表明,在相同条件下,利用斩波调制技术可以很好地减小由于 MOSFET 失配引起的失调电压,大幅度提高带隙基准源的精度.这项技术能广泛应用于各种 CMOS 混合信号集成电路中.

参考文献:

- [1] Banba H, Shiga H, Umezawa A, et al. A CMOS Bandgap Reference Circuit with Sub-1-V Operation[J]. IEEE Journal of Solid-State Circuits, 1999, 34(6): 1020-1032
- [2] Boni A, Op-Amps and Startup Circuits for CMOS Bandgap References with Near 1-V Supply[J]. IEEE Journal of Solid-State Circuits, 2002, 37(10): 1339-1342
- [3] 何捷,朱臻,王涛,等.一种具有温度补偿、高电源抑制比的带隙基准源[J]. 复旦大学学报(自然科学版), 2001, 40(1): 86-70
- [4] Tesch B J, Pratt P M, Bacrania K, et al. 14-b 125 MSPS Digital-to-Analog Converter and Bandgap Voltage Reference in 0.5 μm CMOS[A]. Proc of ISCAA'99[C]. Orlando: IEEE, 1999. 452-455
- [5] Rincon-Mora G A. Voltage References[M]. New York: John Wiley & Sons, Inc, 2002
- [6] Enz C C, Vittoz E A, Krummenacher F. A CMOS Chopper Amplifier[J]. IEEE J Solid-State Circuits, 1981, 22(10): 708-715
- [7] Bakker A, Thiele K, Huijsing J H. A CMOS Nested-Chopper Instrumentation Amplifier with 100-nV Offset[J]. IEEE Journal of Solid-State Circuits, 2000, 35(10): 1877-1883
- [8] Jiang Y, Lee E K F. Design of Low-voltage Bandgap Reference Using Trans-impedance Amplifier[J]. IEEE Trans on Circuit Syst, 2000, 47(6): 1084-1091
- [9] 朱樟明,杨银堂,柴常春,等.一种应用于通信设备的 5V 14 位高速数模转换器[J]. 西安电子科技大学学报, 2004, 31(3): 352-356

(编辑:郭华)