

硅微电子

CMOS 带隙电压基准的误差及其改进^{*}

陈浩琼 高清运 秦世才

(南开大学微电子系, 天津, 300071)

2004-11-15 收稿, 2005-01-25 收改稿

摘要: 分析了CMOS带隙基准电压值的误差, 给出了定量的数学表达式和相应的改进方法。在此理论指导下, 用0.25 μm CMOS工艺设计了一个带隙基准源, 并制成芯片。基准电压的设计值为1.2V, 实测结果表明, 在不使用修正技术的情况下, 基准电压值的均方差达3mV, 温度系数(从-40 $^{\circ}\text{C}$ ~100 $^{\circ}\text{C}$)为20 ppm/ $^{\circ}\text{C}$, 电源抑制比(从2~3.3V)80 $\mu\text{V}/\text{V}$, 验证了理论分析的正确性。

关键词: 互补金属氧化物半导体; 带隙基准; 误差源; 均方差

中图分类号: TN 432 **文献标识码:** A **文章编号:** 1000-3819(2005)04-531-05

Error Sources of CMOS Bandgap Reference and Their Improvement

CHEN Haoqiong GAO Qingyun QIN Shicai

(Microelectronics Department, Nankai University, Tianjin, 300071, CHN)

Abstract: This paper analyses all the error sources in bandgap voltage reference and presents precise mathematical expression and the corresponding improvement method. According to the analysis, a new bandgap voltage reference based on 0.25 μm CMOS technology is designed and fabricated. The design value is 1.2 V. Testing shows that the standard deviation of the reference voltage is 3 mV, the temperature coefficient is 20 ppm/ $^{\circ}\text{C}$ over -40~100 $^{\circ}\text{C}$ and the supply rejection ratio is 80 $\mu\text{V}/\text{V}$ for 2 V to 3.3 V supply. These results prove the theory.

Key words: CMOS; bandgap reference; error sources; standard deviation

EEACC: 2570D

1 引 言

CMOS带隙电压基准是SOC芯片中必需的关键模块之一, 尤其在各类ADC、电源管理等模拟芯片中有着广泛的应用。设计精密基准的主要难点在于如何降低基准电压值的偏差和温度系数。在不采

用修正技术的前提下, 这两项指标一般在4% (对于1.2V的基准, 相当于 ± 50 mV)和100 ppm/ $^{\circ}\text{C}$ 左右^[1~6]。影响这两个指标的因素有很多, 但迄今为止还没有看到深入分析所有误差来源的文章。本文详尽地分析了影响CMOS带隙电压基准的所有误差, 并给出了定量的数学表达式和相应的改进方法。按照以上的理论分析, 本文设计了一种改进电

* 基金项目: 本课题得到天津科技攻关重点项目(编号: 033187111)和南开大学与天津中晶微电子公司合作项目的资助
E-mail: chenhaoqiong@126.com

路,设计值为 1.2 V,芯片实测结果表明,在不加修正的情况下,基准电压值的均方差达 3 mV,温度系数 20 ppm/°C (-40 °C~100 °C),电源抑制比 80 μV/V (2 V~3.3 V),证明了理论分析的正确性和它的应用价值。

2 理想带隙基准

图 1 是传统带隙基准源的电路图。根据 Ebers-Moll 模型,双极晶体管的发射极电流 I_E 可用下式表示:

$$I_E = I_S [\exp(\frac{V_{BC}}{V_t}) - 1] - \frac{I_S}{\alpha_F} [\exp(\frac{V_{BE}}{V_t}) - 1] \quad (1)$$

显然,只要 $V_{BC} = 0$, α_F 是常数,且 $V_{BE} \gg V_t$,则晶体管具有理想的指数特性:

$$I_E \approx \frac{I_S}{\alpha_F} \exp(V_{BE}/V_t) \quad (2)$$

其中 $V_t = kT/q$ 是热电势。

如果图 1 中晶体管 T_1 、 T_2 满足式(2),且 T_2 的发射结面积是 T_1 的 n 倍,则不难得到

$$\Delta V_{BE} = V_{BE1} - V_{BE2} = V_t \ln n \quad (3)$$

所以, T_2 的发射极电流为

$$I_{E2} = \frac{\Delta V_{BE}}{R_1} = \frac{V_t}{R_1} \ln n = \frac{kT}{qR_1} \ln n \quad (4)$$

它与热力学温度 T 成正比。该电流经过 1:1 的电流镜变成 T_3 的发射极电流,输出基准电压为

$$V_R = I_{E3}R_2 + V_{BE3} = \frac{R_2}{R_1} V_t \ln n + V_{BE3} \quad (5)$$

上式右边第一项具有正温度系数,第二项具有负温度系数,只要合理选择电阻 R_2 、 R_1 的比值和 n 值,使两项的温度系数的绝对值相等,便能得到零温度系数的电压基准。

这里的推导假定流过 T_1 、 T_2 的电流是相等的,即这两路的电流镜的电流比为 1:1,实际也可以用 $m:1$ ($m > 1$) 的,这在后面会提到。

3 实际带隙电压基准的误差

上面的分析是针对理想情况而言,它要求以下的假设成立:

(1) $V_A = V_B$ (即图 1 中 A、B 两点的电压相等),这意味着放大器的开环电压增益无穷大,直流失调电压等于零。

(2) 双极晶体管 $T_1 \sim T_3$ 具有理想特性,即满足式(2),并要求 T_1 、 T_2 的 J_S 和 β 相同。

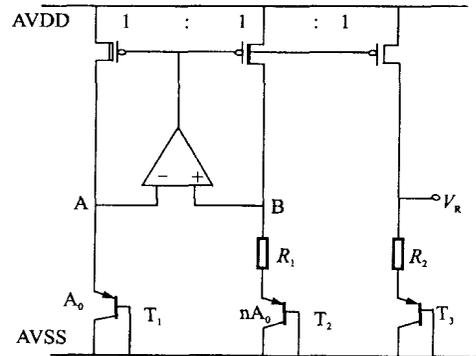


图 1 传统的带隙电压基准电路图

Fig 1 Schematic of conventional bandgap reference

(3) $I_{E1} = I_{E2} = I_{E3}$,即电流镜严格匹配,并且输出电流为 0。

(4) R_2/R_1 制作精确。

实际情况中以上各条都存在着一一定的误差,下面对各种误差原因进行单独的定量分析。

3.1 运放的输入失调和有限增益、有限电源电压抑制比(PSRR)的影响

运放的输入失调使 $V_A \neq V_B$,因而在 ΔV_{BE} 中引进误差。设运放的输入失调为 V_{OS} ,则由式(3)~(5)可以写出

$$V_R = \frac{R_2}{R_1} V_t \ln n + V_{BE} + \frac{R_2}{R_1} V_{OS} \quad (6)$$

假设 V_{BE} 的温度系数为 $-2 \text{ mV}/^\circ\text{C}$, $n = 8$, 则 $\frac{R_2}{R_1} = 11.2$ 。一般 CMOS 运放的输入失调电压在 5~20 mV 左右,因此由它引入的误差在 56~224 mV。减小这一误差影响的办法有以下几种:

1) 采用消失调技术。由于消失调技术一般都是分时使用,需要有时钟信号,因此应用受到一定的限制;

2) 增大运放输入级管子的尺寸,同时在版图设计时,设法提高对管的匹配精度,以减小失调电压;

3) 增大 n ,以减小电阻比。这可以通过直接增加 T_2 和 T_1 管的面积比 n ,或者间接地通过增大 T_1 和 T_2 的电流比 m 来实现。因为

$$\begin{aligned} V_{BE1} - V_{BE2} &= V_T (\ln \frac{I_{E1}}{J_{SA1}} - \ln \frac{I_{E2}}{J_{SA2}}) \\ &= V_T \ln(mn) \end{aligned} \quad (7)$$

所以

$$V_R = \frac{R_2}{R_1} V_T \ln(mn) + V_{BE} + \frac{R_2}{R_1} V_{OS} \quad (8)$$

其中 $n = A_2/A_1$, $m = I_{E1}/I_{E2}$ 。与式(6)相比可知,增大 m 与增大 n 对减小失调的影响的效果是相同的。

开环增益有限也使 $V_A \neq V_B$, 但与失调电压的影响相比, 开环增益的影响要小得多。因为带隙基准中的运放是低频运放, 增益做到上万倍是很容易的, 所以由它引起的误差可以忽略不计。运放的 $PSRR$ 的影响与开环增益的影响是相同的, 只要 $PSRR$ 在 80 dB 以上, 它的影响同样可以不必考虑。

3.2 电流镜失配引进的误差

对于图 1 所示的结构, 有两组电流镜, 假设这两组电流镜像的失配分别为 e_1 、 e_2 (左边这一组的误差为 e_1 , 右边的为 e_2), 则基准电压可用下式表示:

$$V_R = (1 + e_2) \frac{R_2}{R_1} V_T \ln[n(1 + e_1)] + V_{BE} \quad (9)$$

由式(9)可知, 由电流失配引起的基准输出的偏差可以表述为

$$\begin{aligned} \Delta V_R &= e_2 \frac{R_2}{R_1} V_T \ln[n(1 + e_1)] + \frac{R_2}{R_1} V_T \ln(1 + e_1) \\ &\quad - e_2 \frac{R_2}{R_1} V_T \ln n + e_1 \frac{R_2}{R_1} V_T \end{aligned} \quad (10)$$

用前面的数据, $\frac{R_2}{R_1} = 11.2$, 如果取 $e_1 = e_2 = 1\%$, 则 $\Delta V_{REF} = 9 \text{ mV}$; $e_1 = e_2 = 0.1\%$, 则 $\Delta V_{REF} = 0.9 \text{ mV}$ 。

镜像电流的失配主要由管子尺寸的失配、 V_T 的失配和沟道调制效应等引起, 它们主要由工艺决定。但适当的选取电路参数, 能减小它们的影响。例如把管子的尺寸 L 、 W 取大一些可以减小工艺引起的尺寸偏差的影响; 此外, MOS 管的电流取决于 $(V_{GS} - V_T)^2$, 所以对于同样的电流大小, 减小 W/L , 则增大了 V_{GS} , 从而能减小 V_T 失配的影响; 沟道调制效应主要体现在输出级, 因为运放已经把图 1 中左边两路 MOS 管的漏极钳制在同电位了。要减小输出级沟道调制效应的影响, 可使用长沟道器件, 采用级联电流镜, 另外在版图布局上采用交叉布局也能减小其失配。

3.3 PNP 管集电极面积比的误差

面积失配相当于影响 n 的精度, 所以这种误差对输出的影响与上面的电流匹配误差的影响类似, 其偏差表达式为

$$\Delta V_{REF} = \frac{R_2}{R_1} V_T \ln(1 + e) - e \frac{R_2}{R_1} V_T \quad (11)$$

e 为面积比误差, 若 $e = 1\%$, 则 $\Delta V_{REF} = 3 \text{ mV}$; $e = 0.1\%$, 则 $\Delta V_{REF} = 0.3 \text{ mV}$ 。

3.4 PNP 管的 β 和欧姆电阻的影响

实际晶体管的三个极都有与之串联的欧姆电阻, 对 CMOS 带隙基准来说, 基极串联电阻 r_b 的影响最大, 因为 CMOS 工艺里的纵向 PNP 管的 β 较小, 流过 r_b 的电流较大, 产生的电压降将直接反映在 V_{BE} 中, 使晶体管的 $I-V$ 特性曲线偏离指数关系; 发射极的串联电阻 r_e 可以等效到 R_1 、 R_2 的偏差上去, 最终可等效为 $\frac{R_2}{R_1}$ 的偏差; 集电极串联电阻的存在使 $V_{BC} \neq 0$ (r_b 的存在也同样会使 $V_{BC} \neq 0$), 但因为 I_S 很小 (在 10^{-14} 数量级), 其影响可以忽略。因此需要考虑的主要就是基极串联电阻 r_b 和有限 β 的影响。

考虑基极电阻后, E、B 之间的电压可写成

$$V_{BE} = I_b r_b + V_T \ln \frac{\alpha I_c}{I_S} = \frac{I_c}{1 + \beta} r_b + V_T \ln \frac{\alpha I_c}{I_S} \quad (12)$$

假设三路的电流都相等, 并且三路的 β 也都相等, 即

$$I_{e1} = I_{e2} = I_{e3} = I$$

$$\beta_1 = \beta_2 = \beta_3 = \beta$$

则晶体管 T_1 、 T_2 的 B、E 结电压降之差为

$$\begin{aligned} \Delta V_{BE} &= \frac{I}{1 + \beta} r_{b1} + V_T \ln \frac{\alpha I}{I_{S1}} - \frac{I}{1 + \beta} r_{b2} - V_T \ln \frac{\alpha I}{I_{S2}} \\ &= \frac{I}{1 + \beta} (r_{b1} - r_{b2}) + V_T \ln n \end{aligned} \quad (13)$$

又因为

$$\Delta V_{BE} = I^* R_1 \quad (14)$$

所以由式(13)、(14)可得 T_2 的发射极电流为

$$I = \frac{\Delta V_{BE}}{R_1} = \frac{V_T \ln n}{R_1 - \frac{r_{b1} - r_{b2}}{1 + \beta}} \quad (15)$$

所以

$$V_R = IR_2 + V_{BE3} = V_t \ln n \frac{R_2}{R_1 - \frac{r_{b1} - r_{b2}}{1 + \beta}} + V_{BE3} \quad (16)$$

把式(12)、(15)代入式(16)可得

$$\begin{aligned} V_R &= \frac{V_t \ln n}{R_1 - \frac{r_{b1} - r_{b2}}{1 + \beta}} \left(R_2 + \frac{r_{b3}}{1 + \beta} \right) + V_{BE30} \\ &= \frac{V_t \ln n}{R_1} \frac{1}{1 - \frac{\Delta r_{b12}}{(1 + \beta)R_1}} \left(R_2 + \frac{r_{b3}}{1 + \beta} \right) + V_{BE30} \end{aligned} \quad (17)$$

利用 $\frac{1}{1-x}$ 的幂级数展开, 并取 $\frac{1}{1-x} = 1+x$ (成立的条件是 $x \ll 0$), 当 $\frac{\Delta r_{b12}}{(1+\beta)R_1} \ll 0$ 时, 可以把上式化为

$$V_R = \frac{R_2}{R_1} V_t \ln n + V_{BE30} + \epsilon_b \quad (18)$$

其中前两项是理想输出值 (V_{BE30} 是 T_3 为理想晶体管时的发射结压降), 第三项是 r_b 引入的误差, 其表达式为

$$\begin{aligned} \epsilon_b &= \frac{R_2}{R_1} V_t \ln n \frac{\Delta r_{b12}}{(1 + \beta)R_1} + \frac{R_2}{R_1} V_t \ln n \frac{r_{b3}}{(1 + \beta)R_2} + \\ &\quad \frac{R_2}{R_1} V_t \ln n \frac{\Delta r_{b12} r_{b3}}{(1 + \beta)^2 R_1 R_2} \\ &\quad \frac{R_2}{R_1} V_t \ln n \frac{\Delta r_{b12}}{(1 + \beta)R_1} + \frac{R_2}{R_1} V_t \ln n \frac{r_{b3}}{(1 + \beta)R_2} \end{aligned} \quad (19)$$

其中, r_{b3} 是 T_3 的基区体电阻与引线孔和外部引线引入的欧姆电阻之和, Δr_{b12} 是 T_1 和 T_2 基极串联欧姆电阻的差。

由此可见, 要减小基区电阻的影响, 在 R_2 与 R_1 之比给定之后, 应该:

- 1) 增大 R_1 、 R_2 的绝对值;
- 2) 增大 β , 这完全由工艺决定;
- 3) 减少 T_3 的基极电阻, 这可以通过在版图上多打通孔、加粗连线等来实现;
- 4) 使 T_1 和 T_2 尽量匹配, 在版图上可以使用共心式布局。

r_b 主要由基区体电阻、接触孔电阻和连线电阻组成, 它与版图结构、接触孔的位置和数量密切相关, 其值可从数十欧姆到数百欧姆。

3.5 电阻比的误差

由式(5)可知, 电阻匹配误差 ϵ 对基准电压的影响为

$$\Delta V_{R\epsilon} = \frac{R_2}{R_1} (1 + \epsilon) V_t \ln n - \frac{R_2}{R_1} V_t \ln n = \frac{R_2}{R_1} \epsilon V_t \ln n \quad (20)$$

对前面的数据, $R_2/R_1 = 11.2$, $n = 8$, 则 $\Delta V_{R\epsilon} = 605\epsilon$ (mV)。若电阻比的匹配精度为 1%, 将引进 6.05 mV 的误差。

综上所述, 可以得到基准的最终表达式为:

$$V_{REF} = \frac{R_2}{R_1} V_t \ln n + V_{BE30} + \delta = V_R + \delta \quad (21)$$

其中 V_R 是理想基准电压值, δ 是误差, 其表达式如下

$$\begin{aligned} \delta &= \frac{R_2}{R_1} V_{OS} + e \frac{R_2}{R_1} V_t + \epsilon \frac{R_2}{R_1} V_t \ln n + \\ &\quad \frac{R_2}{R_1} V_t \ln n \frac{\Delta r_{b12}}{(1 + \beta)R_1} + \frac{R_2}{R_1} V_t \ln n \frac{r_{b3}}{(1 + \beta)R_2} \end{aligned} \quad (22)$$

其中匹配误差 e 包括与运放两输入端相连的电流镜的匹配误差和 PNP 管集电极面积比的误差; ϵ 包括电阻比的误差和 R_1 、 R_2 这两路的电流匹配误差; Δr_{b12} 为 T_1 、 T_2 基极串联电阻的差; r_{b3} 为 T_3 总的基极串联电阻。

4 设计实例

根据以上分析, 采用 $0.25 \mu\text{m}$ CMOS 工艺设计了一个带隙基准电路, 如图 2 所示, 它由偏置电流源、反折式运放和基准核心电路三部分组成。其中偏置电流源采用了与电源电压无关型自偏置电路, 并用工作于亚阈值区的 MOS 管实现了温度补偿^[7], 因此提高了运放的 $PSRR$, 并且使整个电路在较大的电源和温度变化时, 保持稳定的功耗; 运放采用反折式结构一方面可以提高 $PSRR$, 另一方面可以用基准中的镜像管的栅电容作为补偿电容, 减小芯片面积; 基准核心电路完全按照前面的分析来设计, T_1 、 T_2 的电流镜像比 4:1, 发射结面积比 1:15。

其版图如图 3 所示, 有效面积为 $200 \mu\text{m} \times 200 \mu\text{m}$ 。

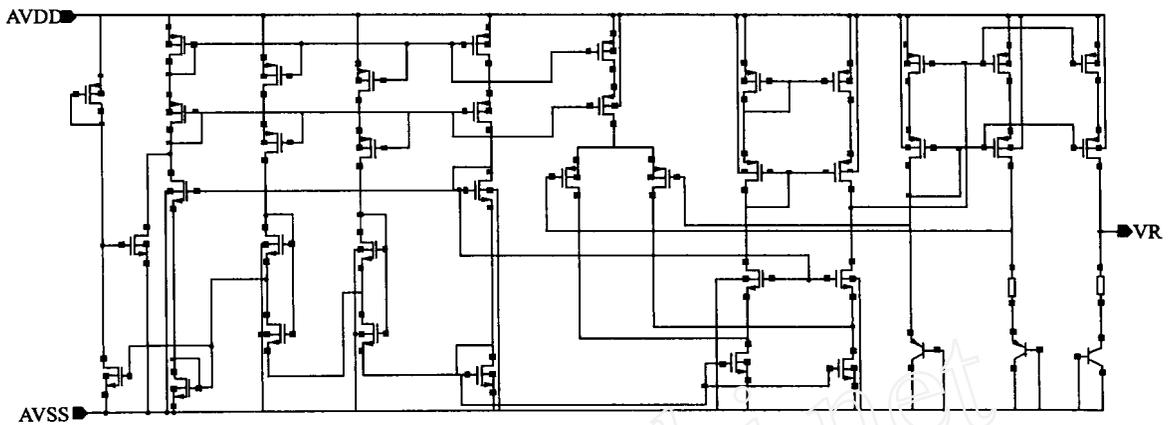


图2 实际设计的CMOS 带隙基准电路图

Fig 2 Proposed schematic of the CMOS bandgap reference

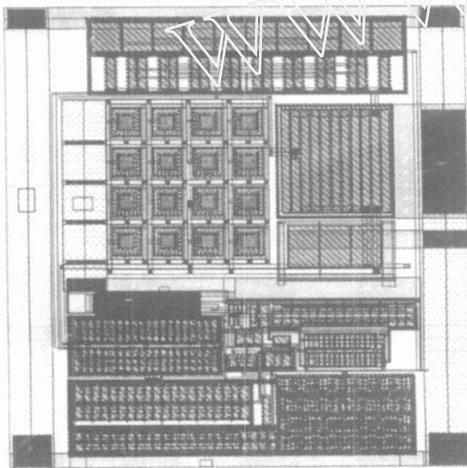


图3 带隙基准版图

Fig 3 Layout of the bandgap reference

该基准的最终测试结果如下: 电源抑制比 $80 \mu\text{V}/\text{V}$ (电源电压从 $2 \sim 3.3 \text{ V}$, 基准输出变化 0.1 mV), 温度系数 $20 \text{ ppm}/^\circ\text{C}$ (从 $-40 \sim 100^\circ\text{C}$), 均方差 3 mV (平均值 1.208 V , 基于 40 片样片的统计结果), 最大静态电流 $50 \mu\text{A}$ 。

5 结 论

详尽地分析了影响 CMOS 带隙电压基准值的所有误差来源, 给出了数学表达式和相应的改进方法。芯片测试结果很好地验证了理论分析的正确性。

参 考 文 献

A 1-Volt, high PSRR, CMOS bandgap voltage reference [A] IEEE International Symposium on Circuit and Systems[C] Bangkok, 2003: 381-384

- [2] Ka Nang Leung, Mok Philip K T. A sub-1-V $15 \text{ ppm}/^\circ\text{C}$ CMOS bandgap voltage reference without requiring low threshold voltage device [J]. IEEE J Solid-State Circuits, 2002; 37(4): 526-530
- [3] Buck Arne, McDonald Charles, Lewis Stephen, et al. A CMOS bandgap reference without resistors [J]. IEEE J Solid-State Circuits, 2002; 37(1): 81-83
- [4] Annema A J. Low power bandgap references featuring DTMOSTs [J]. IEEE J Solid-State Circuits, 1999; 34(7): 949-955
- [5] Banba Hirohori, Shiga Hitoshi, Umazawa Akira, et al. A CMOS bandgap reference circuit with sub-1-V operation [J]. IEEE J Solid-State Circuits, 1999; 34(5): 670-677
- [6] Nicollini Gemano, Senderowicz Daniel A. CMOS bandgap reference for differential signal processing [J]. IEEE J Solid-State Circuits, 1991; 26(1): 41-50
- [7] Oguey Henri J, Aebischer Daniel. CMOS current reference without resistance [J]. IEEE J Solid-State Circuits, 1997; 32(7): 1132-1135



陈浩琼(CHEN Haoqiong) 男, 1978 年出生, 汉族, 浙江诸暨人, 南开大学微电子系在读博士研究生, 主要研究领域为数模混合信号 IC 以及 RF IC 设计。

[1] Mehm anesh S, V ahidfa M B, A slanzade H A, et al