

CMOS 亚阈型带隙电压基准的分析与设计*

吴金¹ 刘桂芝² 张麟¹

(¹东南大学无锡分校, 南京, 210096) (²上海南麟电子有限公司, 上海, 200122)

2003-08-26 收稿, 2003-12-02 收改稿

摘要: 带隙基准可提供近似零温度系数和大的电源电压抑制比的稳定电压基准, 且与工艺基本无关。文中分析了MOSFET 工作于强反型区与亚阈区的电压和电流限定条件, 结合自偏置电路结构, 给出了一种基于亚阈区的低功耗CMOS 带隙基准电路的设计。

关键词: 带隙; 基准电压; 亚阈区

中图分类号: TN 431.1 **文献标识码:** A **文章编号:** 1000-3819(2005)03-0375-04

Sub-threshold Operation CMOS Bandgap Voltage Reference Design

WU Jin¹ LU Guizhi² ZHANG Lin¹

(¹Wuxi Branch, Southeast University, Nanjing, 210096, CHN)

(²Nonlinear Electronics Co., Ltd., Shanghai, 200122, CHN)

Abstract: Bandgap Reference can provide stable voltage with nearly zero temperature coefficient and larger PSRR, and also are process unrelated. Based on the limitation condition for MOSFET operation in sub-threshold, one kind of basic sub-threshold low power voltage reference by a self-biasing circuits and its design method are presented in this paper.

Key words: bandgap; voltage reference; sub-threshold region

EEACC: 2570D

1 引言

随着半导体工艺技术的不断进步, MOS 器件特征尺寸已进入亚 100 nm 阶段, 这迫使数字和模拟电路系统的工作电压不断降低, 以解决日益显著的系统功耗问题。目前, 众多亚 1.0 V 低压模拟单元电路不断涌现, 如带隙基准电路等^[1~4]。与传统的强反型电路设计不同, 为配合电源电压的降低,

将MOS管偏置在亚阈工作区已成为一个重要的低压低功耗设计方法^[5]。亚阈电路设计的关键, 在于有选择的将所需要的MOSFET偏置在可控的亚阈工作区。

经典的带隙电路(BGR)利用的是正负温度系数电压补偿原理, 负温度系数电压通常由PN结正向导通电压 $V_{be(on)}$ 提供, 而正温度系数PTAT电压则由两个PN结导通电压之差 $\Delta V_{be(on)}$ 实现。在CMOS工艺中, 多采用横向LPNP或纵向衬底

* Email: jvu@seu.edu.cn

PNP 管以获得所需的正负温度系数电压。由于 PN 结的 $I-V$ 关系为指数或对数关系, 如将 MOS 偏置在亚阈工作区, 此时 $I_{DS} \sim V_{GS}$ 同样呈现指数变化规律, 即 V_{GS} 可等效 $V_{be(ON)}$ 的作用, 用以实现 BGR 电路中的 PTA T 量。

2 亚阈工作区的偏置

直观上, MOS 管亚阈工作区的可控偏置比较困难。首先, 必须明确亚阈区的确切范围, 其次必须保证当电源电压变化或工艺漂移时, 亚阈工作区域能够稳定不变。

亚阈区又称为弱反型工作区, 介于强反型与截止区之间, 具体可从有效栅驱动电压和电流大小加以限定。本文考虑的亚阈区是与强反型为边界的弱开启区, 因此从电压方面看, V_{GS} 应在 V_{TH} 附近^[6], 即 $\Delta = V_{GS} - V_{TH}$ 应小于 $2nV_T$, 其中 n 为工艺非理想因子, 在通常 $1 \sim 1.5$ 范围之间, $V_T = 26 \text{ mV}$ (300 K) 为常温下的热电压。这样, V_{GS} 偏置最多只能大于 V_{TH} 约 80 mV 以内, 以满足弱开启条件。通常, 考虑工艺漂移或补底偏置效应后, V_{TH} 的变化可达到 $100 \sim 200 \text{ mV}$ 甚至更高。显然, 如采用固定栅偏置, 则由于 V_{TH} 的微小变化, 很难保证器件在所有状态下都能处于亚阈区。因此, 亚阈偏置只能采用自适应的偏置技术。所谓自偏置, 是将栅压取自本支路上的漏极电位, 当 V_{TH} 变化造成支路电流变化时, 栅偏电压也跟随变化, 动态反馈会使 $V_{GS} - V_{TH}$ 仍然保持在规定的亚阈范围内, 工作状态不变。因此, 当工艺漂移时, 只要采用的自偏置电路结构中存在限流机制, 支路电流可限制在一定范围内, 即可实现稳定的亚阈区工作状态。

因此, 亚阈区的偏置从电流方面限定则更为有效。根据 EKV 的连续型 $I-V$ 模型, 强反型-弱反型的临界电流或转折点电流定义为标称电流 I_{so} 。 I_s 电流仅由工艺和上述最小有效栅驱动电压有关^[7], 考虑放宽 1 倍的容量, 则单位 W/L 的临界转折电流可表示为:

$$I_{so} = \frac{0.5I_s}{W/L} = \frac{0.5(K\Delta^2/2n)}{(W/L)} = nK V_T^2 = n\mu C_{ox} V_T^2 \quad (1)$$

根据 $0.6 \mu\text{m}$ CMOS 相关工艺参数, 电子和空穴迁移率分别为 $\mu_n = 426 \text{ cm}^2/(\text{V} \cdot \text{s})$, $\mu_p = 192 \text{ cm}^2/(\text{V} \cdot \text{s})$, 栅氧化层厚度 $t_{ox} = 12.5 \text{ nm}$, 单位面

积栅电容 $C_{ox} = \epsilon_0 \epsilon_{ox}/t_{ox} = 0.276 \mu\text{F}/\text{cm}^2$, 阈电压为 $V_{TN} = 0.727 \text{ V}$ 和 $V_{TP} = -1.017 \text{ V}$, 亚阈斜率为 $n_e = 1.099$ 和 $n_h = 0.829$, 工艺增益因子为 $k_n = \mu_n C_{ox} = 117.6 \mu\text{A}/\text{V}^2$, $k_p = \mu_p C_{ox} = 53 \mu\text{A}/\text{V}^2$ 。代入以上参数, 计算得到 $I_{so,n} = 87.4 \text{ nA}$, $I_{so,p} = 29.7 \text{ nA}$ 。

以上结果表明, 为确保亚阈偏置, 应使单位 W/L 下的器件电流 NMOS 管限制在 87 nA 以内, 而 PMOS 管限制在 30 nA 以内。换言之, 要想使具有较大电流的器件工作在亚阈区, 应使其 W/L 增加以减小有效栅压; 同样, 要使具有较小电流的器件工作在强反型区, 应使其 W/L 很小以增加其有效栅压。因此, 判断器件是否工作在亚阈区, 不能仅从电流的绝对大小上看, 还要看其 W/L , 即要考察其有效栅压的大小。这在电路设计中具有重要指导意义, 即通过限定电流的大小, 以及变化同一支路上各器件 W/L 之间的关系, 可有选择地将同一条支路中的部分器件设定在亚阈工作区, 而其它器件设定在常规的强反型工作区。

3 亚阈区 bandgap 电路设计

基本的亚阈 BGR 电路结构 I 如图 1 所示, 其核心是一个单调型非线性自偏置电路。将 MN0 和 MN1 偏置在亚阈区, 而将 MP0 和 MP1 偏置在强反型区。NMOS 管的面积比为 $S_{n1} : S_{n0} = N : 1$, 相应的 PMOS 管的面积比为 $S_{p0} : S_{p1} = P : 1$ 。

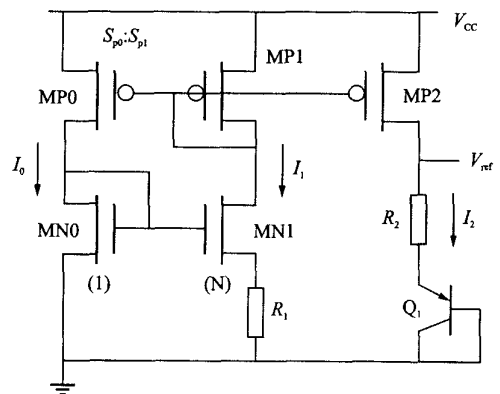


图 1 非线性电流源偏置的亚阈原理 bandgap 结构

Fig 1 Sub-threshold bandgap circuit by non-linear current biasing

由于 NMOS 在亚阈区, 可等效看成为 BJT 的 V_{be} 电压, $I-V$ 呈指数或对数关系^[4], 则电阻 R_1 上的压降为:

$$V_{R1} = \Delta V_{GS} = n_e V_T \ln \left(\frac{I_0 S_{N1}}{I_1 S_{N0}} \right) = n_e V_T \ln \left(\frac{S_{p0} S_{N1}}{S_{p1} S_{N0}} \right) = n_e V_T \ln (N \cdot P) \quad (2)$$

上式表明,电阻上的 PTAT 压降与偏置电路对角线上 MOS 器件面积因子乘积之比有关。\$V_{R1}\$ 转化成支路电流并通过 MP2 电流镜传递到输出支路上,再转化成电阻 \$R_2\$ 上的 PTAT 电压,以补偿 PN 结的负温度系数电压,获得零温度系数的 bandgap 输出,即:

$$V_{ref} = n_e \frac{S_{p2} R_2}{S_{p1} R_1} V_T \ln (N \cdot P) + V_{be}(Q_1) \quad (3)$$

因导通压降 \$V_{be(on)}\$ 的负温度系数近似为 \$-2 \text{ mV}/^\circ\text{C}\$, \$V_T\$ 的正温度系数为 \$k/q \approx 0.089 \text{ mV}/^\circ\text{C}\$, 则获得零温度系数补偿所需要的比例常数为 \$-2/0.089 \approx 22.5\$。

具体参数设计过程为: 1) 选择面积因子比: \$N, P\$, 得到电阻 \$R_1\$ 所限制的该支路电流应满足的亚阈偏置关系, 即 \$I_1 = (V_T/R_1) \ln(N \times P) \approx 87.4 \text{ nA} (W/L)_{N1}\$; 2) 因 MN0 工作在亚阈区, 其电流与 MN0 管尺寸也应满足 \$I_0 \approx 87.4 \text{ nA} (W/L)_{N0}\$ 的关系。因 MN0 的 \$W/L\$ 小, MN0 若在亚阈区, 一定可保证 MN1 也在亚阈区; 3) 设 \$I_0\$ 支路电流限制在 \$1.0 \mu\text{A}\$, 则 \$(W/L)_{N0} > 11.4\$; 4) 由 \$N\$, 得到 \$(W/L)_{N1} = (W/L)_{N0} \times N\$; 5) 根据步骤 1), 得到电阻为 \$R_0 = n_e V_T \ln(N \times P)/I_1\$; 6) 选取 \$S_{p2} = S_{p1}\$, 求出 \$R_2\$; 7) 考虑到 MOSFET 输出电阻的大小, 必须选择 NMOS 和 PMOS 的合适沟长。

根据以上原始参数采用 HSPICE 模拟得到的输出电压为 \$1.5 \text{ V}\$, 比预期结果有较大增加, 主要原因在于 MN1 管因电阻 \$R_1\$ 引起的衬底偏置效应和电路失配使输出比理论值偏大。解决的方法也很简单, 在其它所有参数保持不变的条件下, 按不同的比例改变电阻 \$R_1\$ 和 \$R_2\$。\$R_1\$ 增加, 各支路电流减小, 保证 MN0 和 MN1 更加可靠地工作在亚阈区, \$R_2\$ 增加的幅度略小, \$R_2/R_1\$ 比值下降以使输出达到 \$1.2 \text{ V}\$ 左右的带隙输出, 并使常温下的温度系数最小。

根据 HSPICE 模拟结果, 电阻参数调整为 \$R_0 = 200 \text{ k}\Omega, R_1 = 373.7 \text{ k}\Omega\$。典型条件下, 输出电压 \$V_{ref} = 1.273 \text{ V}\$, \$1.5 \sim 5 \text{ V}\$ 的输出电压的漂移为 \$1.33 \text{ V} \sim 1.2 \text{ V} = 130 \text{ mV}\$, 总功耗为 \$3.09 \mu\text{A}\$。\$-30 \sim 85 \text{ }^\circ\text{C}\$ 温区内的输出电压漂移为 \$2.5 \text{ mV}\$, 温度系数为 \$2.5 \text{ mV}/115 \text{ }^\circ\text{C} = 22 \text{ ppm}/(V/^\circ\text{C})\$。

4 设计改进

采用自偏置的非线性 Peak 电流源偏置代替以上结构, 即将原来的 \$R_1\$ 电阻移至 MN0 的漏, 形成如图 2 所示的结构 II, 可从根本上克服衬底偏置效应的影响。

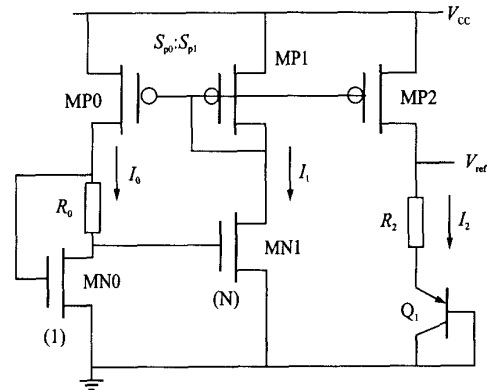


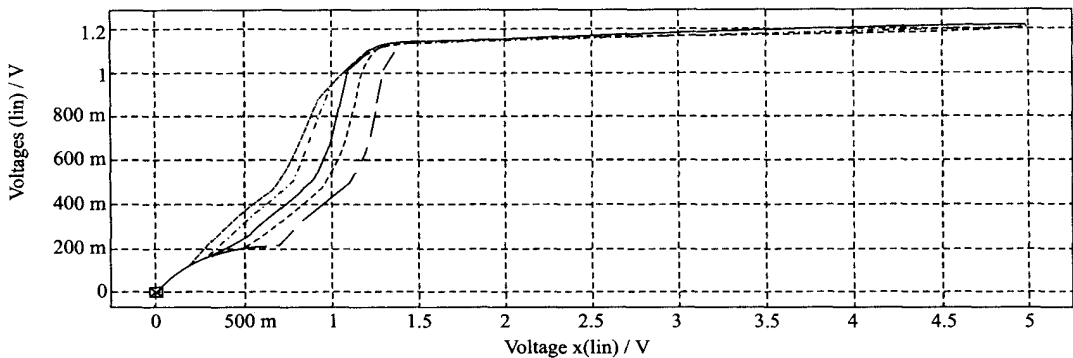
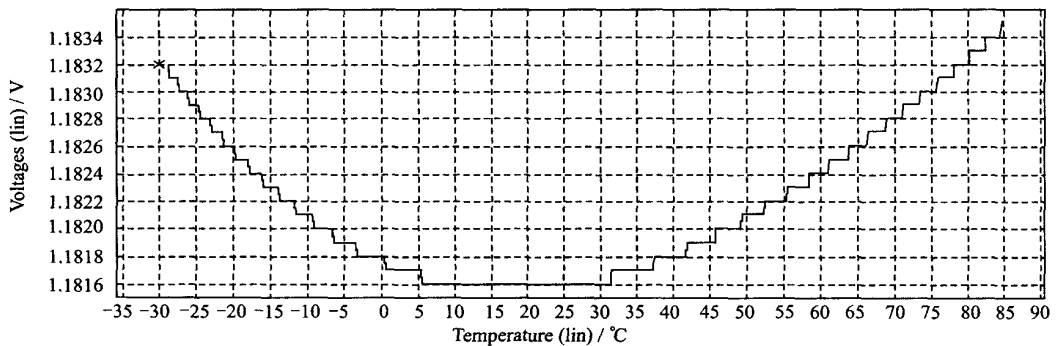
图 2 自偏置非线性 peak 电流源亚阈工作的 bandgap 电路
Fig. 2 Sub-threshold bandgap circuit by non-linear peak current self-biasing

电阻上的压降仍为两个亚阈 NMOS 管的 \$V_{GS}\$ 差, 因此 (2) 式仍然成立。采用相同的设计流程, 并以 \$1 \mu\text{A}\$ 为 \$I_0\$ 支路设计参考, 则所需的限流电阻为 \$R_1 = n_e V_T \ln(N \times P)/I_0\$。若保持各 MOS 管原先设计的尺寸不变, 则放大限流电阻值以保证更加可靠地工作于亚阈区。

代入以上参数后模拟得到的输出电压为 \$1.15 \text{ V}\$, 比理论值略偏小, 此时衬底偏置效应已不存在。在参数优化调节中, 可保持 \$R_1\$ 不变, 同时增加 \$R_2\$ 数值, 使输出增加到带隙输出, 并获得最小的温度系数, 调试获得的 \$R_2\$。

在典型条件下的模拟结果为: \$V_{ref} = 1.187 \text{ V}\$, \$V_{CC}\$ 从 \$1.5 \sim 5 \text{ V}\$ 范围内的输出电压变化为 \$1.22 \sim 1.15 = 70 \text{ mV}\$, 比 I 型结构的电源抑制比特性提高一倍, 输出基准与 \$V_{CC}\$ 的关系如图 3 所示, 工艺漂移对输出影响很小, 总功耗为 \$2.36 \mu\text{W}\$, 比原来略有降低。温度特性也同样有所提高, \$-30 \sim 85 \text{ }^\circ\text{C}\$ 内的输出变化仅为 \$1.8 \text{ mV}\$, 等效为 \$1.8 \text{ mV}/115 \text{ }^\circ\text{C} = 15.7 \text{ ppm}/(V/^\circ\text{C})\$, 图 4 给出了基准带隙电压的温度特性。

比较两种设计, II 型输出比 I 型略小, 主要原因在于, 输出电流小, 使 PN 结电压略小, 但这不是

图3 II结构五种工艺漂移下的 $V_{ref} \sim V_{CC}$ 特性Fig. 3 $V_{ref} \sim V_{CC}$ performance under 5 process corner of circuit II图4 II结构TT工艺漂移下的 V_{ref} 的温度特性Fig. 4 V_{ref} temperature performance under TT process corner of circuit II

主要的,较为显著的应是PN结负温度特性的影响,在小电流下,负温度系数的绝对值应有所减小,从而使输出电压降低。

自偏置改善的最直接效果是提高了电源抑制比。 V_{CC} 变化时所引起电流变化导致电阻上的电压也跟随改变,I型设计中电阻电压会调制 V_{TH} ,使 V_{TH} 也跟随 V_{CC} 变化,这又进一步影响电流的大小,使输出偏离更为显著。在II型设计中,因电阻电压的变化不会影响到 V_{TH} 的改变,因此 V_{ref} 的PSRR特性明显改善。

5 实验结果

以上各种设计在 $0.6 \mu\text{m}$ CMOS工艺上进行了流片实验,结果证明了实现的准确性。测试结果平均值为 1.08 V ,偏差在3%以内, $-25 \sim 125 \text{ }^\circ\text{C}$ 温漂范围内的基准变化在 12 mV 以内(增加),当高温在 $90 \text{ }^\circ\text{C}$ 以内时,基准变化实测为 5 mV 以内,电路

基本具备带隙特性,但正温度系数补偿量偏高。实际的输出结果为 1.18 V 左右,实际与设计结果能够很好地符合。该单元电路目前已用于PFM DC-DC电源系统的基准电压设计中。

5 结 论

给出了与工艺相关的MOS管亚阈值电压和电流判据,以及控制器件进入亚阈区的 w/L 设计准则,针对普通的自偏置电路结构,提出了其改进形式。利用MOS管亚阈特性所产生的PTAT电流和电压,设计出一种获得实际结果验证的带隙电压基准电路, 3 V 条件下基准电压值近似为 1.18 V ,温度系数 $20 \text{ ppm} (\text{V}/^\circ\text{C})$ 以内,功耗近似为 $2.5 \mu\text{W}$,在低功耗CMOS电路系统中获得了实际应用。

(下转第384页)

- (4): 302-307
- [4] ZHU Jun. Flash Memory Technology Development 2001 6th ICSECT[C]. 2001: 189-194
- [5] Paolo Cappelletti, Carla Golla, Piero Olivo, et al. Flash Memories [M]. Boston: Kluwer Academic Publishers, 1999
- [6] Yoshikawa K, Yamada S, Miyamoto J, et al. Comparison of current flash EEPROM erasing methods: stability and how to control[A]. Electron Devices Meeting [C], 1992. Technical Digest International, 13-16 Dec 1992: 595-598
- [7] Buskirk Van, Michael A, Johnny C, et al. VPP Power Supply Having a Regulator Circuit for Controlling a Regulated Positive Potential U. S Patent 5291446, March 1994
- [8] Kamoulakos G, Chrisanthopoulos A, Tsiatouhas Y, et al. Management of charge pump circuits INTEGRATION, the VLSI Journal 30, 2000: 91-101
- [9] Venkatesh B, Chung M, Govindachar S, et al. A 55 ns 0.35 μm 5 V-only 16 M flash memory with deep-power-down[A]. ISSCC Digest of Technical Papers [C]. 1996: 44-45



伍冬(WU Dong) 男, 1977 年出生, 2001 年毕业于西安交通大学电子工程系, 目前在清华大学微电子所攻读博士学位, 主要从事快闪存储器电路设计。

潘立阳(PAN Liyang) 男, 1975 年出生, 清华大学微电子所助理研究员, 博士, 主要从事快闪存储器工艺开发和可靠性研究。

段志刚(DUAN Zhigang) 男, 1979 年出生, 2001 年毕业于西安理工大学电子系, 目前在清华大学微电子所攻读硕士学位, 主要从事快闪存储器电路设计。

(上接第 378 页)

参 考 文 献

- (1): 151-154
- [6] Laker K R, Sansen W M C. Design of Analog Integrated Circuits and Systems[M]. McGraw-Hill Inc 1994
- [7] Enz C C, Krummenacher F, Vittoz E A. An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low current applications [J]. Special Issue of the Analog Integrated Circuits and Signal Processing Journal on Low-voltage and Low Power Design, 1995; 8: 83-114
- [1] Serra-Graells F, Huertas J L. Sub-1-V CMOS proportional-to-absolute temperature references [J]. IEEE J SSC, 2003; 38(1): 84-88
- [2] Leung K N, Mok P K T. A sub-1-V 15 ppm/ $^{\circ}\text{C}$ CMOS bandgap voltage reference without requiring low threshold voltage device[J]. IEEE J SSC, 2002; 37(4): 526-530
- [3] Boni A. Op-amp and startup circuits for CMOS bandgap references with near 1-V supply[J]. IEEE J SSC, 2002; 37(10): 1339-1343
- [4] Banba H, Shiga H, Umezawa A, et al. A CMOS bandgap reference circuits with sub-1-V operation [J]. IEEE J SSC, 1999; 34(5): 670-674
- [5] Giustolisi G, Palumbo G, Criscione M, et al. A low-voltage low-power voltage reference based on subthreshold MOSFET [J]. IEEE J SSC, 2003; 38



吴金(WU Jin) 1965 年生, 男, 汉族, 江苏省南京市人。1997 年获微电子专业工学博士学位, 现为东南大学教授, 主要从事模拟、数模混合集成电路等领域内的教学和科研工作。