

DDC 中的抽取滤波器设计及 FPGA 实现

Decimation Filter Design for DDC and Implementing It with FPGA

张 斌* 何子述

ZHANG Bin HE Zi-shu

摘 要 本文介绍了在数字下变频(DDC)中的抽取滤波器系统设计方法和具体实现方案。采用 CIC 滤波器、HB 滤波器、FIR 滤波器三级级联的方式来降低采样率。通过实际验证,证明了设计的可行性。

关键词 数字下变频 抽取滤波 CIC 滤波器 HB 滤波器 FIR 滤波器

Abstract This paper describes the system design of decimation filter and the implementing method. Through the cascade of CIC filter, HB filter and FIR filters, the data frequency is cut down. The method is validated by the test results.

Keywords Digital down converting Decimation filter CIC filter HB filter FIR filter

1 引言

软件无线电的思想是使宽带 A/D 和 D/A 转换器尽可能靠近天线,构造通用硬件平台,将各种功能,如工作频段、调制解调、通信协议等用软件完成。但是受硬件发展水平的限制,直接射频采样目前还有一定困难,所以首选方案是在中频对模拟信号数字化。尽管如此,中频部分的采样率仍然比较高,而实际包含信息的基带信号往往带宽较窄,因此需要先进行下变频处理,再使用 DSP 软件模块处理基带数据。而下变频中的降速则是由抽取滤波系统来实现的。因而抽取滤波系统的设计是下变频中的一个重要环节。通过积分(CIC)梳状滤波器,半带(HB)滤波器和 FIR 滤波器级联的方式的抽取滤波更容易实现。

2 系统模型

降速是通过抽取来实现的,但是我们知道,抽取将使信号的频谱发生混叠,使得我们无法恢复出所感兴趣的频谱分量。所以在抽取之前必须进行低通滤波。在抽取因子较大时,还要采用多级实现的办法以降低所需滤波器的阶数。因为当抽取因子 D 较大时,若一次完成抽取,则要设计的抗混叠滤波器的带宽非常窄,过渡带要求非常陡,滤波器的阶数将达到几百甚至更高,如此大的运算量在 FPGA 器件中难以实时完成。当抽取因子较大时,往往多级抽取要比单级抽取所需的计算量少很多。多级实现的途径一般立足于抽取因子为 2 的抽取器,若抽取次数 $D = D_1 \times 2^k$,则在第一级采用运算简单的积分-梳状滤波器,其抽取因子为 D_1 ,中间为若干级半带滤波器,最后一级为滤波性能较好的普通 FIR 低通滤波器。

设计系统应用于某气象雷达中频信号处理部分,要求模拟中频输入带宽 0.3MHz,中心频率 60MHz,采样频率 52.8Msps,输出数据率为 1.2Msps。所以我们必须进行 44 倍抽取。设计分三级抽取完成 44 倍抽取。第一级完成 11 倍抽

取,用 CIC 滤波器实现;第二级完成 2 倍抽取,用 HB 滤波器实现;第三级完成 2 倍抽取,用普通的 FIR 滤波器实现。图 1 为抽取滤波器的实现框图。

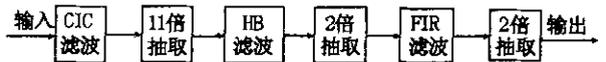


图 1 抽取滤波器框图

3 CIC 滤波器设计和实现

抽取前的信号通常速率很高,而低通滤波器必须位于抽取进行之前才可以起到抗混叠的目的。如果采用 FIR 滤波器要达到阻带衰减的要求,阶数通常较高,显然,高速率下完成滤波运算不可能,因而我们使用 CIC 滤波器完成第一级滤波。它的冲激响应表示为:

$$h(n) = \begin{cases} 1, & 0 \leq n \leq D-1 \\ 0, & \text{else} \end{cases} \quad (1)$$

其中 D 表示阶数,也就是抽取因子,在这里为 11。式(1)的 Z 变换为:

$$H(z) = \sum_{n=0}^{D-1} h(n)z^{-n} = \frac{1-z^{-D}}{1-z^{-1}} \quad (2)$$

CIC 滤波器的频率响应为:

$$H(e^{j\omega}) = D \cdot Sa\left(\frac{\omega D}{2}\right) \cdot Sa^{-1}\left(\frac{\omega}{2}\right) \quad (3)$$

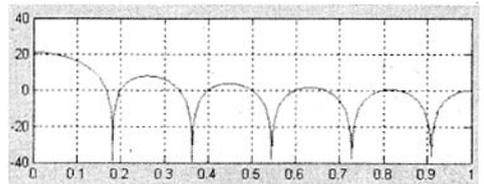


图 2a 单级 CIC 幅频特性

由图 2a 可见单级 CIC 滤波器的旁瓣电平是比较大的,只比主瓣低 13 个 dB 左右,这也就意味着阻带衰减很差,是难以满足实用要求的。为了降低旁瓣电平,我们采用多级 CIC 级联的办法,由图 2b 可见 5 级级联 CIC 滤波器具有了 67dB 左右的阻带衰减,基本能满足实际要求。

* 电子科技大学电子工程学院 成都 610054

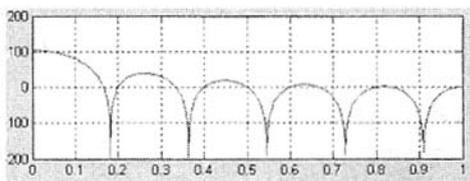


图 2b 5 级 CIC 级联幅频特性

具体实现我们采用 DspBuilder 来构建 5 级 CIC 滤波器。DspBuilder 是 Quarts II 软件和 MATLAB/Simulink 间的一个接口,用户可以先在 MATLAB/Simulink 中进行算法分析、仿真和验证,然后通过 DspBuilder 将 MATLAB/Simulink 中的 .mdl 文件转换成 VHDL 语言,进而在 Quarts II 中综合(synthesis),仿真(simulation),以及下载到 FPGA 中进行实际验证。这对于侧重于算法研究的 DSP 开发是极为有利的。

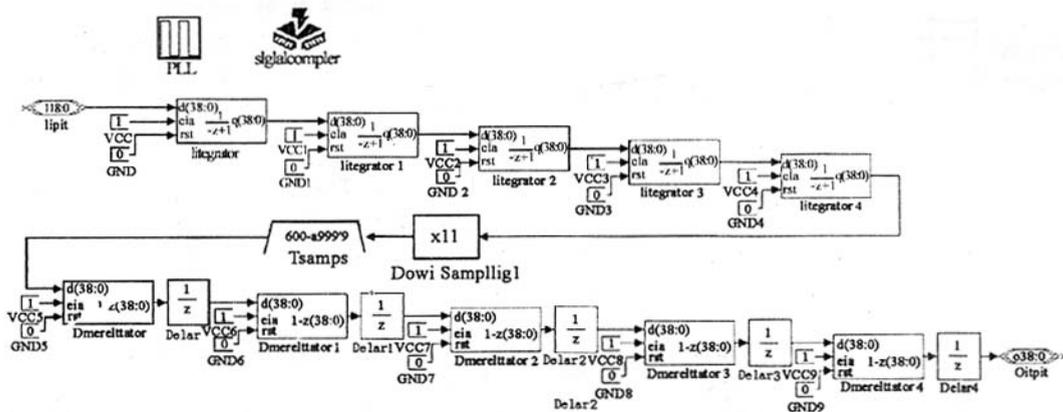


图 3 DspBuilder 构造 CIC 滤波器

4 HB 滤波器设计和实现

HB 滤波器在抽取滤波处理中有着特别重要的位置,它特别适合实现 2 的幂次方倍抽取,而且计算效率高,实时性强。它的特点是:

$$\omega_A = \pi - \omega_C \quad \delta_S = \delta_P = \delta \quad (4)$$

也就是说半带滤波器的阻带宽度和通带宽度是相等的,且通带阻带波纹也相等,其冲激响应

$$h(k) = \begin{cases} 1, & k=0 \\ 0, & k = \pm 2, \pm 4, \dots \end{cases} \quad (5)$$

由(5)式我们可知 HB 滤波器的冲激响应除了零点不为零外,在其余偶数点都全为零,所以采用半带滤波其只需一半的计算量,特别适合于进行实时处理。由于 HB 滤波器结构也相对简单,所以我们同样采用 DspBuilder 来构造。

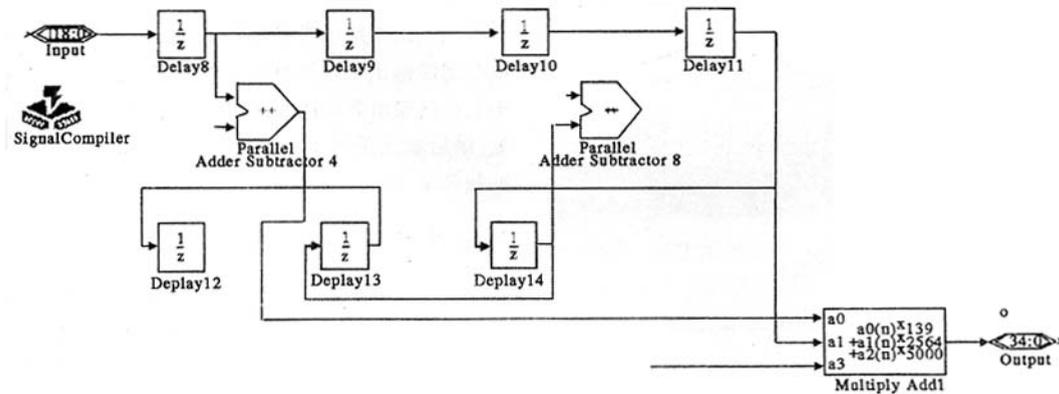


图 4 DspBuilder 构造 HB 滤波器

5 FIR 滤波器设计和实现

由于 Dspbuilder 在构建滤波器时,没有很好的利用 FPGA 内部的 RAM 资源,所以当滤波器阶数较高时,耗费的逻辑单元相当多,硬件资源使用相当不合理。所以第三级 FIR 滤波器由于阶数较高,我们采取 TDM 结合多相滤波的方式进行滤波器设计。既能节约 DSP Block 又能充分利用 RAM 资源。

TDM(Time-Domain Multiplexed)滤波器进行逻辑运算的时钟是输入数据率的几倍甚至十几倍,目得就是为了复用

进行乘法运算的乘法器。例如一个 8 阶的标准 fir 滤波器,我们需要 8 个乘法器,而当我们内部时钟提高到输入数据率的 2 倍时,就只需 4 个乘法器。下面就详细介绍 8 阶 TDM 滤波器,复用因子为 2 时的设计理念。

首先由于输入的数据要并行输入 DSP Block,所以我们必需将输入的数据通过一串移位寄存器,寄存器的时钟频率等于输入数据率(clock 1×)。将 8 个滤波器系数分成 4 组,每组 2 个,分别存在 ROM1~ROM4 里面。存在 ROM 里面的滤波器系数同样也要并行输入 DSP Block,而复用因子为

2,因此 ROM 和 DSP Block 的时钟频率必须是 2 倍输入数据率(clock 2X)。

如图 5 所示,在 cycle1 时,我们从 ROM 里面读出的系数是 $h(1)、h(3)、h(5)、h(7)$,与输入的数据相乘可以得到一个输出 y_1 ;而在 cycle2 时,从 ROM 里面读出的系数是 $h(2)、h(4)、h(6)、h(8)$,与输入的数据相乘可以得到一个输出 y_2 , y_2 加上 y_1 就可以得到一个完整的滤波器输出 $y(n)$ 。

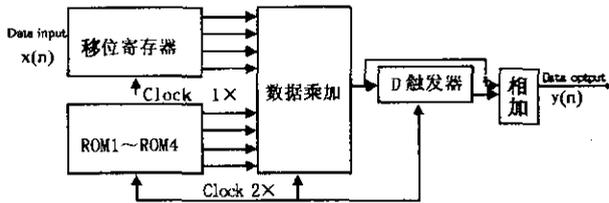


图 5 8 阶 TDM 滤波器,复用因子为 2 的系统结构

$$y(n) = y_1 + y_2 \quad (6)$$

$$y(n) = x(n-0)h(0) + x(n-1)h(1) + x(n-2)h(2) + x(n-3)h(3) + x(n-4)h(4) + x(n-5)h(5) + x(n-6)h(6) + x(n-7)h(7) \quad (7)$$

同时我们可以看到如果 cycle0 时的输出 y_0 与 y_1 相加就会得到一个错误的输出,所以我们最后取数据的时候必须完成一个 2 倍的抽取,这样才能得到一个正确的输出,同时也可以使输出数据率等于输入数据率。

而在抽取系统中,第三级设计了 88 阶的 FIR 滤波器,根据多相滤波,同时考虑第三级完成两倍抽取。我们首先将 88 个滤波器系数分成两组,每组 44 个,将上一级的输出数据两倍抽取之后分别进入这两个滤波器,进行乘加运算,最后将这两个滤波器输出相加得到正确的输出数据。而对每一组 44 阶的 FIR 滤波器我们采用 TDM 的方式,结合系统时钟,我们用输入数据率的 11 倍时钟来控制 ROM 表和乘加单元。将 44 个系数分成 4 组,每组 11 个系数,分别存在 4 个 ROM 里面,来进行运算。

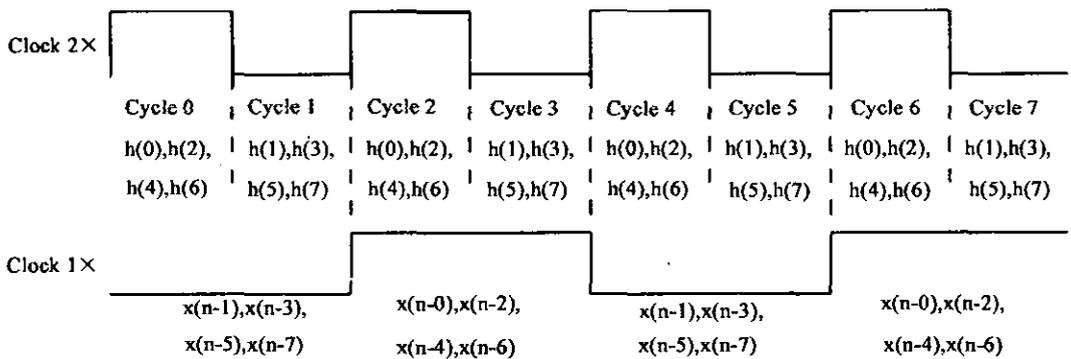


图 6 TDM 滤波器系数读入过程

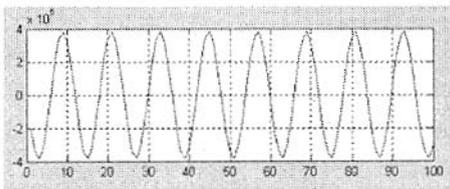


图 7a I 路时域波形

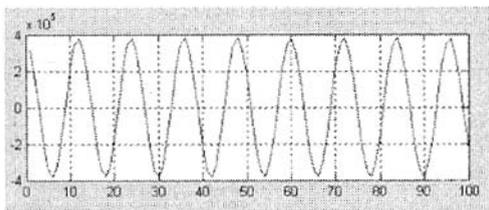


图 7b Q 路时域波形

6 实验验证

系统设计为模拟中频信号经 STATIX EP1S20 开发板上的 AD(型号为 AD9433)欠采样(采样频率 52.8MHz),在 STATIX EP1S20 中分 3 级抽取滤波(抽取因子依次为 11、2、2,总共为 44 倍抽取),最后 DDC 后正交的 I、Q 信号以 1.

2MHz 的数据率输出。这里给出模拟频率为 60.1MHz 的信号经下变频和抽取滤波输出 I、Q 路时域波形(数据为系统工作中,将 FPGA 中 I、Q 路输出数据用 SignalTapII 读入计算机保存),由图 7 可见,最后输出低数据率的正交的 I、Q 路数据,有较好的镜频抑制效果,满足工程需要。

7 结束语

从理论分析和实验结果看出,本文的系统设计和实现方案可以达到指标要求,而且通过 CIC 的特有性质,可以在高速数据流下完成滤波工作,而 FIR 滤波则在两级抽取之后的低速率条件下完成。采用目前的 FPGA 和 DSP 器件完全可以实现。

参考文献:

- [1] 杨小牛等. 软件无线电原理与应用,电子工业出版社,2002 年
- [2] 褚振勇等. FPGA 设计及应用,西安电子科技大学出版社,2002 年
- [3] Altera corporation, Statix Device Handbook

(收稿日期:2005-08-01)