

# 基于FPGA的FIR滤波器高效实现\*

宋千 陆必应 梁甸农

(国防科技大学电子科学与工程学院 长沙410073)

**【摘要】**本文针对在FPGA中实现FIR滤波器的关键——乘法运算的高效实现进行研究,首先给出了将乘法转化为查表的DA算法,然后简要介绍整数的CSD表示和我们根据FPGA实现要求改进的最优表示;接着,本文讨论了在离散系数空间得到FIR滤波器系数最优解的混合整数规划方法;最后采用这一方法设计了最优表示离散系数FIR滤波器,通过FPGA仿真验证这一方法是可行的和高效的。

**关键词:** FIR滤波器 FPGA 整数规划 离散系数

## 一、引言

随着数字技术日益广泛的应用,以现场可编程门阵列(FPGA)为代表的ASIC器件得到了迅速的普及和发展,器件集成度和速度都在高速增长。FPGA即具有门阵列的高逻辑密度和高可靠性,又具有可编程逻辑器件的用户可编程特性,可以减少系统设计和维护的风险,降低产品成本,缩短设计周期。

FPGA有着规整的内部逻辑块阵列和丰富的连线资源,特别适合于细粒度和高并行度结构特点的数字信号处理任务,如FIR滤波器、FFT等,相对于串行运算主导的通用DSP芯片来说并行性和可扩展性都更好。但是长期以来,FPGA一直被用于系统逻辑或时序控制上,很少有信号处理方面的应用,其原因主要是因为缺乏在FPGA中实现乘法运算的有效结构。将FPGA有效应用到数字信号处理领域的关键之一就是找出一种适合FPGA内部结构的乘法器实现结构,同时保持FPGA高并行度的特点。

本文以FIR滤波器的FPGA实现为例,阐述FPGA在数字信号处理应用中的一些实现技术。首先,本文以Xilinx产品为例简要介绍FPGA基本结构和分布式算法的局限性;接着,我们给出一种乘法器的近似实现,比较整数离散化的CSD和根据FPGA结构加以改进的最优表示;在第4节,采用混合线性整数规划方法得到离散FIR滤波器的最优解;最后,本文简要讨论FPGA具体实现的问题,然后对以上算法进行仿真实验以说明这一方法的可行性和有效性。

## 二、分布式算法

Xilinx公司FPGA产品在SRAM型FPGA中具有典型性,其基本结构由三类可编程资源构成:可编程逻辑功能块(CLB)、可编程I/O功能块(IOB)和可编程连线资源,采用功能块中的SRAM查找表(LUT)构成函数发生器,M个输入的逻辑函数真值表存储在 $2^M \times 1$ 位的SRAM中,M位地址线和1位数据线分别作为函数变量输入和函数值。FPGA这种内部构造特别适合于脉动阵列并行处理结构,通过并行和流水,获得很高的运算速度和I/O吞吐率。

FIR滤波器的主要组成模块是乘/加单元(MAC),如果按照直观结构构造乘法器和系数寄存器来实现会占用大量的逻辑资源,显然不可取。一般来说,针对特定应用的FIR滤波器大多为固定整系数,不需要系数寄存器,并且针对固定系数滤波器可以发展更为高效的算法,所以以下本文主要讨论固定整系数滤波器的FPGA实现。

分布式算法(Distributed Arithmetic, DA)在20年前被首次提出,但直到Xilinx发明FPGA的查找表结构以后,DA算法才在90年代初重新受到重视,并有效地应用在FIR滤波器的设计中。DA算法原理如下:

\* 国家部委基金资助项目(7.5.3.2)

系数为  $\{h_k\}_{k \in [0, K-1]}$  FIR 滤波器输出可表示为

$$y(n) = \sum_{k=0}^{K-1} h_k x_k(n), \quad h_k \in Z^+ \quad (1)$$

其中输入  $x_k(n)$  即  $x(n-k)$ ,  $K$  为滤波器长度。  $x_k(n)$  二进制表示为  $\{s_{k(B-1)} \cdots s_{k1} s_{k0}\}$ , 即

$$x_k(n) = \sum_{h=0}^{B-1} s_{kh}(n) 2^h, \quad \text{其中 } s_{kh} \in \{0, 1\} \quad (2)$$

将 (2) 式代入 (1) 式可得

$$y(n) = \sum_{k=0}^{K-1} \left[ h_k \sum_{h=0}^{B-1} s_{kh}(n) 2^h \right] = \sum_{h=0}^{B-1} \left[ \sum_{k=0}^{K-1} s_{kh}(n) h_k \right] 2^h \quad (3)$$

其中对于固定系数, 整数乘以  $2^b$  即左移  $b$  位, 可以通过硬连线实现, 不占用逻辑资源。

DA 算法的主要特点是巧妙地利用 SRAM 查找表将固定系数的 MAC 运算转化为查表操作, 其运算速度不

随系数和输入数据精度的增加而降低, 而且相对直接实现乘

法器 and 系数寄存器在逻辑资源占用上得到了极大的改善。但

是其系数表示仍然是二进制的, 造成了很大的逻辑冗余; 而且,

需要的查找表大小随着滤波器阶数的增加成超线性增长, 虽然

可以采用将大查找表分解为小查找表的方法, 但是

无法从根本上解决这一问题。后文将针对 FIR 滤波器实现给

出新的设计方法, 在保证运算速度的前提下, 进一步降低逻辑

资源的消耗。

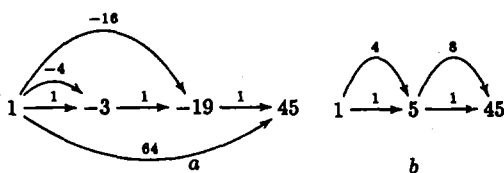


图1 45的CSD表示和最优表示的拓扑结构

### 三、整数最优表示法与离散化

一个整数  $x$  的二进制表示 (如  $s_{B-1} \cdots s_1 s_0$ ) 就是如 (2) 所示的若干个 2 的整数次幂之和, 它与另一个整数  $y$  的乘积可以写为

$$x \cdot y = y \cdot \sum_{h=0}^{B-1} s_h 2^h = \sum_{h=0}^{B-1} s_h (y 2^h) \quad (4)$$

若  $B$  为  $x$  中所有非零  $s_h$  的集合, 对于标准二进制表示  $s_h \in \{0, +1\}$ 。由于  $s_h = 0$  时对应  $y 2^h$  项并不参与累加运算, 所以需要寻找一种表示法使  $B$  元素数目最小的表示方法使加法器最少, 也即最小非零位表示。当允许  $s_h \in \{-1, 0, +1\}$  时, 我们称之为带符号码; 如果任意两个非零位均不相邻, 即为典范带符号码 (CSD) 表示, 可以证明这种表示对给定数是唯一的并且对 (4) 式最少非零位表示。CSD 表示相对于标准二进制表示的改进在于引入了负的符号位, 从而降低了非零位个数, 也大大降低了逻辑资源占用 (大约平均降低 33% 的逻辑资源)。

当硬件实现时, 常常需要限制  $B$  元素个数, 也即每个系数以  $N$  个正 (负) 2 的幂次之和近似, 即

$$x \approx \sum_{n=0}^{N-1} s_n 2^{b_n}, \quad \text{其中 } s_n \in \{-1, +1\}, \quad b_n \in Z^+ \quad (5)$$

标准二进制数在整数轴上是紧密和均匀分布的, 而 (5) 式 CSD 表示的整数是非均匀分布的, 以其对实系数离散化的量化误差比标准二进制大; 增加  $N$  可以减小量化误差, 但是会增大硬件逻辑资源的消耗。所以, 一方面我们寻找适合并行和流水结构的系数表示方法, 另一方面必须采用优化方法将连续系数离散化为特写的最少非零位表示。

CSD表示虽然在所有如(4)式的带符号码表示中具有最少的非零位,但是另一些拓扑结构不同的方法比CSD表示占用更少的加法器;而且从后文可以看出,CSD表示无法应用流水结构实现,从而降低处理速度。以45为例,CSD表示的拓扑结构为图1-a,最优表示为图1-b(其中每个节点为一个加法器,节点上的数字为两个输入的和,每条边被赋以2的整数M次幂,即流经该边的被乘数被左移M位),也即 $45 \times \chi$ 可以被表示为 $45\chi = (((\chi - 2^2\chi) - 2^4\chi) + 2^6\chi)$ (CSD表示)和 $45\chi = (1 + 2^2)(1 + 2^3)\chi$ (最优表示)。

从图1中可以看出,CSD表示使用了三个加法器,而最优表示使用两个;CSD表示的重要缺陷在于每一级加法都需要初节点参与,而最优表示仅依赖上一级加法的结果,因此也就更适合流水处理,在脉动阵列中可以使处理速度达到全局时钟速度。

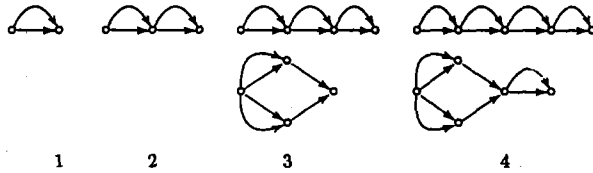


图2 满足规则的一个到四个加法器图的所有拓扑结构

对同一个数的表示方法所需的代价(资源数量和处理速度)的不同是因为它们的拓扑结构不同,这些拓扑结构可以用图来表示和定义,因此需要研究表示整系数乘法的图的结构特点,这些特点也决定了生成整系数乘法图的表示的原则:

- 如果需要N个加法器则共有N+1各了点,初节点赋值为1;
- 除初节点外所有节点必须有两个输入边,输出边个数不限,这是为了硬件实现的方便;
- 所有节点和边必须存在于一条从初节点到终节点的通道上;
- 除初节点外所有节点的输入必须来自前一级节点的输出,或其输入边方向必须为从前一级节点流向该节点,这是为了易于流水处理从而提高处理速度,同时也禁止了反馈。

根据以上规则可以穷举得到一个到四个加法器的拓扑结构,如图2所示。由于在选取拓扑结构的原则中已经保证了适合脉动阵列流水处理的拓扑结构,所以处理速度与加法器级数无关,因此我们将加法器个数作为硬件实现的代价。从图2中可以看出,高代价图是由低代价图组合而成的,通过将某一拓扑结构中的边在符合选取原则的前提下以低代价图替换,可以得到更高代价的图。以下介绍几个关于图的表示的定理:

定理1 一个图若某个节点的基值(即节点对应的值)为V,则可转化为如下的形式:此节点的输入边乘以 $2^j$ ,此节点的基值为 $2^j V$ ,输出边乘以 $2^{-j}$ ,其中j为整数,图的其它部分完全相同,称这两种图是等价的。

从以上定理可以推导出

定理2 在所有的等价图中,必存在一种图,所有节点的基值均为奇数,并且这种图是唯一的,称为OF(Odd Fundamentals)图。

因此在求给定加法器个数的最优图表示时,只需考虑OF图,因为所有其它的图必存在一种OF图与其等价,并且所有的OF图结果都不相等。以上生成高阶拓扑结构的问题可以描述为:

对一个整数a,确定一个由p+1个奇数组成的最小有序集合B,对任意的 $\{b_{k_n}\} \in B$ ,其中k为加法器级数,n为某一级加法器的序数,存在 $s, s_2, s_3 \in [-1, 1]$ ,任意整数 $j_1, j_2, m$ ,使下式成立

$$\begin{aligned}
 b_0 &= 1 \\
 b_{k_n} &= s_1 2^{j_1} b_{(k-1)_{n_1}} + s_2 2^{j_2} b_{(k-1)_{n_2}}, \quad k > 1 \\
 a &= s 2^m b_p
 \end{aligned} \tag{6}$$

且由上面两个定理,可以得到

定理3 如果增加一个新节点到OF图中, 在(6)式中只需考虑如下三种情况:

$$j=0, k>0; j>0, k=0; j=k<0.$$

这样进一步缩小了系数选择的范围。搜索整系数最优图表示算法还具有如下特点:

- 合成高代价图时只需考虑奇数与奇数相加以及奇数和偶数相加的情况;
- 偶数的代价和由它通过除以 $2^j$  ( $j$ 为合适整数)得到的奇数代价相同;
- 负整数最优图表示与对应正整数代价相同。

在实际设计离散系数FIR滤波器时, 通常是首先利用(6)式迭代产生出不同代价的整数, 将其中代价小于 $M$  (即加法器个数小于 $N$ )的数并根据代价升序排列, 得到一组离散整系数的表; 离散系数FIR滤波器设计的目的是以最优方法在生成的离散整数空间中求一组系数, 使得误差在某种意义上最小。 $M$ 的选取主要根据连续整数情况下的系数精度, 如连续整系数位数为8位时, 一般可取 $M=2$  (即用2个2的整数次幂近似)。

### 1. 离散系数FIR滤波器的设计

一个实系数为 $\{h(n)\}_{n \in [0, \dots, N-1]}$ 的 $N$ 阶FIR滤波器的频率响应写为

$$H(\omega) = \sum_{n=0}^{N-1} h(n)e^{-jn\omega}, \quad \omega \in [-\pi, \pi] \quad (7)$$

设期望的系统频率响应为 $D(\omega)$ ,  $\omega \in \Omega$ ,  $\Omega$ 为 $[-\pi, \pi]$ 上的一个紧支集。定义复加权误差函数为

$$E(\omega) = W(\omega)[D(\omega) - H(\omega)], \quad \omega \in \Omega \quad (8)$$

其中 $W(\omega)$ 为正的实权值函数。在最小最大(Min-Max)准则下, FIR滤波器设计问题可以描述为找出一组滤波器系数 $\{h(n)\}_{n \in [0, \dots, N-1]}$ 使 $E(\omega)$ 的切比雪夫(Chebyshev)范数 $\|E(\omega)\|_{\infty} = \max_{\omega \in \Omega} |E(\omega)|$ 达到最小, 称为切比雪夫逼近问题。

线性规划方法是设计实FIR滤波器的一种最优方法, 此外, 这种方法也便于将离散系数FIR滤波器设计的有关算法结合进来。设 $\delta = \|W(\omega)\|_{\infty}$ , 实FIR滤波器的设计的数学描述如下:

求  $\min \delta$

$$\text{满足} \quad |D(\omega) - H(\omega)| \leq \frac{\delta}{W(\omega)}, \quad \omega \in \Omega \quad (9)$$

此切比雪夫逼近问题已被证明存在最优解且唯一。由复数取模的公式 $|x+j \cdot y| = \sqrt{x^2+y^2}$ 可以看出, 复数域的线性优化问题是实数域上的非线性优化问题; 但是根据复数的旋转变换公式

$$|z| = \max_{\theta \in (-\pi, \pi]} \Re(z e^{-j\theta}) \quad (10)$$

(其中 $\theta$ 称为旋转因子), 可以将复逼近问题转化为实数域的线性优化问题[2]。令 $\bar{h} = [h_0, h_1, \dots, h_{N-1}, \delta]$ ,  $\bar{b} = [0, 0, \dots, 0, 1]$ , 对(9)式作旋转变换将问题转化为

求  $\min \bar{h} \bar{b}^T$

$$\text{满足} \quad \bar{h} [\Re\{[1, e^{-j\omega}, \dots, e^{-j\omega(N-1)}] e^{-j\theta}\}, \frac{1}{W(\omega)}]^T \geq \Re[D(\omega) e^{j\theta}] \quad (11)$$

这是有限变量、无限约束的半无限线性规划(SIP)问题的标准形。当所的滤波器具有线性相位特性——或FIR滤波器系数对称一的情况下, 不需要进行旋转变换, 但其线性规划仍是SIP问题。一般对SIP问题的处理办法包括: ①对上述半无限线性规划问题作离散化处理, 近似为有限维线性规划问题; ②首先求出SIP的对偶问题, 然后对其对偶问题应用线性规划方法求解。可以证明, 这两种方法虽然推导过程不同, 但是结果是相同的, 详细推导可见作者的其它论述[3]。

对于普通整系数FIR滤波器的设计, 可以用整数规划来求解, 但是用上文最优表示的离散系数空间只是

整数空间的子空间, 求在此空间上的最优解, 不能简单地将整数规划所得的整系数截断或舍入到最接近的离散系数, 且  $\bar{h}$  包含实数  $\delta$ , 所以这是一个混合整数规划 (MIP) 问题, 用分支定界法来求解。

分支定界法的基本思想是: 首先不考虑对变量的取值限制, 直接求解连续系数FIR设计问题, 把此问题记为  $P_0$ , 接着选择一个取值不在给定离散系数范围内的系数, 设此系数为  $h_i$ , 如果与  $h_i$  相邻的两个离散系数分别是  $\lfloor h_i \rfloor$  和  $\lceil h_i \rceil$ , 即  $\lfloor h_i \rfloor \leq h_i \leq \lceil h_i \rceil$ 。因为离散系数不可能位于  $(\lfloor h_i \rfloor, \lceil h_i \rceil)$ , 则可以对  $P_0$  分别加以如下两个约束转化为两个变量上界限制的子线性规划问题  $P_1$  和  $P_2$ , 并通过转化为  $\rightarrow$  右边的形式将其合并到单纯形表中

$$h_i \leq \lfloor h_i \rfloor \rightarrow h_i + \hat{h}_{i1} = \lfloor h_i \rfloor \quad (\hat{h}_{i1} \geq 0) \quad (12)$$

$$h_i \geq \lceil h_i \rceil \rightarrow h_i - \hat{h}_{i2} = \lceil h_i \rceil \quad (\hat{h}_{i2} \geq 0) \quad (13)$$

但这种方法会较大的增加计算; 对此类问题有专门的改进的单纯形算法以避免增加约束条件的个数, 可以证明能够通过有限步数得到最优解[4]。得到  $P_1^0$  和  $P_1^1$  的最优解之后, 通过进一步对不满足要求的系数增加约束条件把  $P_1^0$  和  $P_1^1$  分解成子问题  $P_2^0$ 、 $P_2^1$  和  $P_2^2$ 、 $P_2^3$ , 依此类推, 直到达到最优解为止。提高混合整数规划问题的分支定界方法的效率一直是整数规划理论研究的主要内容, 在这方面也取得了很多成果, 目前求解整数规划问题的软件包也较为成熟, 我们可以利用这些优化软件来缩短理论研究和仿真验证的周期。

#### 四、FPGA实现与性能评估

首先给出一个4阶的离散系数FIR滤波器的结构框图, 如图(3)。其中离散系数乘法器即根据最优表示拓扑结构采用加法器所实现的乘法器, 图(1)所示的最优表示离散化系数乘法器实现如图(4)。由于移位是通过硬连线实现的, 不占用任何硬件资源, 所以我们没有明显地给出实现结构。从图中可以看, 对于每一级加法运算, 其输出都进行了锁存, 可以得出一个结论: 系统的最大理论运算速度是单个加法器的运算时间, 即如果单个加法器从输入数据准备好到输出数据锁存至寄存器

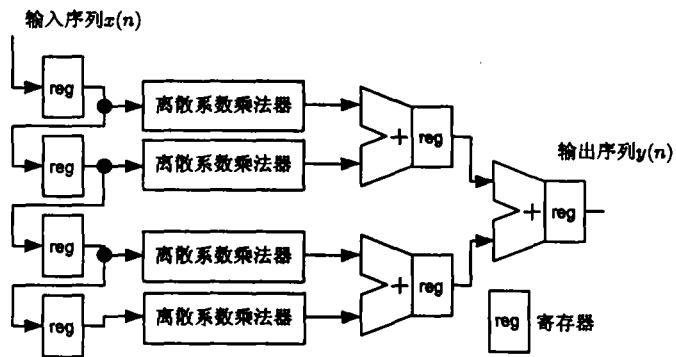


图3 4阶离散系数滤波器的结构框图

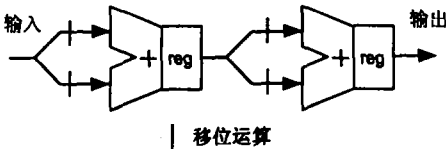


图4 一种离散系数乘法器结构简图

中的时间是  $T_s$ , 则FIR滤波器的系统时钟工作频率是  $\frac{1}{T_s}$ 。另外

在滤波器设计中, 还需要考虑溢出问题; 输入数据已进行归一化处理时, 当滤波器系数满足

$$\sum_{n=0}^{N-1} |h(n)| < 1 \quad (14)$$

时, 可以保证输出结果不溢出。

为了评估系数离散化对滤波器性能的影响, 我们做了大量的仿真试验, 首先我们不考虑硬件资源的因素, 比较在几种不同的系数空间中求得的最优滤波器设计的性能。假设需要逼近的理想滤波器通带截止频率为  $0.42\pi$ , 阻带截止频率为  $0.5\pi$ , FIR滤波器阶数为64阶, 离

散系数字长分别为(或等效为)8、10、12、14和16位,其中CSD表示和最优表示的离散系数代价为2(即由2个加法器实现系数乘法)。实系数FIR滤波器由解决实Chebyshev逼近问题的Remez交换法产生,然后生成各离散系数空间,采用前述方法求得最优离散系数。图(5)为字长10位时理想连续实系数FIR滤波器与采用最优表示离散系数FIR滤波器的幅频响应的比较,其中实线所示为最优离散系数FIR滤波器频谱,长虚线所示为理想FIR滤波器频谱。详细的性能比较如下表。

从表中可以得出两个结论:

- 离散系数滤波器和整数系数滤波器的差别并不大,完全可以采用离散系数滤波器取代通常使用的整数系数滤波器,从而大大降低对硬件逻辑资源的要求;

- 此外,最优表示与CSD表示离散系数滤波器性能基本相同,采用最优表示对系数进行离散化以提高运算速度是可行的。

此外我们发现,当系数位数越低,最优表示较CSD表示在滤波器性能上的优越性越明显,其原因如图(1)所示,对一些整数最优表示离散化往往代价更低;当系数位数大于16之后,离散化系数和整数系数滤波器的性能都不会进一步改善。

对FPGA中实现FIR滤波器的验证是通过

在FPGA设计软件中完成功能验证(Function Simulation)和时序验证(Timing Simulation)这两步进行的。我们分别用并行DA算法和最优表示系数离散化方法在Xilinx的XC4000系列FPGA上实现一个32阶非对称FIR滤波器,其中取输入数据位数和系数位数分别为8和10, FIR滤波器结构如图(3)和图(4),最优表示离散系数代价仍为2,根据FPGA设计软件Xilinx Foundation生成的报告,用并行DA算法占用1171个CLB,而系数离散化方法占用785个CLB,两者性能相差很小,而以系数离散化方法为基准,并行DA算法多占用近一半的逻辑资源。

## 五、结论

本文首先简要介绍了FPGA基本结构及其应用于高并行度算法的优点,并且给出了一种巧妙利用FPGA的SRAM查找表、将乘法转化为查表运算的DA算法;接着,针对系数的二进制表示非零位不是最少——或实现系数乘法的加法器不是最少——的问题,介绍了整数的CSD表示以及我们根据脉动阵列并行处理实现要求而改进的最优表示,后者可以以较小的代价和与加法器级数无关的处理速度实现整数乘法运算,同时给出了在给定代价下对整数离散化的方法;本文还给出了采用混合整数线性规划方法设计离散系数FIR滤波器的方法,使得在给定的离散系数空间中FIR滤波器在切比雪夫准则下最优;最后,本文讨论了FPGA实现的结

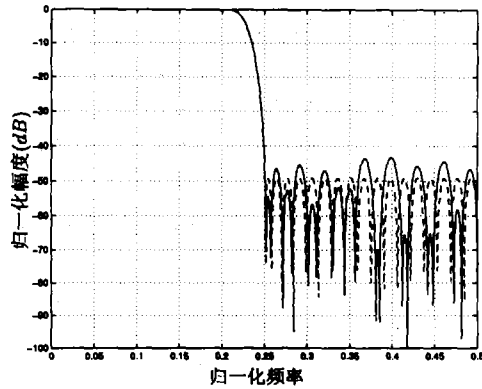


图5 连续实系数FIR滤波器与最优表示离散系数FIR滤波器幅频响应比较

性能指标	连续实系数	字长	整数	CSD表示离散系数	最优表示离散系数
最大通带纹波(dB)	0.034	8	0.131	0.142	0.132
		10	0.056	0.061	0.060
		12	0.043	0.044	0.043
		14	0.038	0.043	0.039
		16	0.035	0.042	0.037
最小阻带抑制(dB)	48.05	8	33.78	35.88	36.17
		10	43.77	43.13	43.33
		12	46.68	45.60	45.61
		14	47.54	46.01	46.87
		16	47.96	46.24	47.31

构, 并对比了整数系数、CSD表示和最优表示离散系数FIR滤波器的性能, 并通过FPGA仿真比较了DA算法和最优表示系数离散化方法设计的FPGA滤波器在逻辑资源上的占用, 其结果说明最优表示离散系数FIR滤波器不但是可行的, 而且可以显著降低硬件逻辑资源的消耗和提高运算速度。

#### 参考文献

- [1] Andrew G.Dempster and Malcolm D.Malcold. Constant integer multiplication using minimum adders. IEEE Proc. Circuits Devices System, 141(5):407-413, October 1994
- [2] Xiangkun Chen and Thomas W.Parks. Design of FIR filters in the complex domain. IEEE Trans. Acoustics, Speech and Signal Processing, 35(2):144-153, February 1987
- [3] 陆必应、周智敏、宋千、梁甸农。用复系数数字FIR滤波器实现超宽带正交解调接收系统的幅相误差校正, 《电子学报》28(9): 59-61, 2000年9月。
- [4] 马仲蕃, 线性整数规划的数学基础, 科学出版社, 1995

## Efficient Implementation of FIR Filter using FPGA

Song Qian Lu Biying Liang Diannong  
(Electronic Science and Technology College NUDT)

**Abstract:** The efficient implementation of multipliers is the key of using FIR filters in FPGA. First, we introduce the Distributed Arithmetic which converts the multiplications into some look-up operations; second, in this article the CSD representation of integer is introduced, followed by a improved optimum representation according to the FPGA structure; then we present a method that uses mixed integer programming to design the FIR filter in a discrete coefficient space; finally, the implementation of FIR filter in FPGA is discussed, and the result of simulations prove this method is feasible and efficient.

**Key words:** FIR Filter FPGA Integer Programming Discrete Co-efficient

(上接第439页)

- [6] P.T.Cough. A fast spectral estimation algorithm based on the FFT[J]. IEEE Trans.SP, vol.42 June, 1994.

## Extrapolation with iterative weighted norm modification algorithm

Dong Zhen Huang Xiaotao Zhu Guofu Liang Diannong  
(College of Electric Science and Engineering, NUDT, Changsha, 410073, China)

**Abstract:** Extrapolation has a wide application which all put some limitation on the signal. Based on minimizing the weighted norm, this paper proposed a iterative algorithm taking the signal out of the above bounds, which makes it be used more widely. The fast realization are discussed for two familiar cases. The results of the simulation indicate that the iterative algorithm can enhance resolution and reduce sidelobe for application of spectral estimation.

**Key words:** Weighted norm Iterative FFT Levinson algorithm Spectral estimation