数字滤波器

在FPGA中的实现

ZTE中兴

数字滤波器在FPGA中的实现

FIR、IIR滤波器的理论实现

1. F I R、I I R滤波器的设计（X通）

2. H（S）到H（Z）的转换

3.几种典型的滤波器

4.FIR和IIR滤波器的特性比较及应用场合

FIR及IIR的硬件实现

DSP的实现与FPGA实现的不同之处

ZTE中兴

数字滤波器在FPGA中的实现

滤波器在FPGA中实现

1.结构特点

2.抽取滤波器的实现方法（例如2：1抽取滤波器）

3.插值滤波器的实现方法（例如1：2插值滤波器）

4.利用系数的特点简化滤波器结构，节省资源

ZTE中兴

几个概念

零极点对幅频特性的影响

$$H(e^{jw}) = |H(e^{jw})| e^{j\arg[H(e^{jw})]}$$

$$|H(e^{jw})| = |A| \frac{所有零点矢量长度之积}{所有极点矢量长度之积}$$

$$\arg[H(e^{jw})] = 所有零点矢量相角和$$
$$- 所有极点矢量相角和$$

ZTE中兴

一个例子

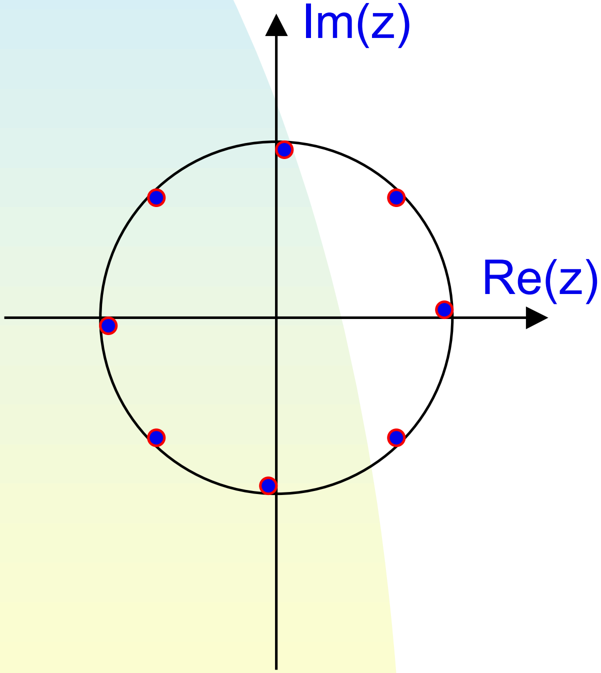
$$H(z) = 1 - z^{-N} = \frac{z^N - 1}{z^N}$$

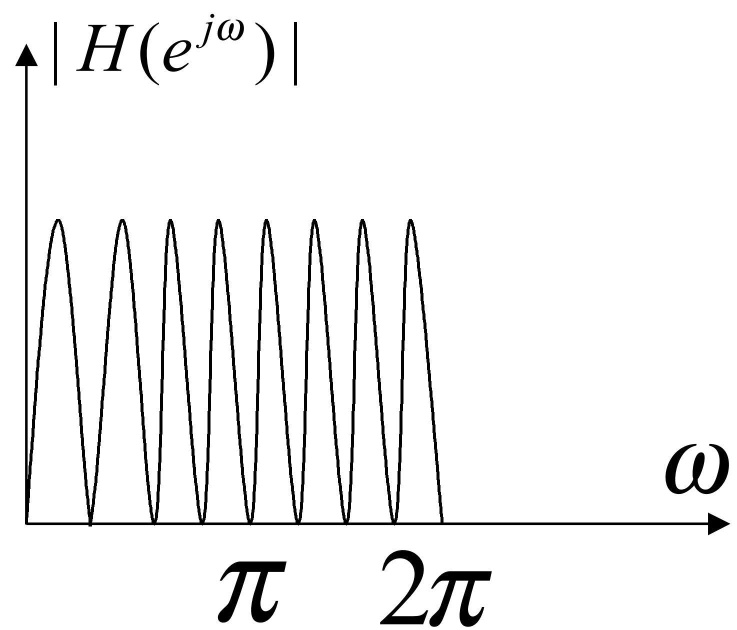
零点： $z^N - 1 = 0 \Rightarrow z = e^{j\frac{2\pi k}{N}} \left(k = 0,1\ldots\ldots, N-1\right)$

极点： Z=0 N阶极点

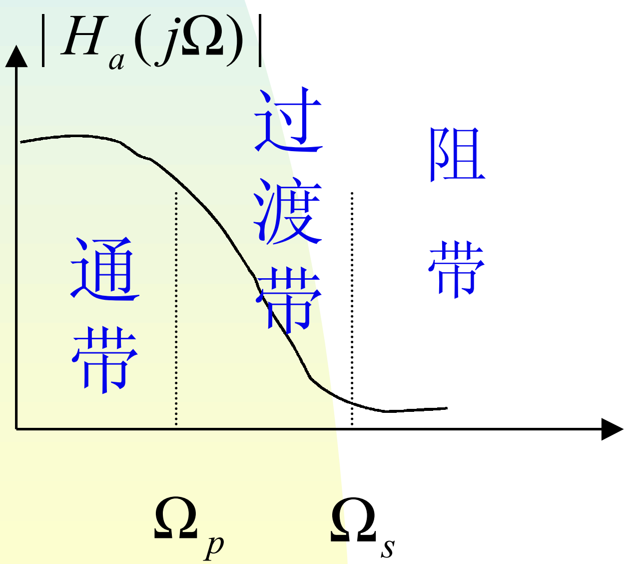
N=8的幅频特性

梳状滤波器





滤波器的技术指标



通带截止频率 Ω_p

通带内允许最大波动 α_p

阻带下限频率 Ω_s

阻带内允许最小衰减 α_s

$$\alpha_p = -20\lg|H_\alpha(j\Omega_p)|$$

$$\alpha_s = -20\lg|H_\alpha(j\Omega_s)|$$

数字滤波网络

数字滤波网络可以用差分方程、单位取样响应及系统函数进行描述。

$$y(n)=\sum_{i=0}^{M} b_i x(n-i)+\sum_{k=1}^{N} a_k y(n-k)$$

$$H(z)=\frac{Y(z)}{X(z)}=\frac{\sum_{i=0}^{M} b_i z^{-i}}{1-\sum_{k=1}^{N} a_k z^{-k}}$$

差分方程表明：

数字滤波的基本运算单元是乘法器、加法器和延迟器。

对给定的差分方程或系统函数，由这些基本算法构成的算法有很多种

$$H(z)=\frac{1}{1-0.8z^{-1}+0.15z^{-2}}$$

$$=\frac{-1.5}{1-0.3z^{-1}}+\frac{2.5}{1-0.5z^{-1}}$$

$$=\frac{1}{1-0.3z^{-1}}*\frac{1}{1-0.5z^{-1}}$$

ZTE中兴

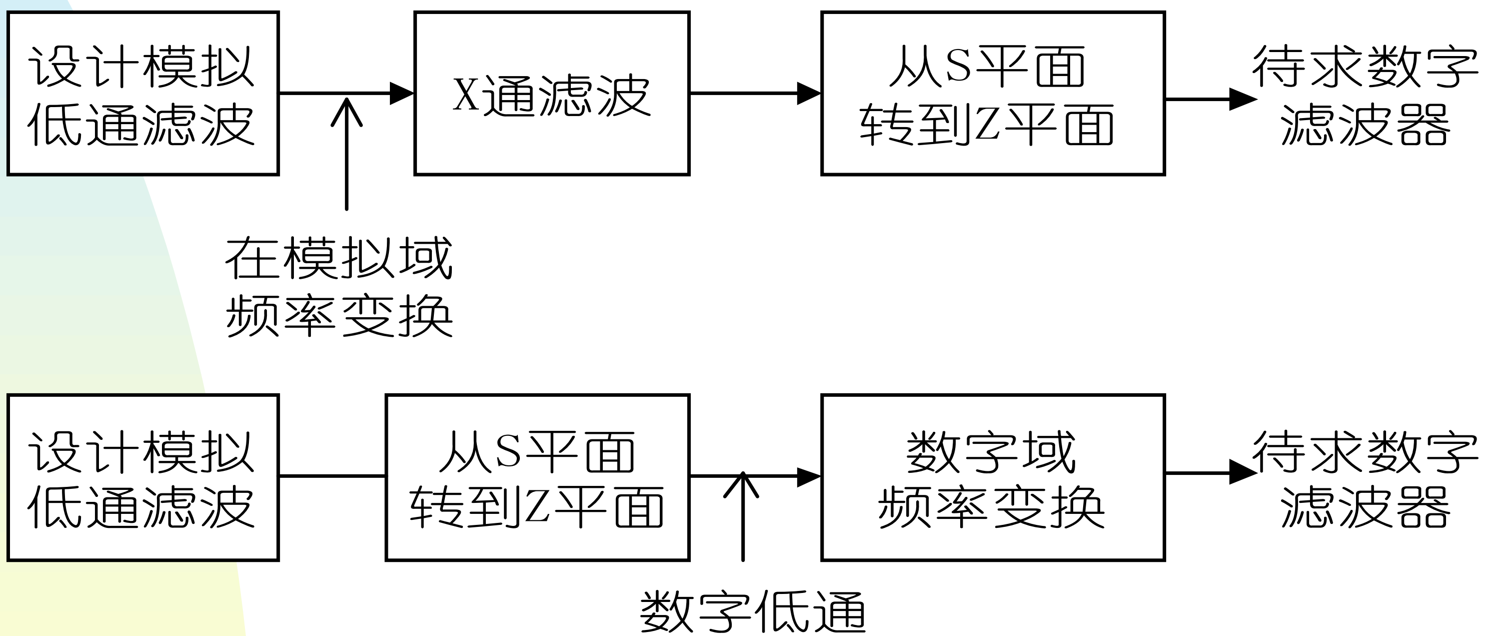
网络结构的分类

$$y(n)=\sum_{i=0}^{M}b_i x(n-i)+\sum_{k=1}^{N}a_k y(n-k)$$

N=0　FIR滤波器　$$y(n)=\sum_{r=0}^{M}b_r x(n-r)$$

N≠0　IIR滤波器　$$y(n)=\sum_{i=0}^{M}b_i x(n-i)+\sum_{k=1}^{N}a_k y(n-k)$$

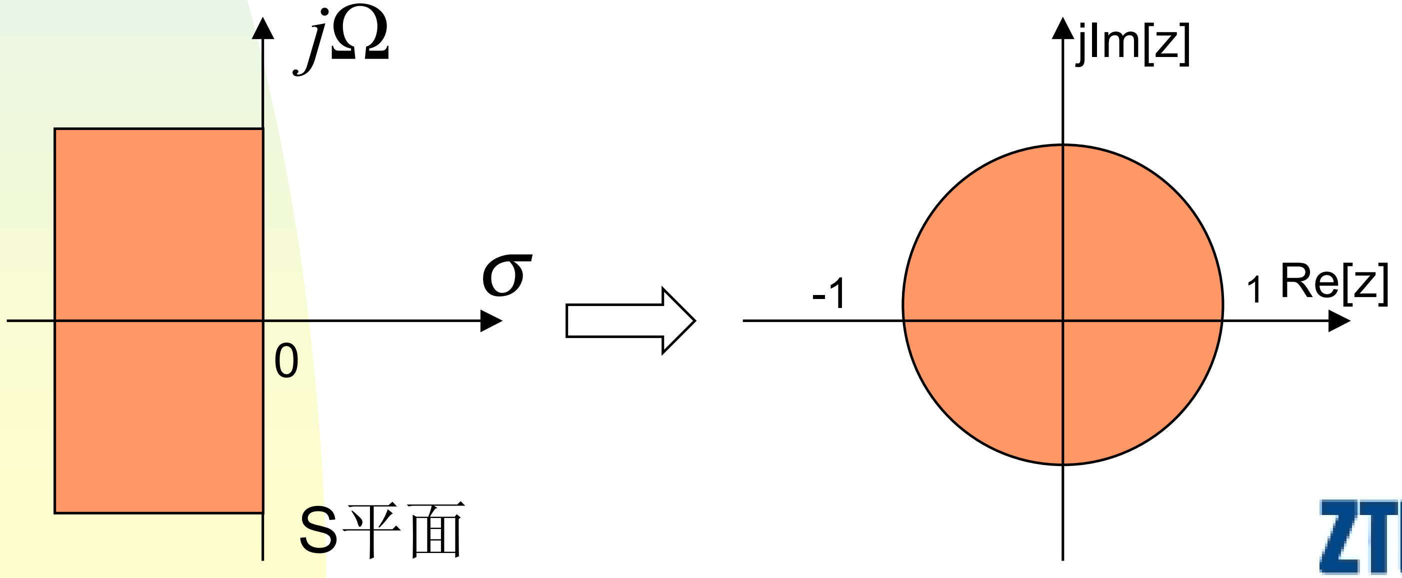
数字滤波器的设计过程


设计模拟
低通滤波
X通滤波
从S平面
转到Z平面
待求数字
滤波器
在模拟域
频率变换
设计模拟
低通滤波
从S平面
转到Z平面
数字域
频率变换
待求数字
滤波器
数字低通

H（S）到H（Z）的转换

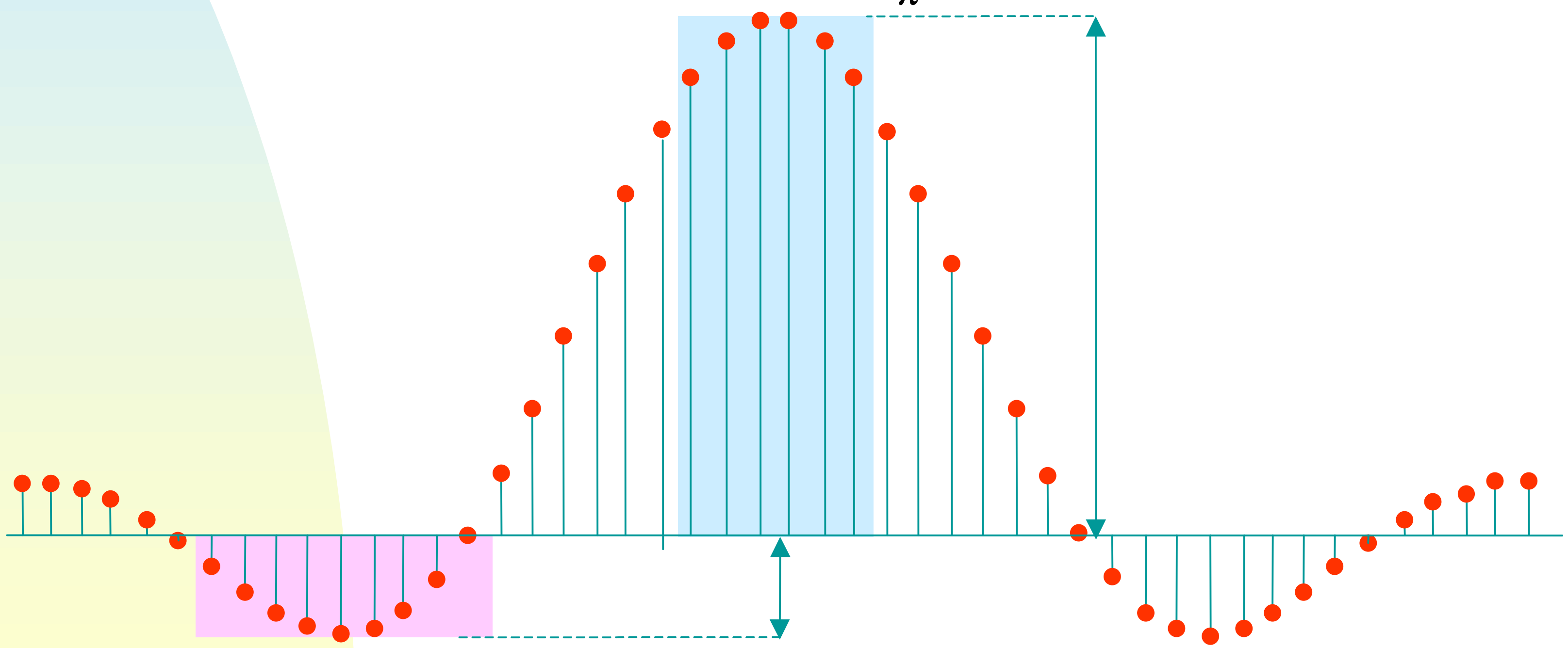
转换必须满足的要求：

- 因果稳定的滤波器转换成数字滤波器后，仍是因果稳定的
- 数字滤波器的频响应模仿H（S）的频响



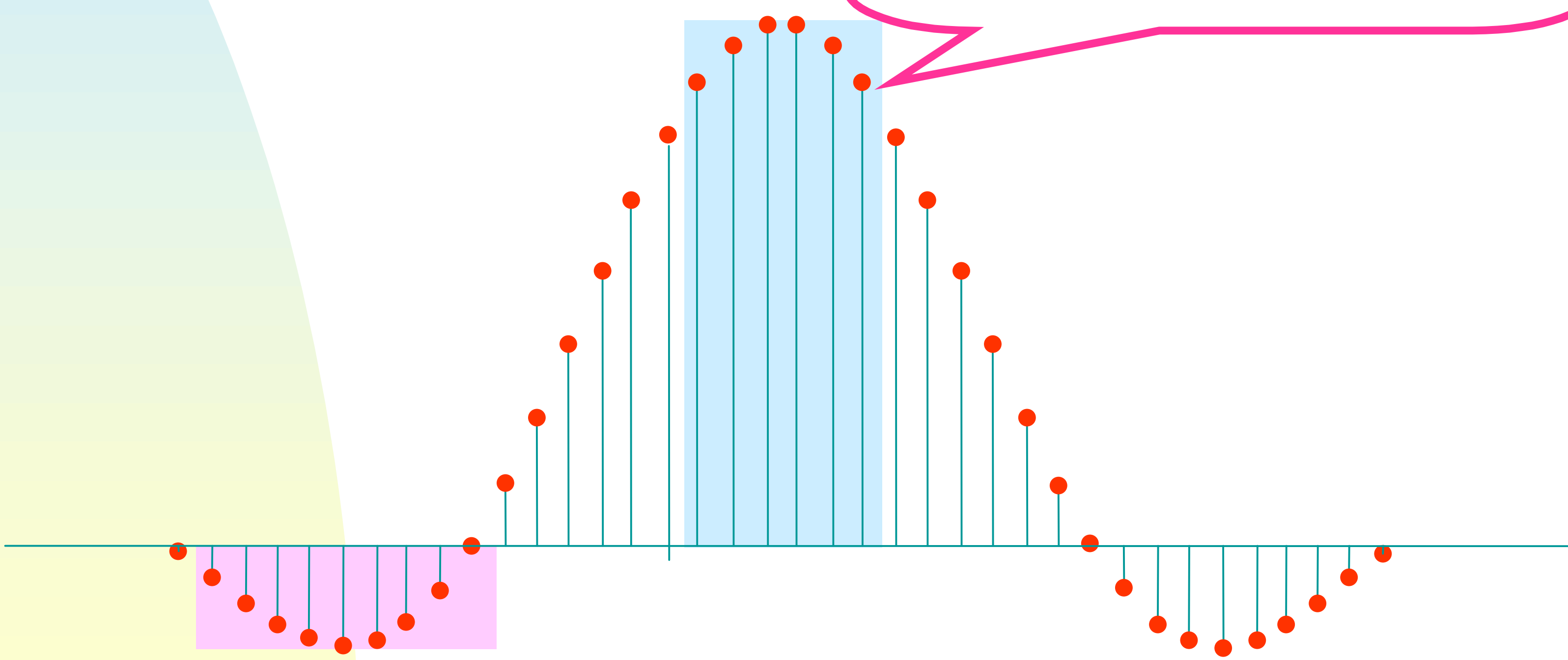
窗函数法设计FIR滤波器

$$H_d(e^{j\omega}) --> h_d(n) = \frac{1}{2\pi}\int_{-\pi}^{\pi} H_d(e^{j\omega})e^{jn\omega}d\omega$$



$$n) = \quad n) \quad _N \quad n)$$

引起误差
吉布斯效应（Gibbs)



IIR与FIR数字滤波器的比较

	IIR	FIR
功能	低阶数达到高选择性性	高阶数达到高选择性性
结构		
设计工具		

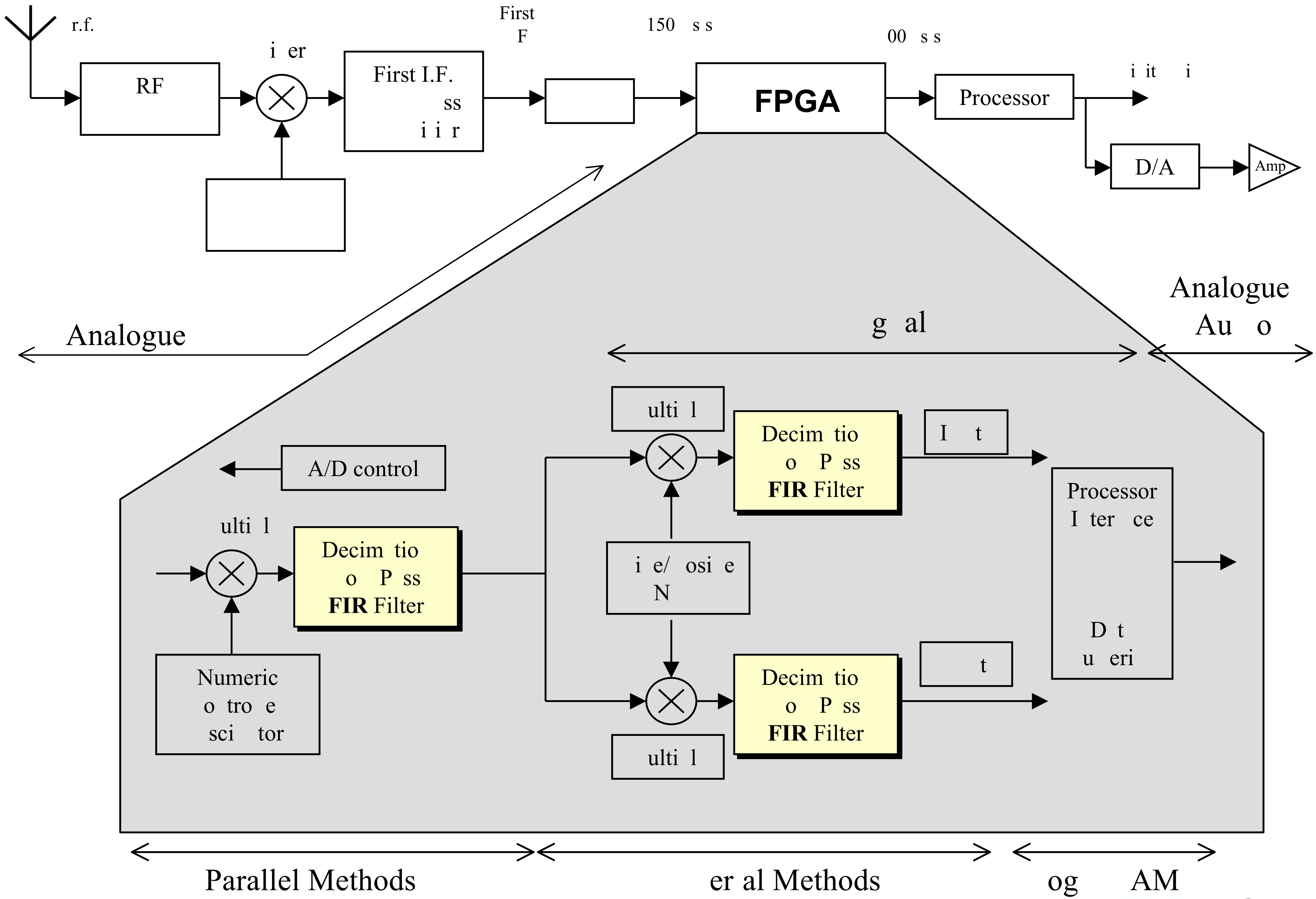
ZTE中兴

FIR滤波器的硬件实现

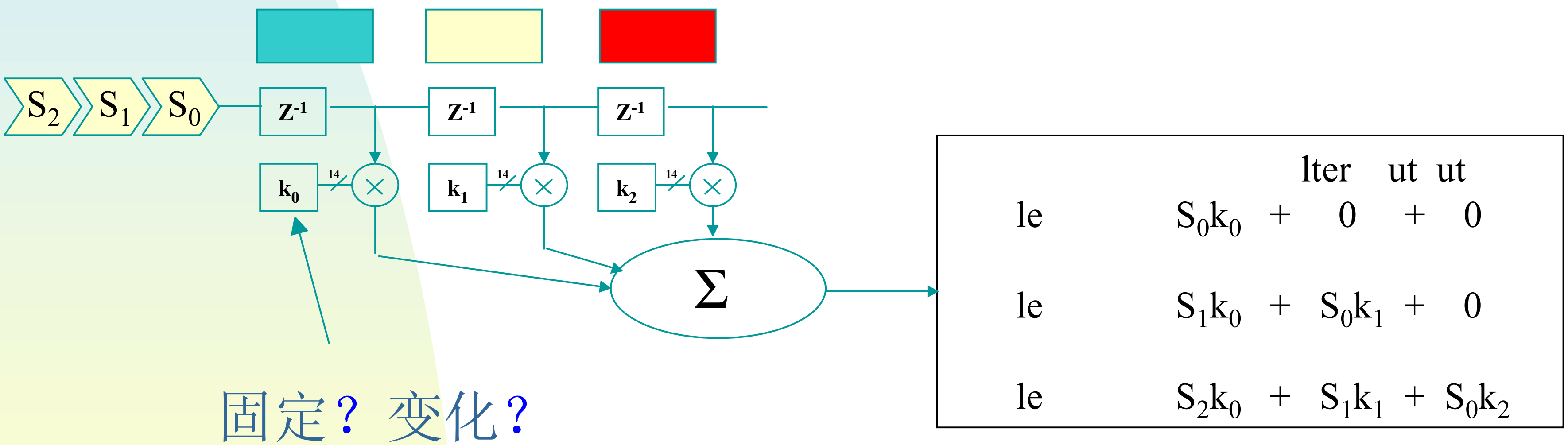
DSP　　　　FPGA

专用芯片

ZTE中兴

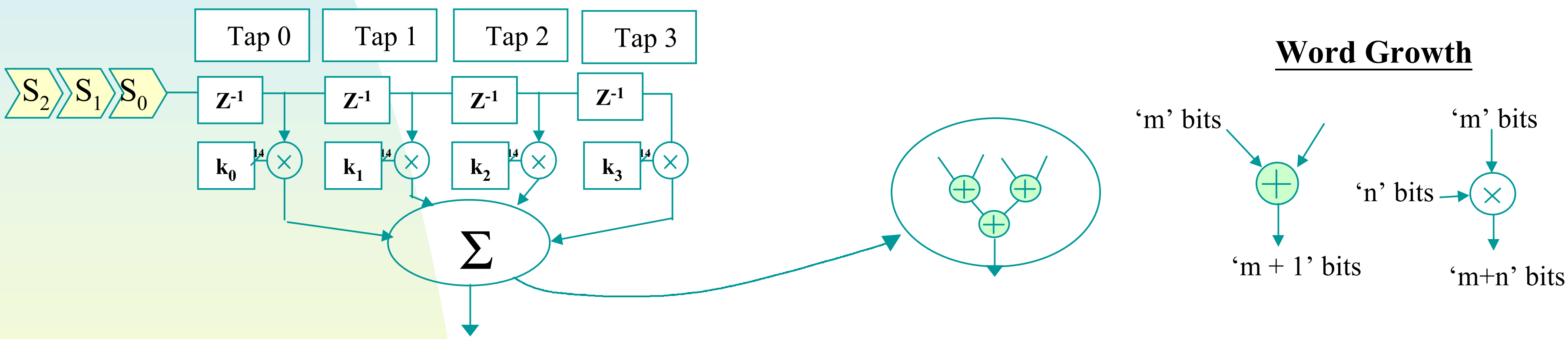

r.f.
RF
First I.F.
First
F
150
FPGA
Processor
D/A
Amp
Analogue
Analogue
A/D control
FIR Filter
FIR Filter
FIR Filter
Numeric
Processor
N
Parallel Methods
AM

FIR滤波器



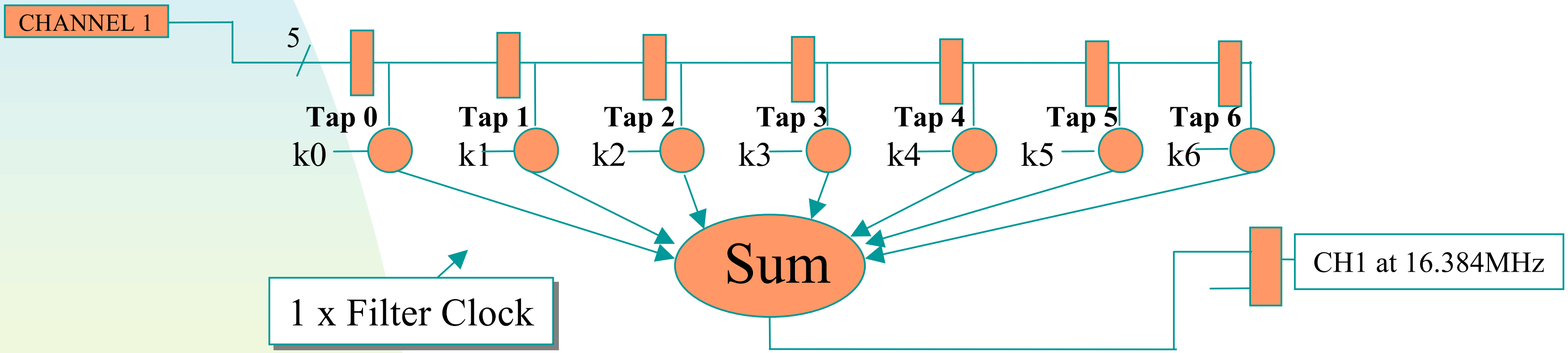
S_2 S_1 S_0
Z^{-1} Z^{-1} Z^{-1}
k_0 k_1 k_2
14 14 14
Σ
固定？变化？
lter ut ut
le $S_0k_0 + 0 + 0$
le $S_1k_0 + S_0k_1 + 0$
le $S_2k_0 + S_1k_1 + S_0k_2$

FIR滤波器



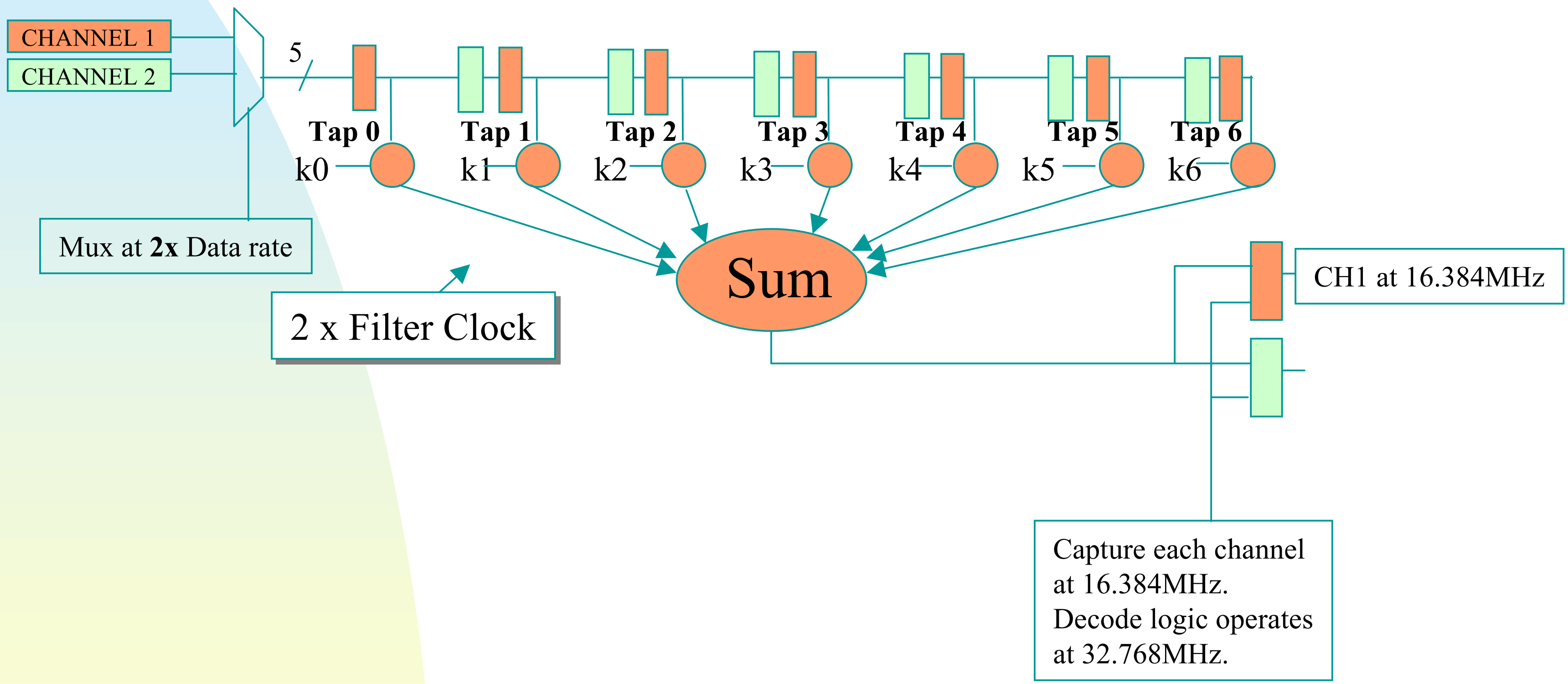
Tap 0
Tap 1
Tap 2
Tap 3
S2
S1
S0
Z-1
Z-1
Z-1
Z-1
k0
k1
k2
k3
14
14
14
14
Σ
Word Growth
‘m’ bits
‘m + 1’ bits
‘m’ bits
‘n’ bits
‘m+n’ bits

单通道滤波器

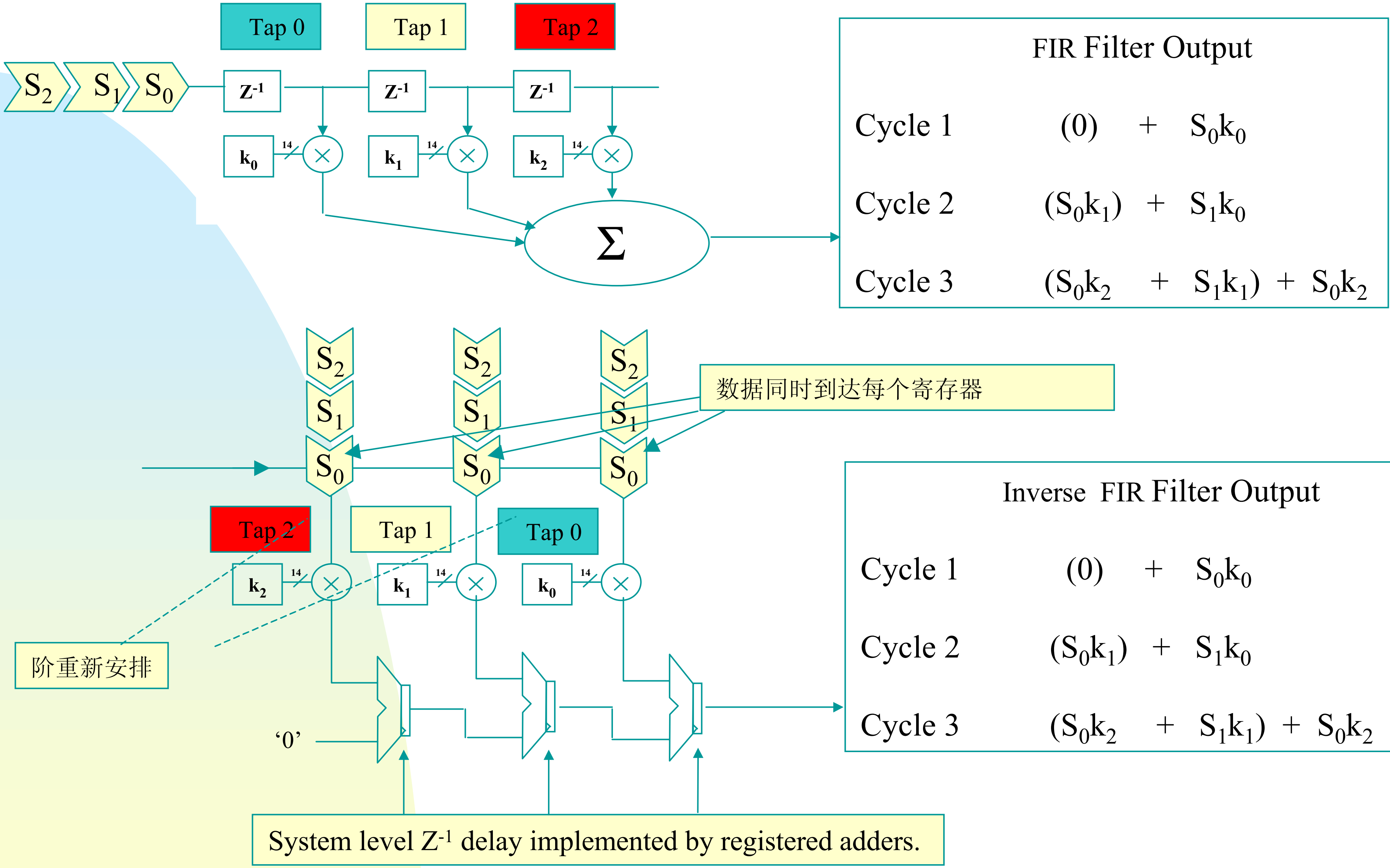


CHANNEL 1
5
Tap 0
Tap 1
Tap 2
Tap 3
Tap 4
Tap 5
Tap 6
k0
k1
k2
k3
k4
k5
k6
Sum
1 x Filter Clock
CH1 at 16.384MHz

双通道滤波器



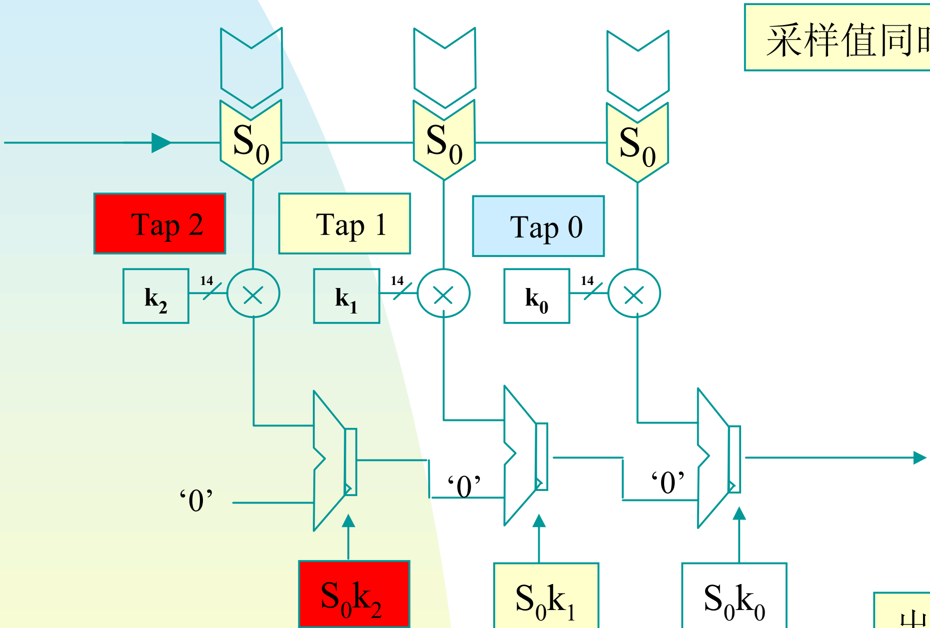
ZTE中兴



Tap 0
Tap 1
Tap 2
S2 S1 S0
Z-1
k0
k1
k2
14
Σ
FIR Filter Output
Cycle 1 (0) + S0k0
Cycle 2 (S0k1) + S1k0
Cycle 3 (S0k2 + S1k1) + S0k2
数据同时到达每个寄存器
Tap 2
Tap 1
Tap 0
阶重新安排
'0'
Inverse FIR Filter Output
Cycle 1 (0) + S0k0
Cycle 2 (S0k1) + S1k0
Cycle 3 (S0k2 + S1k1) + S0k2
System level Z-1 delay implemented by registered adders.

Inverse FIR Operation - Cycle 1

采样值同时到达寄存器



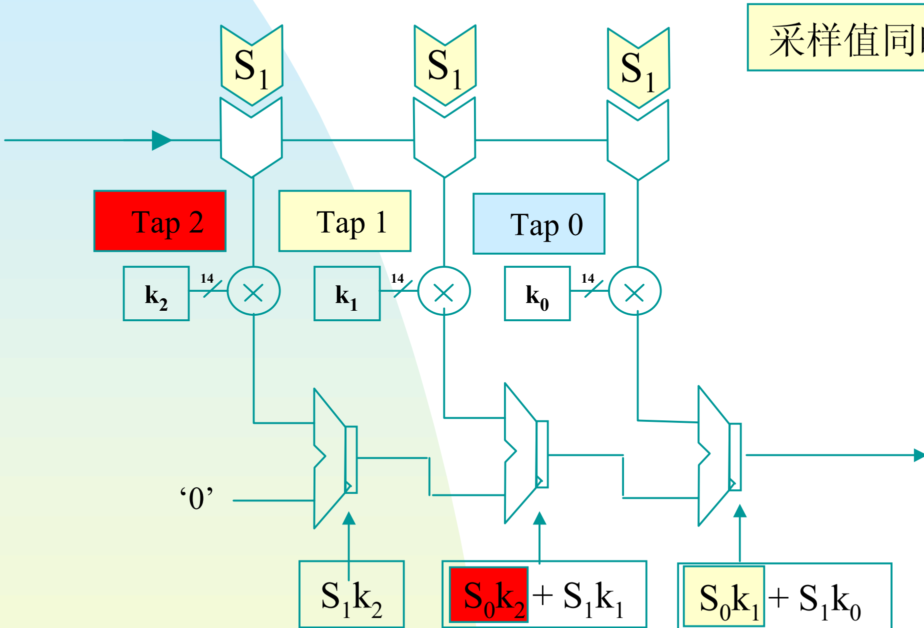
Inverse FIR Filter Output

Cycle 1 (0) + S_0k_0

出来的第一个值 (Tap0 x Sample 0)

Inverse FIR Operation - Cycle 2

采样值同时到达寄存器



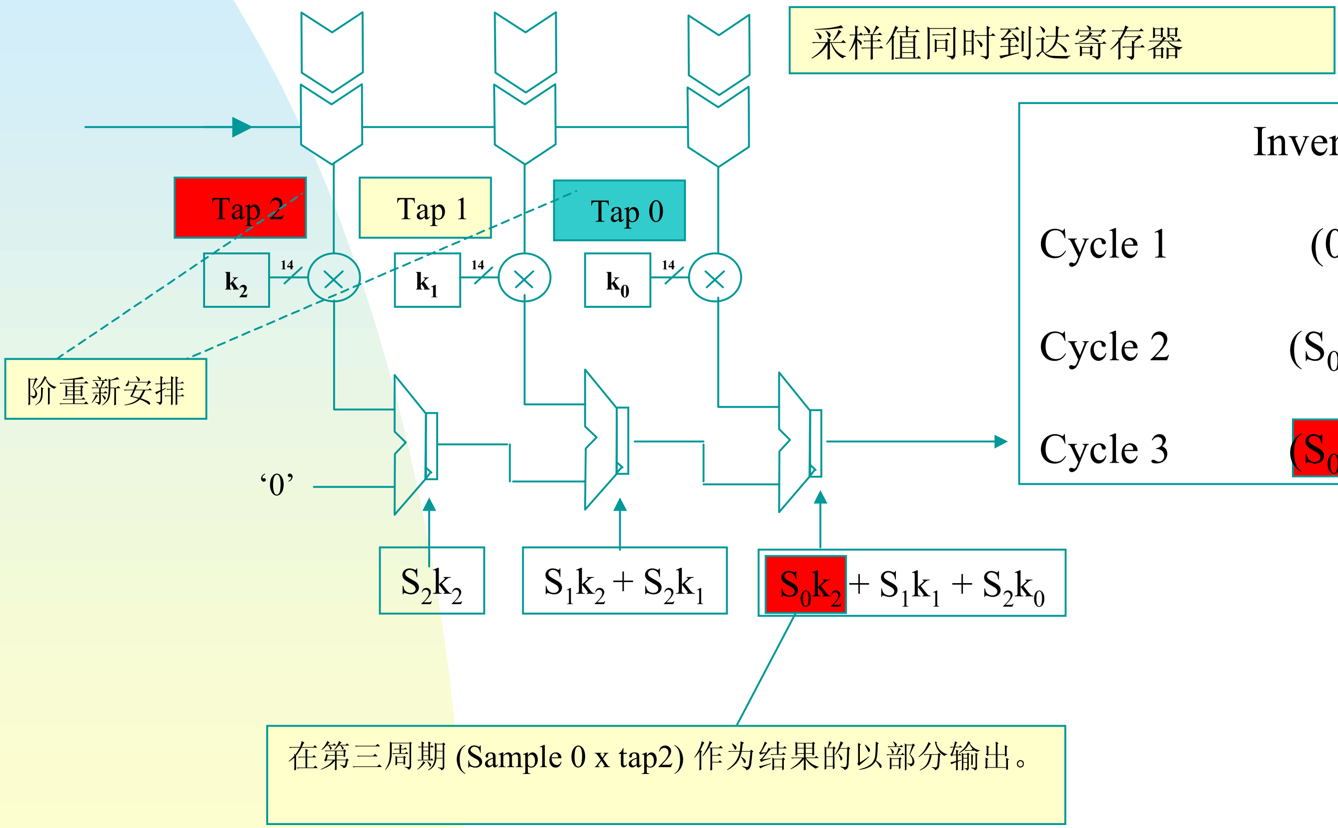
Inverse FIR Filter Output

Cycle 1	(0)	+	S_0k_0
Cycle 2	(S_0k_1)	+	S_1k_0

注意 (Sample 0 x k2) 已经移位输出，但是没有从FIR滤波器中输出。.

(Sample 0 x k1) 已经和(Sample 0 x k0)相加后从FIR输出。

Inverse FIR Operation - Cycle 3



Inverse FIR Filter Output

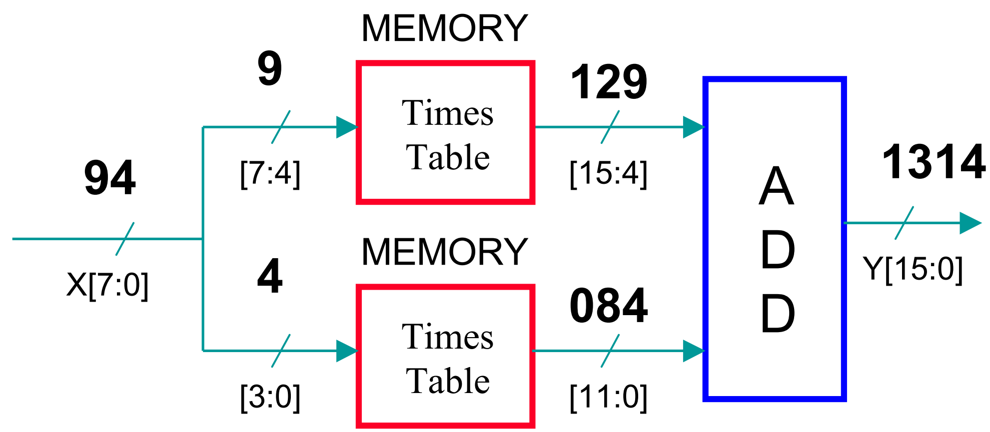
Cycle 1	(0)	+	S_0k_0
Cycle 2	(S_0k_1)	+	S_1k_0
Cycle 3	$(S_0k_2$	+	$S_1k_1) + S_2k_0$

常系数的乘法

```
  21
 x94
-----
 084
+1290
-----
1314
```

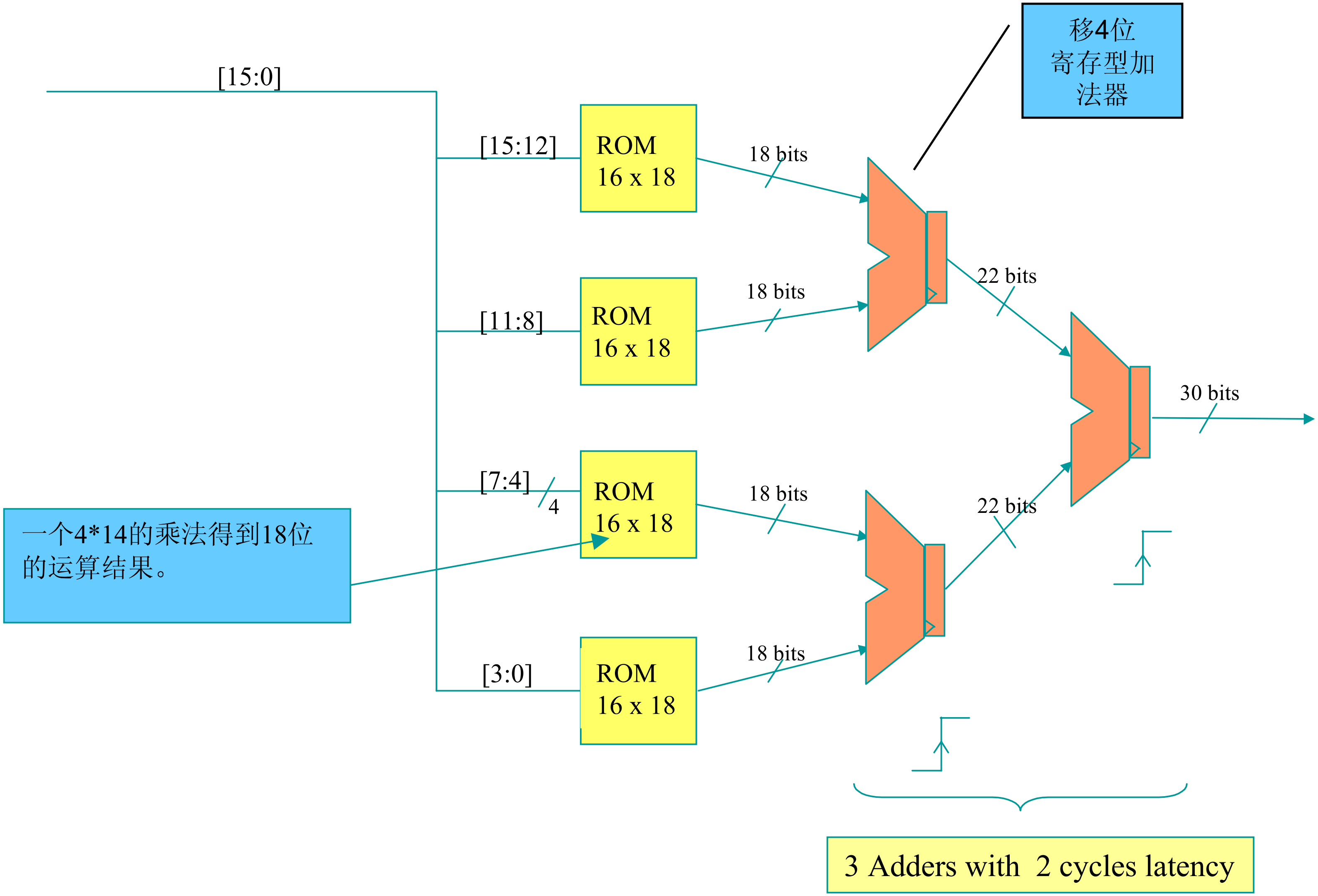
```
0 x 21 = 000
1 x 21 = 021
2 x 21 = 042
3 x 21 = 063
4 x 21 = 084
5 x 21 = 0A5
6 x 21 = 0C6
7 x 21 = 0E7
8 x 21 = 108
9 x 21 = 129
A x 21 = 14A
B x 21 = 16B
C x 21 = 18C
D x 21 = 1AD
E x 21 = 1CE
F x 21 = 1EF
```

可以以16进制做乘法（每次计算4位）

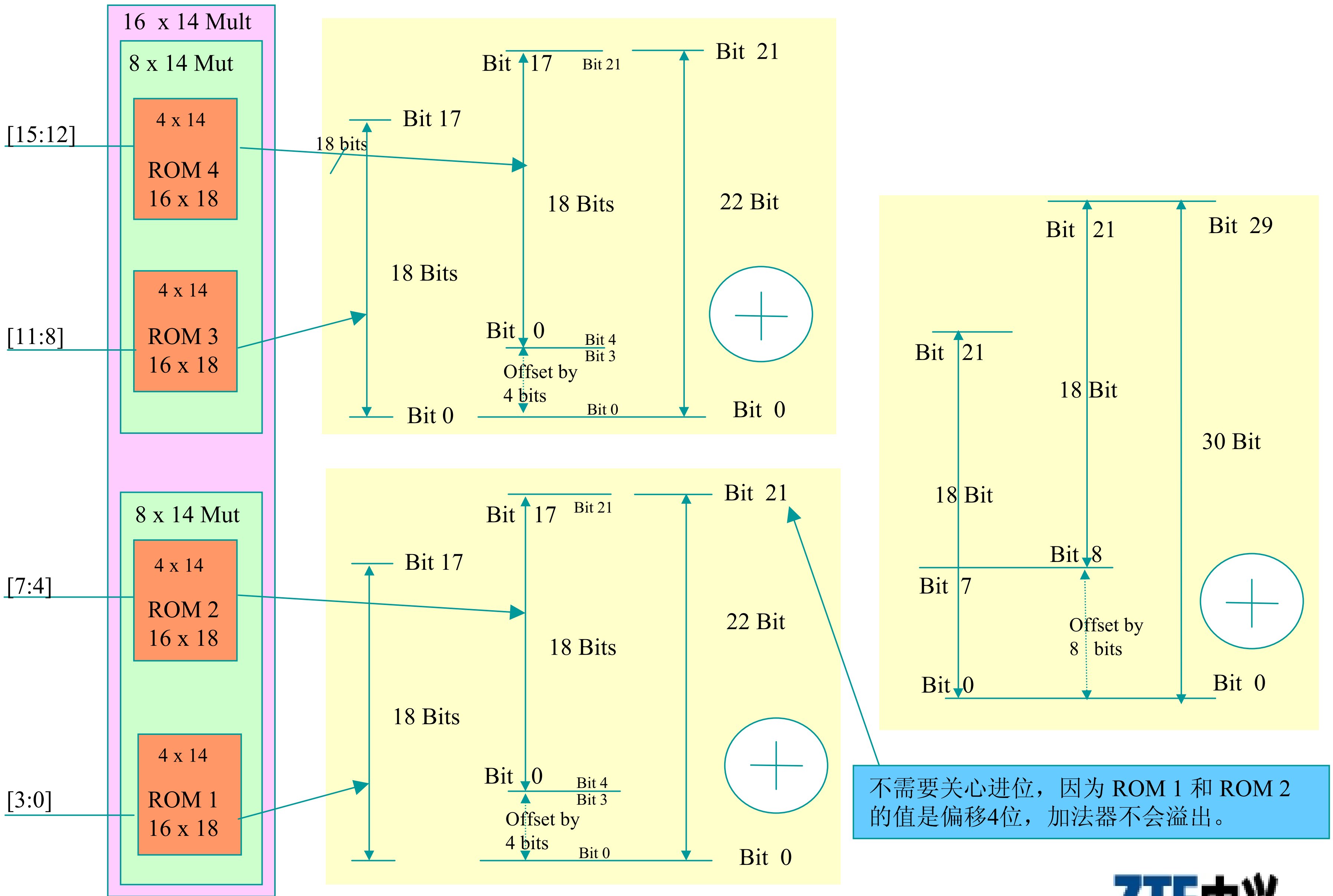


将预计算的结果存储在ROM中

加法器计入0000的移位



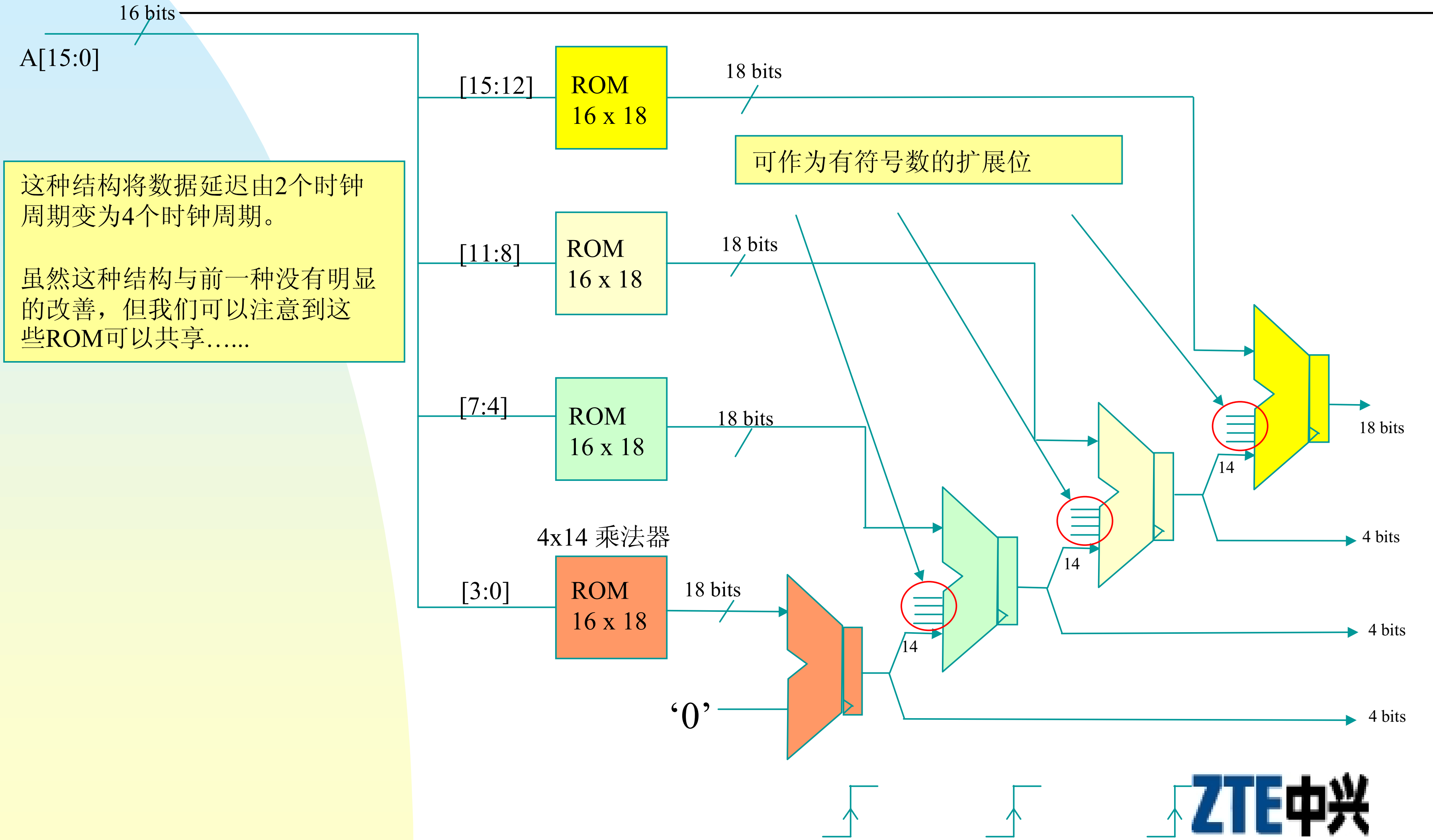
移4位
寄存型加
法器
[15:0]
[15:12]
[11:8]
[7:4]
4
[3:0]
ROM
16 x 18
ROM
16 x 18
ROM
16 x 18
ROM
16 x 18
18 bits
18 bits
18 bits
18 bits
22 bits
22 bits
30 bits
一个4*14的乘法得到18位
的运算结果。
3 Adders with 2 cycles latency

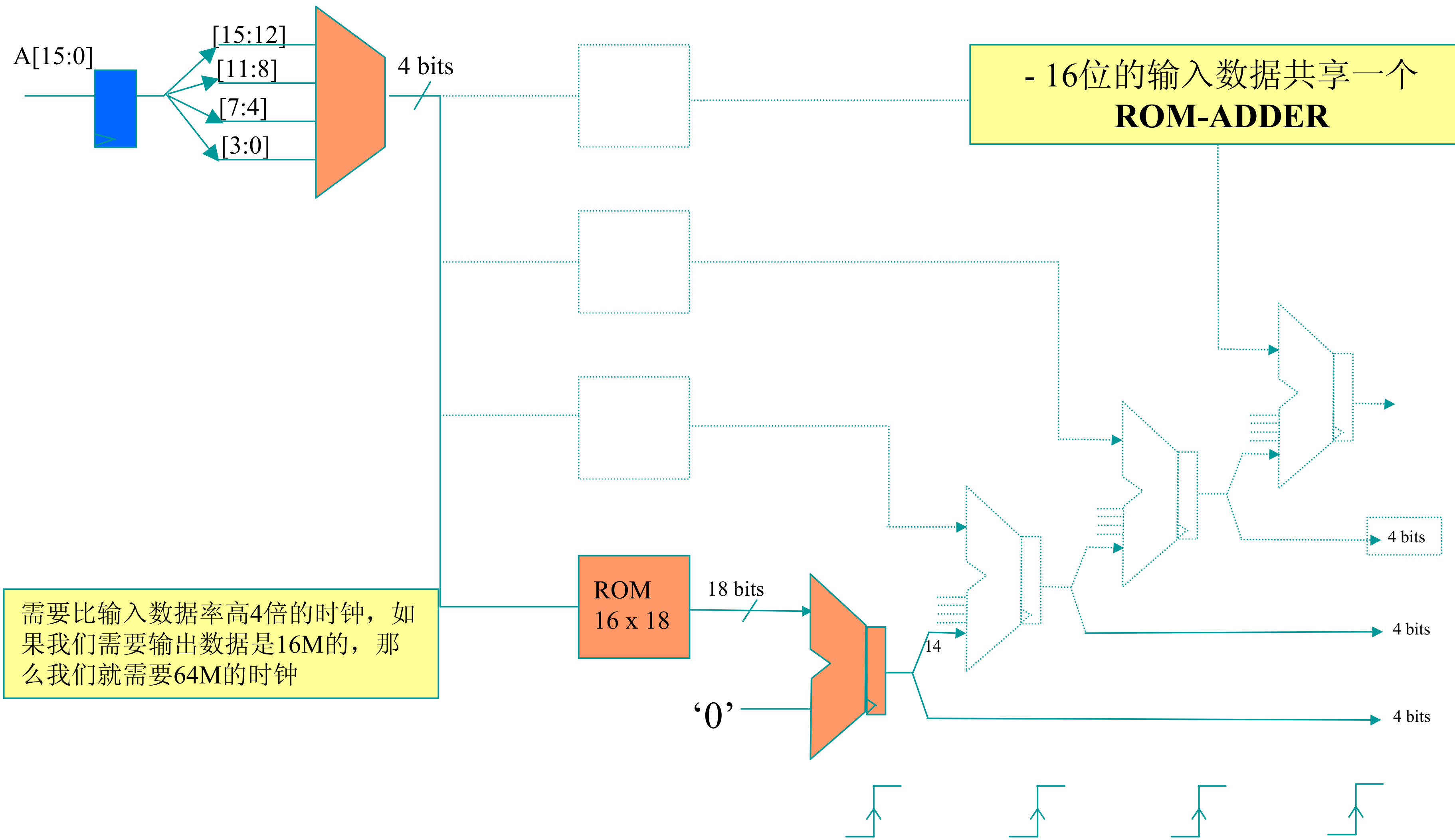

16 x 14 Mult
8 x 14 Mut
4 x 14
ROM 4
16 x 18
4 x 14
ROM 3
16 x 18
8 x 14 Mut
4 x 14
ROM 2
16 x 18
4 x 14
ROM 1
16 x 18
[15:12]
[11:8]
[7:4]
[3:0]
18 bits
Bit 17
18 Bits
Bit 0
Bit 17
Bit 21
18 Bits
Bit 0
Bit 4
Bit 3
Offset by
4 bits
Bit 0
Bit 21
22 Bit
Bit 0
Bit 17
18 Bits
Bit 17
Bit 21
18 Bits
Bit 0
Bit 4
Bit 3
Offset by
4 bits
Bit 0
Bit 21
22 Bit
Bit 0
Bit 21
Bit 29
Bit 21
18 Bit
18 Bit
30 Bit
Bit 8
Bit 7
Offset by
8 bits
Bit 0
Bit 0
不需要关心进位，因为 ROM 1 和 ROM 2
的值是偏移4位，加法器不会溢出。

另一种结构……

这种结构将数据延迟由2个时钟周期变为4个时钟周期。

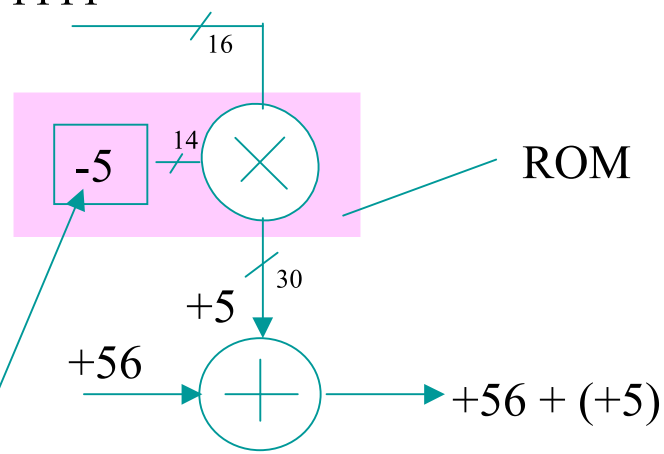
虽然这种结构与前一种没有明显的改善，但我们可以注意到这些ROM可以共享……




A[15:0]
[15:12]
[11:8]
[7:4]
[3:0]
4 bits
- 16位的输入数据共享一个
ROM-ADDER
ROM
16 x 18
18 bits
‘0’
14
4 bits
4 bits
4 bits
需要比输入数据率高4倍的时钟，如果我们需要输出数据是16M的，那么我们就需要64M的时钟

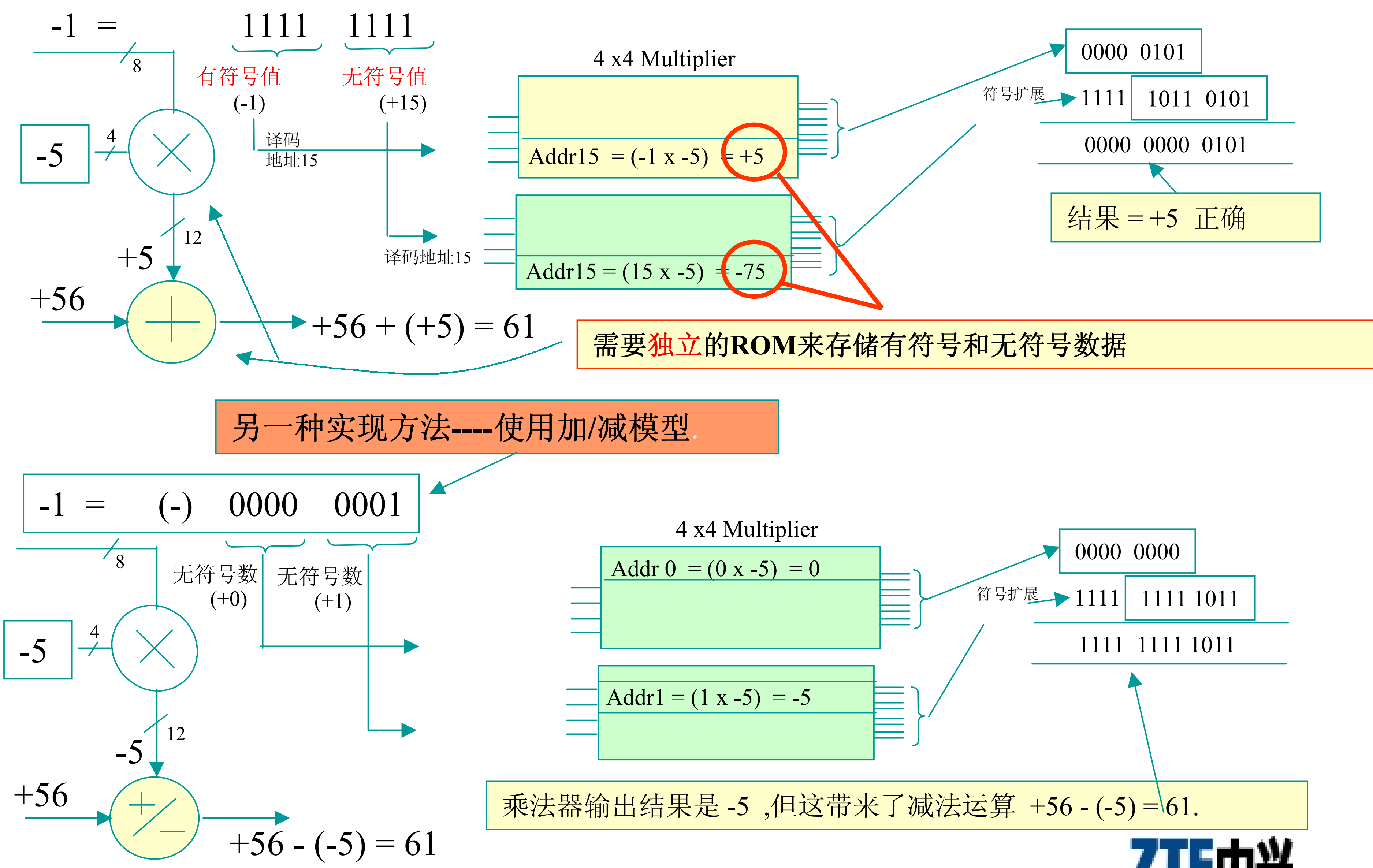
有符号数?

-1 = 1111 1111 1111 1111



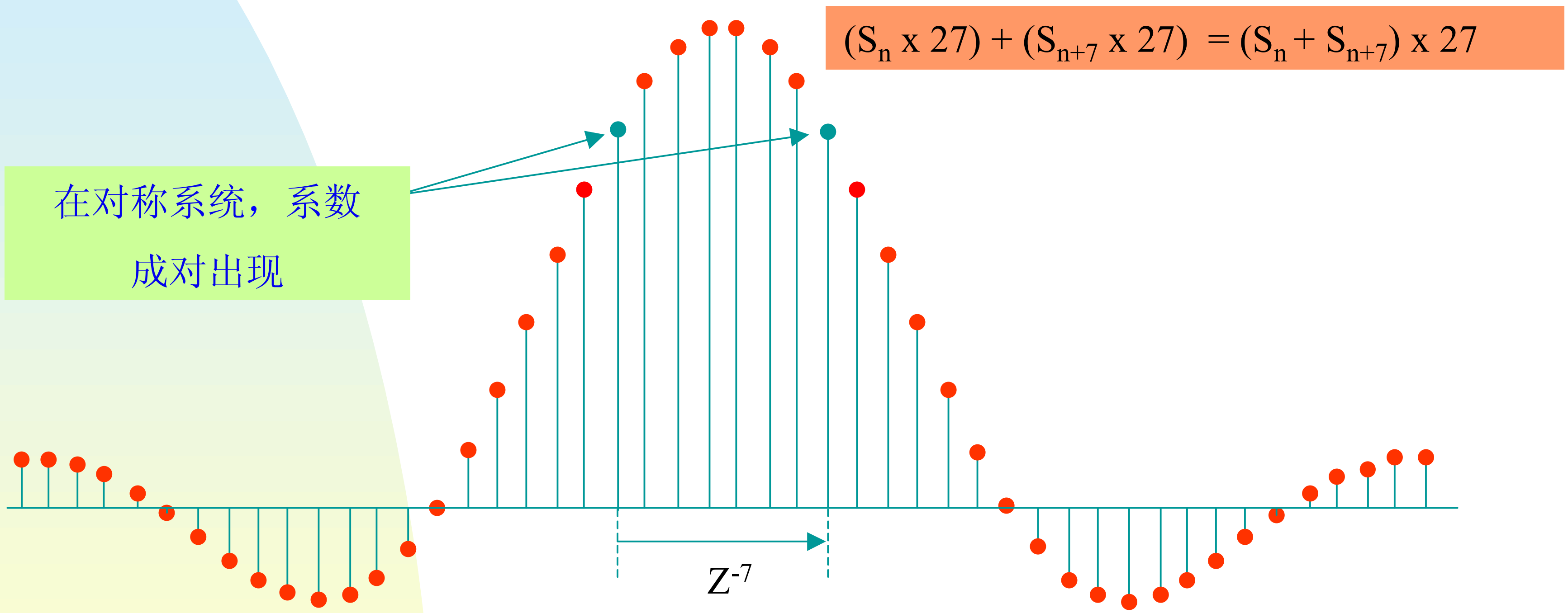
所有乘法ROM存储18位有符号结果
(0->15) x 有符号的系数.

有符号数需要由4位译码得出数据是正，还是负，
这使得ROM的内容变的复杂。

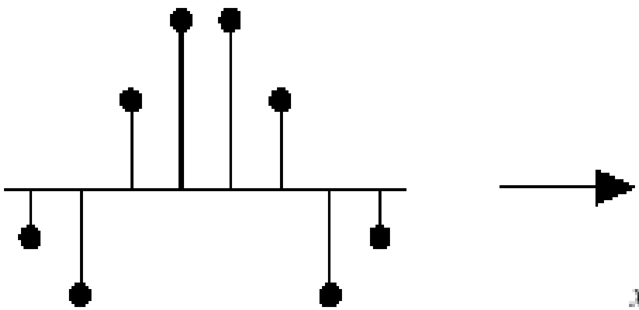


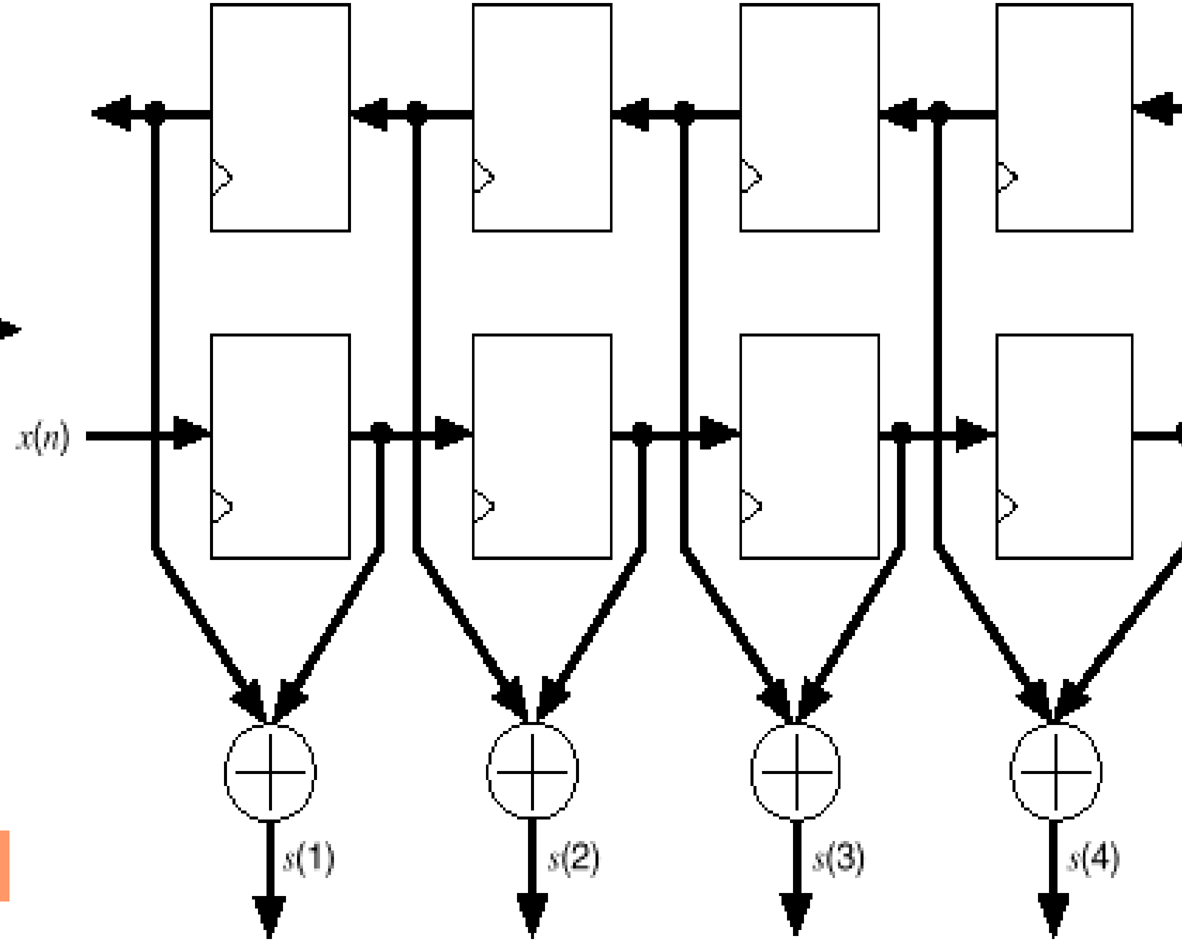
-1 = 1111 1111
有符号值 (-1)
无符号值 (+15)
8
-5
4
译码
地址15
译码地址15
12
+5
+56
+56 + (+5) = 61
4 x4 Multiplier
Addr15 = (-1 x -5) = +5
Addr15 = (15 x -5) = -75
0000 0101
符号扩展
1111 1011 0101
0000 0000 0101
结果 = +5 正确
需要独立的ROM来存储有符号和无符号数据
另一种实现方法----使用加/减模型
-1 = (-) 0000 0001
无符号数 (+0)
无符号数 (+1)
8
-5
4
12
-5
+56
+56 - (-5) = 61
4 x4 Multiplier
Addr 0 = (0 x -5) = 0
Addr1 = (1 x -5) = -5
0000 0000
符号扩展
1111 1111 1011
1111 1111 1011
乘法器输出结果是 -5 ,但这带来了减法运算 +56 - (-5) = 61.

滤波器系数--对称性

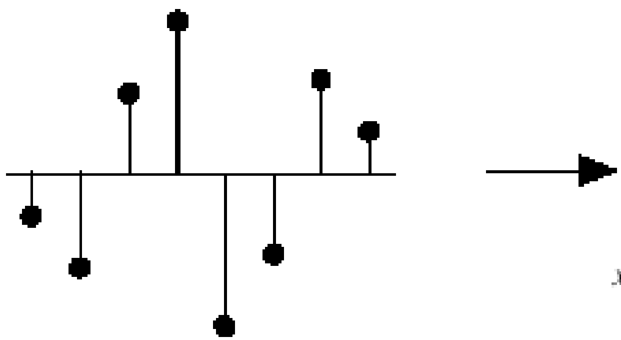


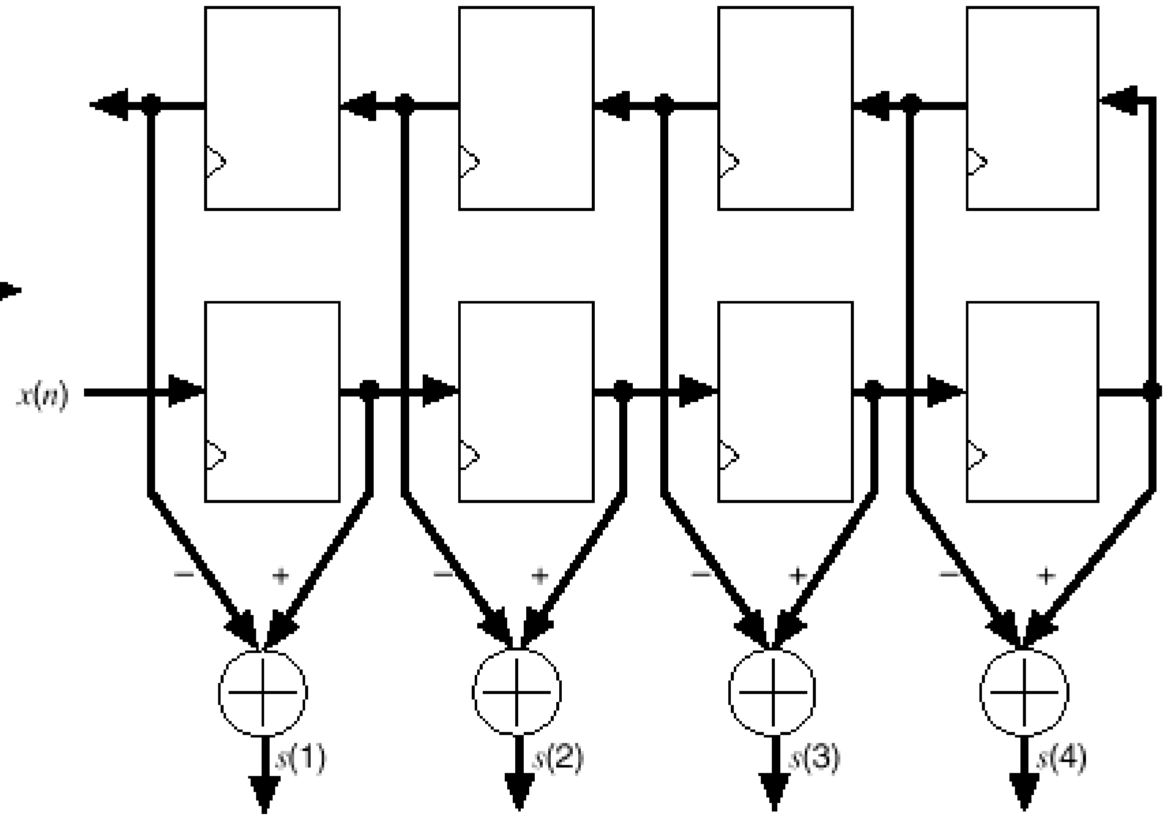
ZTE中兴





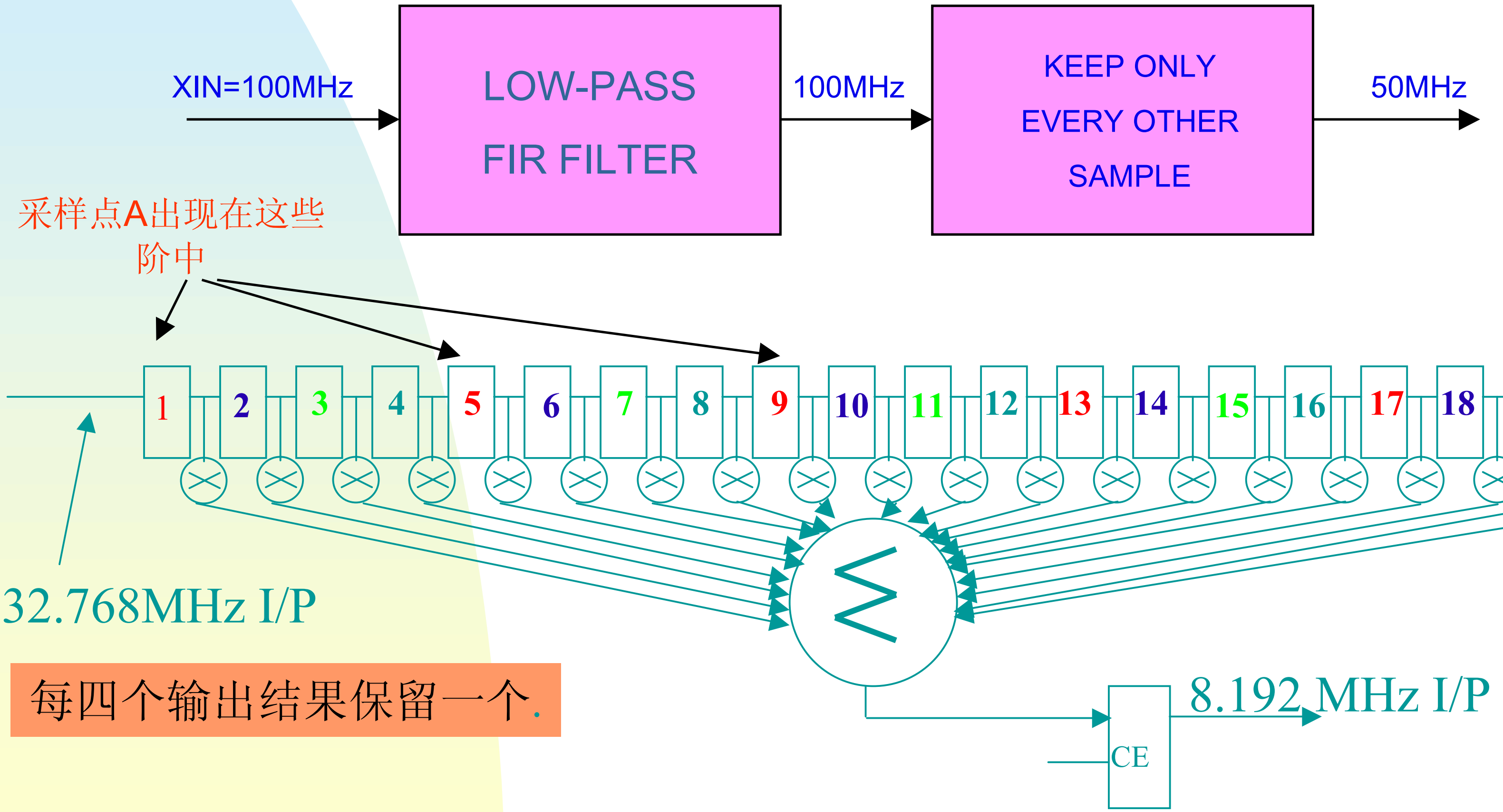
SYMMETRIC





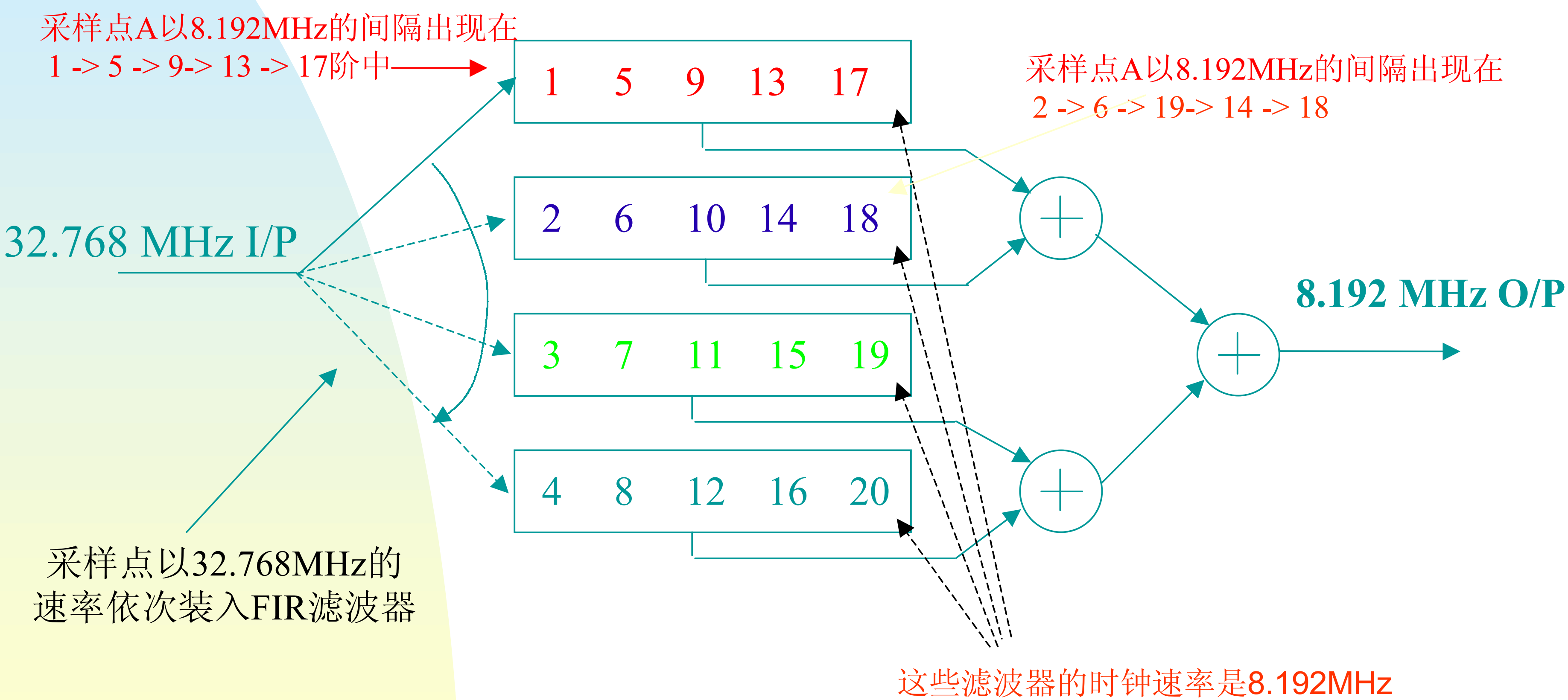
ANTISYMMETRIC

抽取滤波器(Decimating Filter)



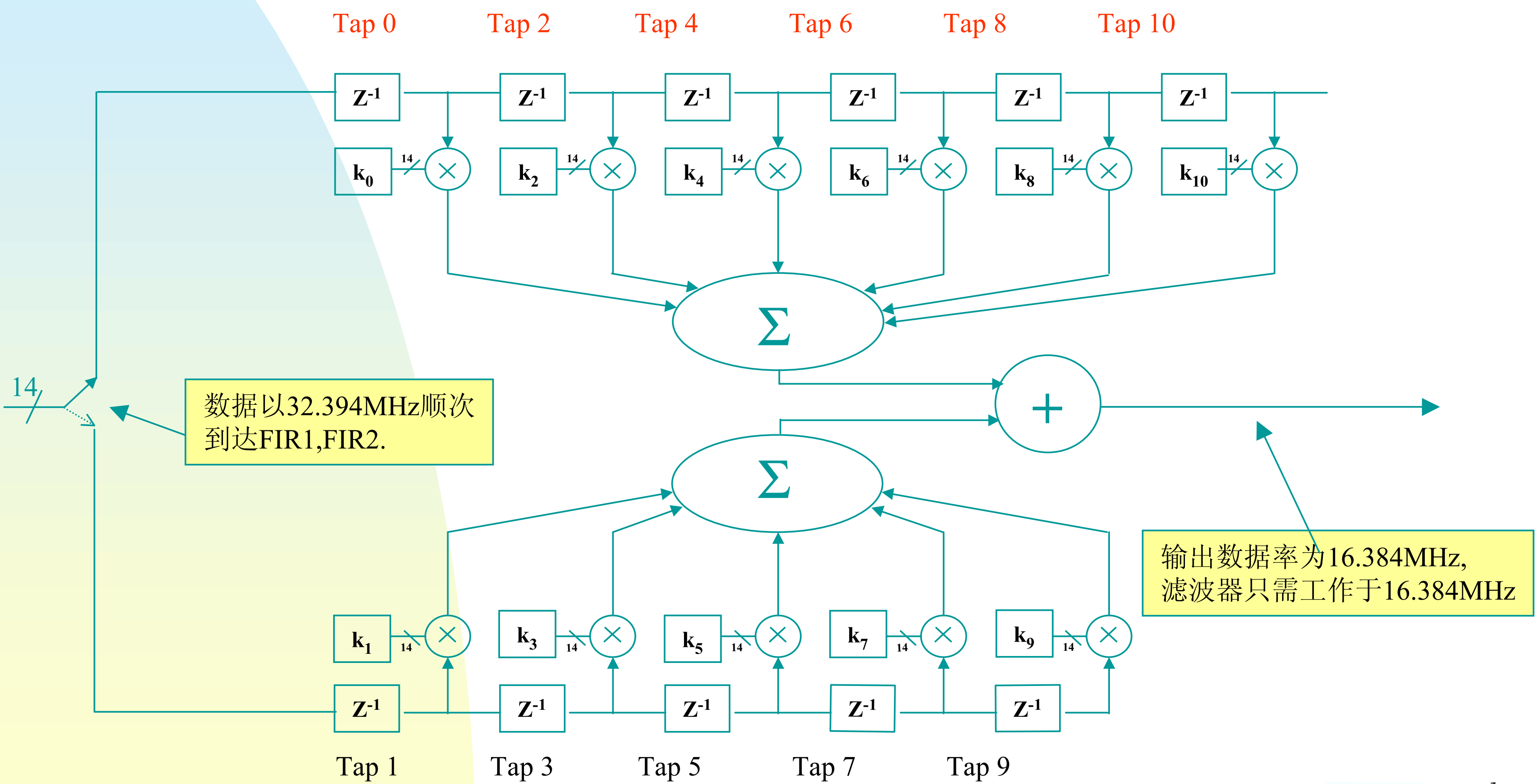
每四个输出结果保留一个.

抽取滤波器

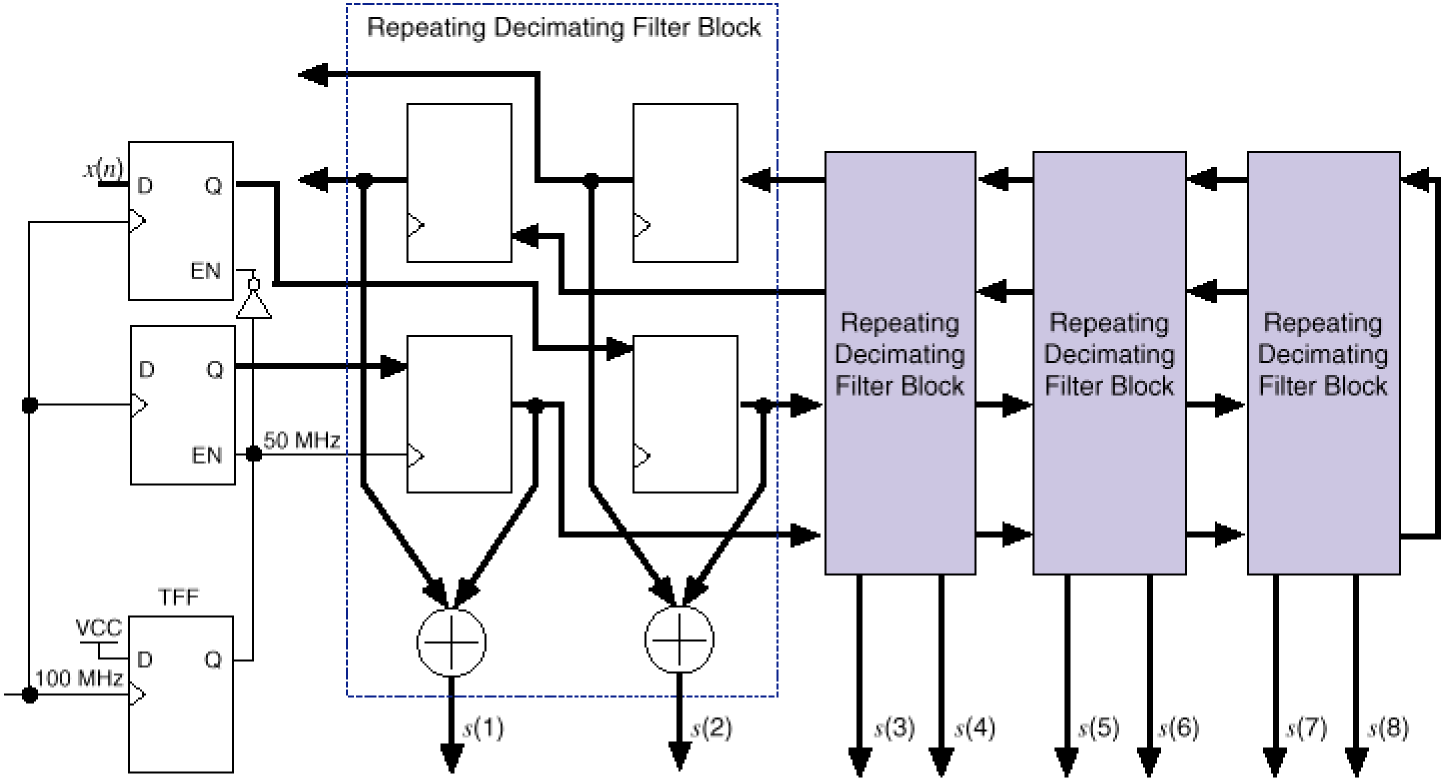


采样点A以8.192MHz的间隔出现在
1 -> 5 -> 9-> 13 -> 17阶中
1 5 9 13 17
2 6 10 14 18
3 7 11 15 19
4 8 12 16 20
采样点A以8.192MHz的间隔出现在
2 -> 6 -> 19-> 14 -> 18
32.768 MHz I/P
8.192 MHz O/P
采样点以32.768MHz的
速率依次装入FIR滤波器
这些滤波器的时钟速率是8.192MHz

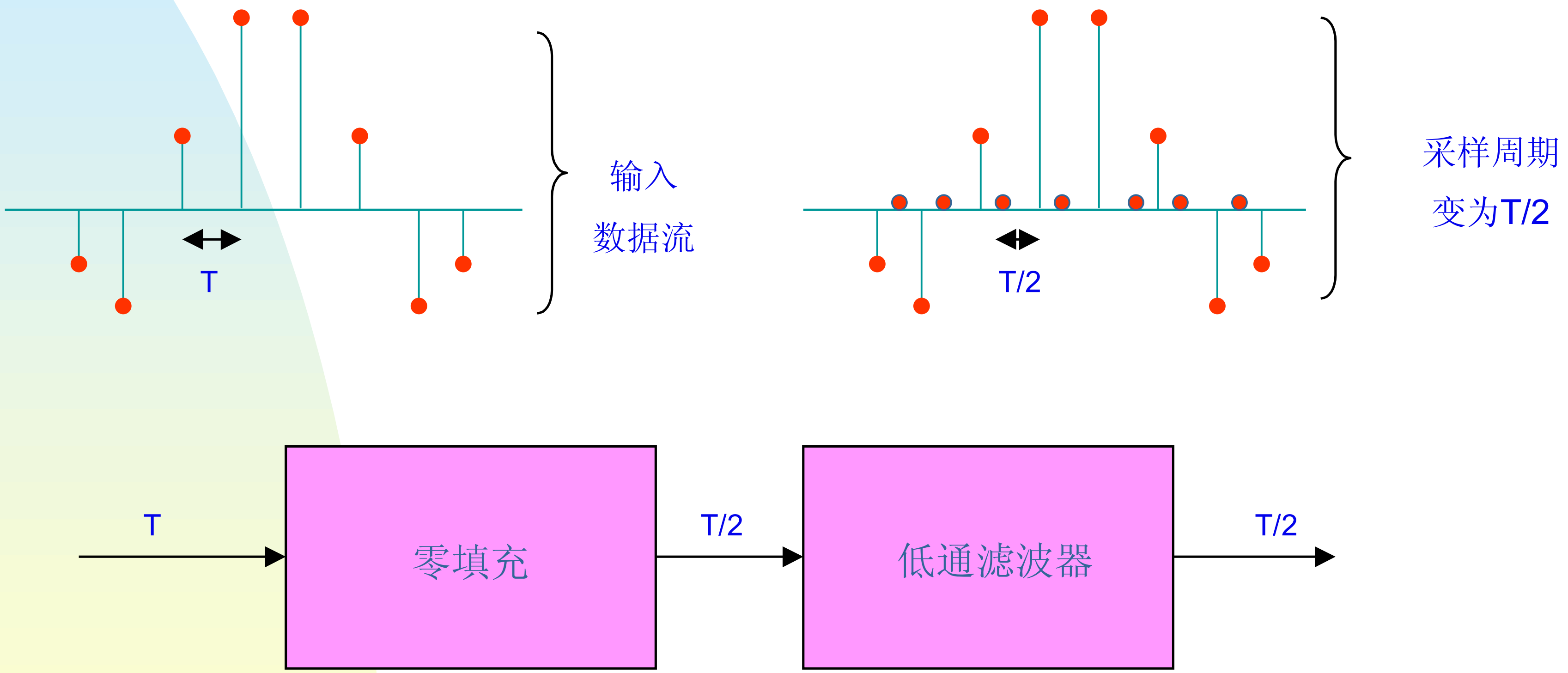
抽取滤波器


Tap 0
Tap 2
Tap 4
Tap 6
Tap 8
Tap 10
Z-1
k0
k2
k4
k6
k8
k10
14
Σ
+
数据以32.394MHz顺次
到达FIR1,FIR2.
输出数据率为16.384MHz,
滤波器只需工作于16.384MHz
k1
k3
k5
k7
k9
Tap 1
Tap 3
Tap 5
Tap 7
Tap 9

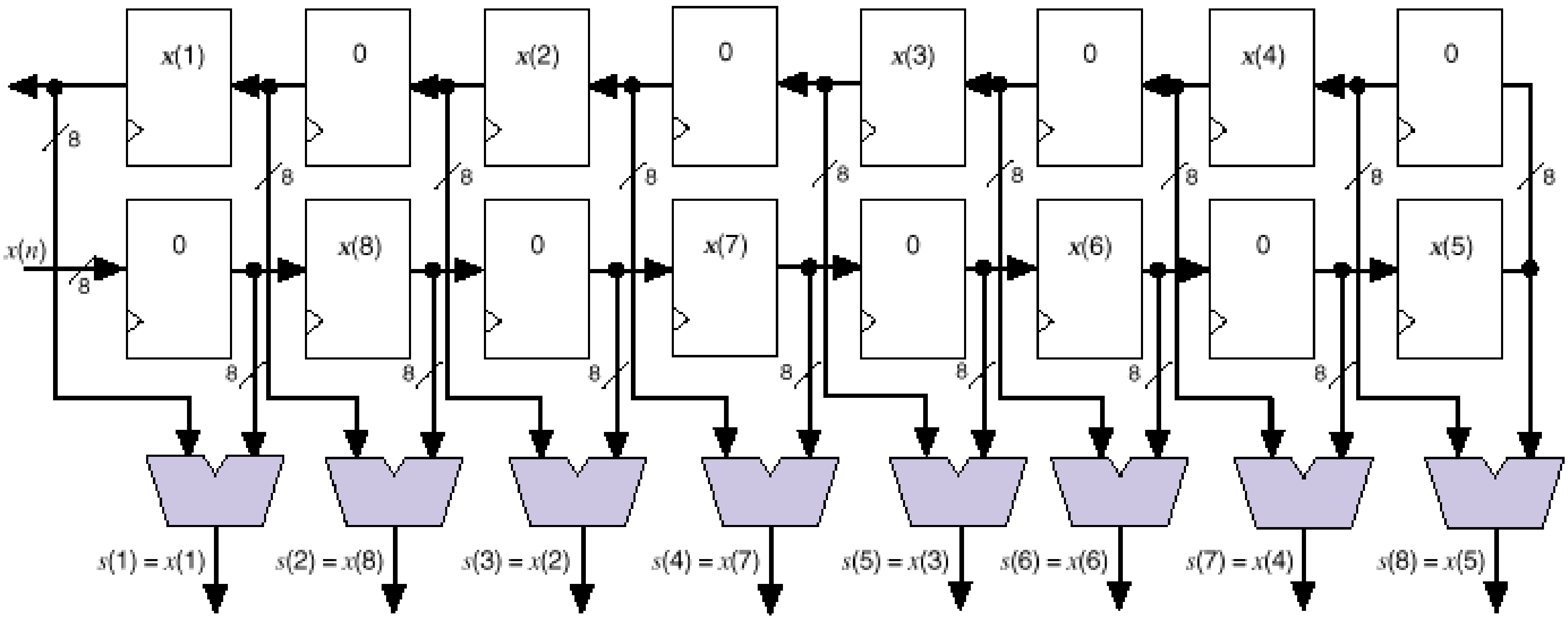
插值滤波器


Repeating Decimating Filter Block
x(n)
D
Q
EN
D
Q
EN
50 MHz
TFF
VCC
D
Q
100 MHz
Repeating Decimating Filter Block
Repeating Decimating Filter Block
Repeating Decimating Filter Block
s(1)
s(2)
s(3)
s(4)
s(5)
s(6)
s(7)
s(8)

插值滤波器

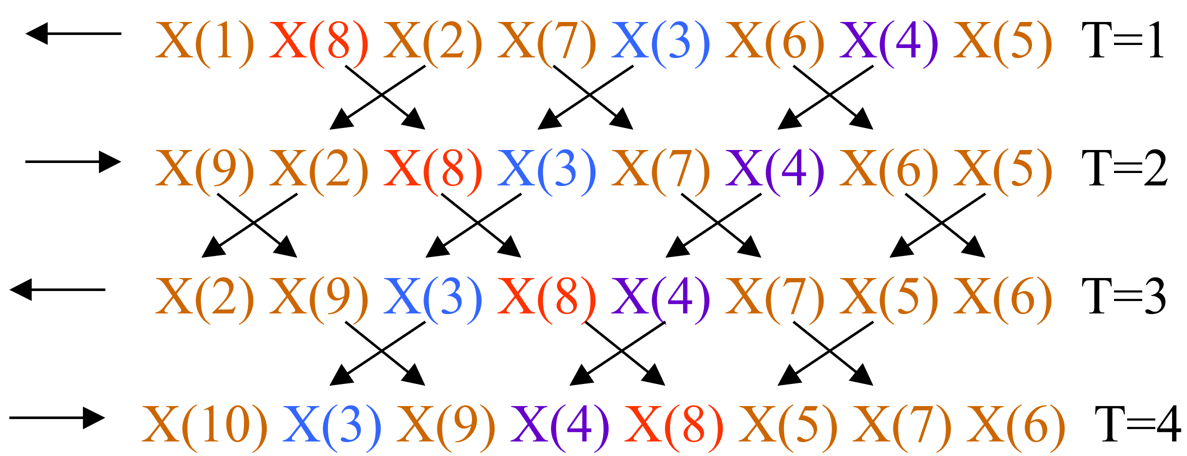


插值滤波器(1:2)

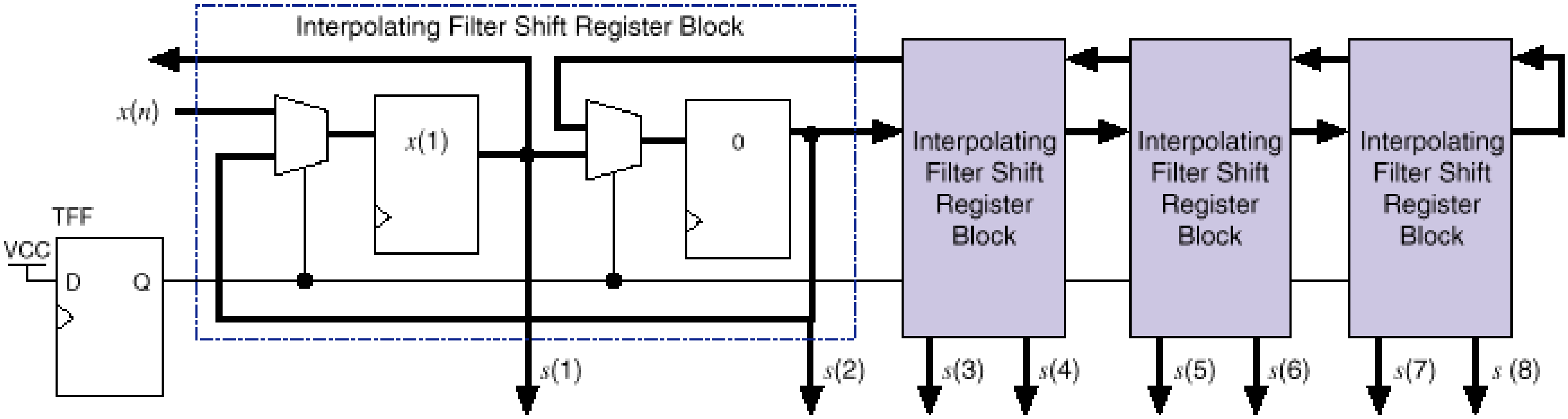


x(1)
0
x(2)
0
x(3)
0
x(4)
0
x(n)
0
x(8)
0
x(7)
0
x(6)
0
x(5)
8
s(1) = x(1)
s(2) = x(8)
s(3) = x(2)
s(4) = x(7)
s(5) = x(3)
s(6) = x(6)
s(7) = x(4)
s(8) = x(5)

各时间系统输出值								
S（t）								Time
X(1)	X(8)	X(2)	X(7)	X(3)	X(6)	X(4)	X(5)	T=1
X(9)	X(2)	X(8)	X(3)	X(7)	X(4)	X(6)	X(5)	T=2
X(2)	X(9)	X(3)	X(8)	X(4)	X(7)	X(5)	X(6)	T=3
X(10)	X(3)	X(9)	X(4)	X(8)	X(5)	X(7)	X(6)	T=4



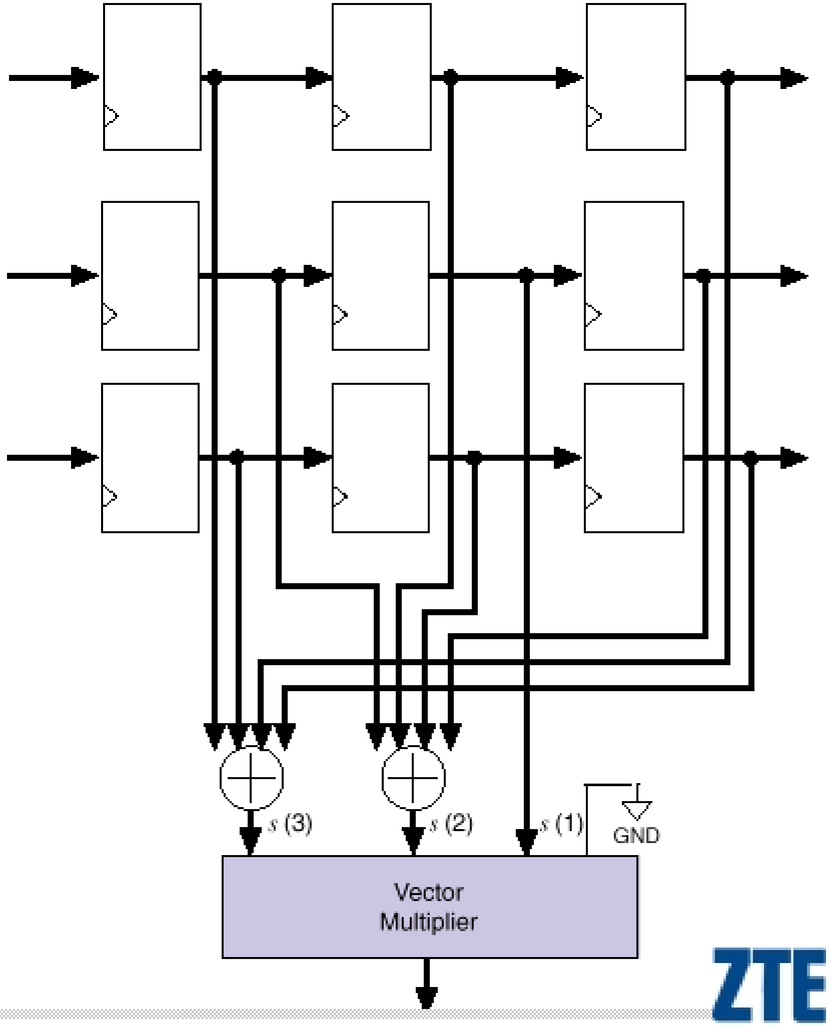
插值滤波器



移位寄存器结构

卷积2维对称FIR滤波器

C3	C2	C3
C2	C1	C2
C3	C2	C3



Thank You For Your Attention.