

数字下变频的 FPGA 实现

贾雪琴,李强,王旭,李景宏

(东北大学信息科学与工程学院,辽宁 沈阳 110004)

摘要 研究了高倍抽取的数字下变频设计,重点分析了基于级联积分梳状滤波器和级联半带滤波器的多级抽样频率算法。并提出了用最新的 Systemgenerator 软件实现 FPGA 的设计、仿真方案,缩短了开发周期,简化了设计流程,增加了系统的集成度和稳定性,降低了开发成本。对于混频器、级联积分梳状滤波器和数字下变频器都给出了仿真波形。

关键词 数字下变频;软件无线电;半带滤波器;级联积分梳状滤波器;FPGA

中图分类号:TN77 文献标识码:A 文章编号:1002-1841(2006)01-0056-03

Realization of Digital Down Conversion by FPGA

JIA Xue-qin, LI Qiang, WANG Xu, LI Jing-hong

(College of Information Science & Engineering, Northeastern University, Shenyang 110004, China)

Abstract Studied high decimation ratio of digital down converter, and especially analyzed multi-stage decimation algorithm based on cascaded integrator-comb (CIC) filter and half band (HB) filter. Software, Systemgenerator realized the design and simulating of FPGA (field programmable gate array). Projects based on FPGA will afford more stability and more integration for the system, and will reduce the cost and the exploitation-time of the system. The simulation wave of mixer, CIC filter and DDC were all shown.

Key Words DDC; Software-Radio; HB-Filter; CIC-Filter; FPGA

0 引言

数字下变频(DDC)的目的是使经过粗模拟滤波和过采样之后的数据在数字域内达到采样速率最小,以实现减少冗余数据的目的,使信号接收系统的数字化和软件化得以实现。

文中提出一种采用 FPGA 器件来实现数字下变频的方案。FPGA 芯片既有高逻辑密度和通用性,又有可编程逻辑器件的用户可编程特性。使用 FPGA 器件实现的下变频器可以更加方便地设计出通用的数字下变频系统,采用软件更新的方法使其适用于多种接收协议,同时也可将存储器、控制器等外围器件集成到芯片内部,提高了整个系统的稳定性和集成度。

1 数字下变频原理与实现

选用 Spartan3 系列芯片为设计对象,采用 Systemgenerator 软件进行设计与仿真。该软件可以和 Matlab 中的 simulink 工具共同使用,利用 simulink 方便的模块设计和强大的波形显示窗口,使得仿真结果可以更加直观、快捷地表现出来。

目前,最常用的接收前端有如下 4 种拓扑结构:

(1)使用两级模拟混频:第一级混频将接收到的射频信号混到中频,第二级混频再将中频信号混到基频,然后进行模数转换(ADC)。

(2)使用一级模拟混频:将射频信号混到中频,然后在中频进行模数转换。

(3)使用一级模拟混频:将射频信号直接混到基频,然后在基频进行模数转换。

(4)不使用模拟混频器,直接对射频信号进行模数转换。

文中的设计方法可以适用于第 2 和第 4 种拓扑结构所需要

的后续接收链路的数字下变频的实现。数字下变频的结构原理图如图 1 所示,主要由数字混频器和数字滤波器组两部分组成。混频器部分由直接数字合成器(DDS)和两路乘法器组成;数字滤波器部分主要由级联积分梳状滤波器(CIC 滤波器)、半带滤波器(HB 滤波器)和后级 FIR 滤波器组成的链路构成。

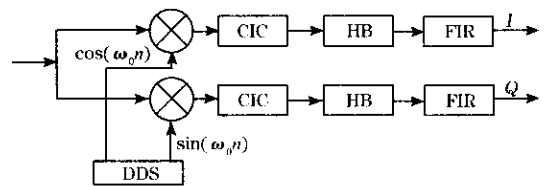


图 1 数字下变频器结构框图

1.1 混频器

文中考虑的数据是已经经过模数转换的数字信号,所以式(1)~式(3)均以数字域的形式给出。系统接收到的数据是对自然信号调制产生的窄带信号,其解析表达式为

$$x(nT_s) = A(nT_s) \cdot \cos[\omega_0 nT_s + \theta(nT_s)] + jA(nT_s) \cdot \sin[\omega_0 nT_s + \theta(nT_s)] \quad (1)$$

式中: T_s 为 1 次采样所需要的时间; ω_0 为数据的中心频率。

将式(1)乘以 $e^{-j\omega_0 nT_s}$,将载频 ω_0 下移,变成零载频,其结果称为基带信号(或称为零中频信号)。因为 T_s 是常量,结果可以简写为

$$z_0(n) = A(n) [\cos\theta(n) + jsin\theta(n)] = z_{0i}(n) + jz_{0q}(n) \quad (2)$$

式中 $z_{0i}(n) = A(n) \cos\theta(n)$, $z_{0q}(n) = A(n) \sin\theta(n)$ (3)

分别称为基带信号的同相分量和正交分量。基带信号为解析信号的复包络,它是一个复信号。显然,一个物理可实现的窄带信号既可以用它的解析信号 $x(t)$ 来表示,也可以用它的

基带信号来表示。而在基带对信号进行处理将大大减少信号处理器的计算量。

使用 FPGA 作为数字下变频的核心芯片,使得数字下变频器可以方便地适用于处理不同中心频率的数据,而不需要改动该数字下变频器的硬件部分,从而为构筑多路接收系统提供了更大的灵活性。图 2 显示了混频器的仿真电路和计算结果。

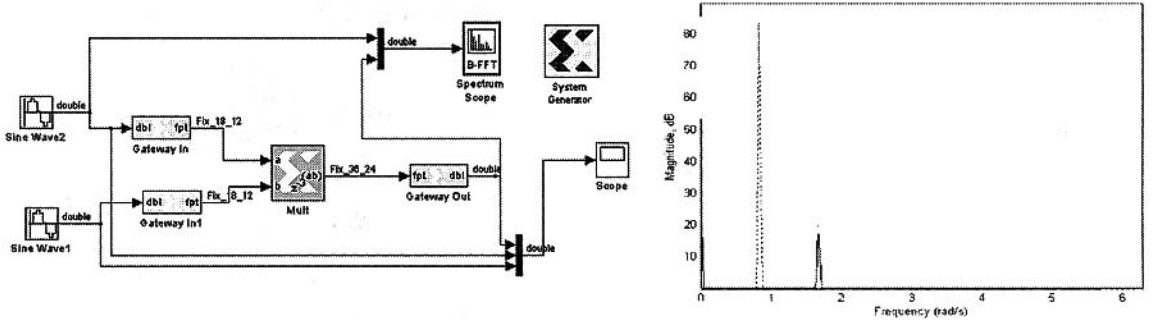


图 2 混频器模型及其输入输出数据频谱

1.2 数字滤波器组

需要采用过采样技术对模拟信号进行数字化。对于射频或中频窄带信号而言,过采样给接收系统带来了大量的冗余数据和繁重的计算负担。解决方法是先将射频或中频窄带信号进行数字混频,得到期望的基频信号,然后进行相应的抽取滤波操作,减少冗余数据。由于滤波过程涉及到大量的乘、累加运算,抽取滤波器必然成为制约整个系统工作频率的瓶颈。

采用由 CIC 滤波器、HB 滤波器和 FIR 滤波器组成的滤波器组进行数字下变频的方法来解决这个问题。采用多级滤波器级联来实现抽取,具有如下优点:

- (1) 简化滤波器设计,允许每级滤波器的过渡带比较宽;
- (2) 可以显著的降低运算量;
- (3) 减少系统中的存储器的使用量;

积分梳状滤波器的冲击响应为

$$h(n) = \begin{cases} 1, & 0 \leq n \leq D - 1 \\ 0, & \text{其他} \end{cases} \quad (4)$$

由于 CIC 滤波器的所有系数都是 1,因此这种滤波器实现起来极其简单,只是通过简单的求和即可完成滤波过程。这种

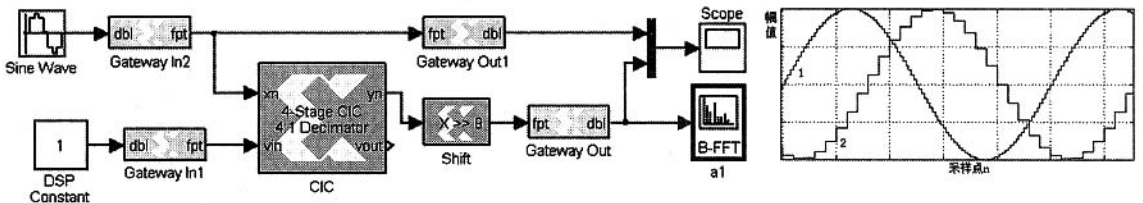
可以看到,此处使用一个正弦信号来代替 DDS 的作用,在某些输入信号中心频率一定的应用中(如磁共振系统),采用该方案可以很好的避免 DDS 引入的相位截断和量化误差,同时减少了芯片逻辑资源的消耗,提高了系统效率。频谱图中虚线部分显示为原始输入信号的频谱,实线显示为进行混频之后的频谱(0 弧度附近也有实线)。

结构决定了使用 FPGA 器件可以很方便地实现它的设计。根据它的幅度频谱计算公式:

$$|H(e^{j\omega})| = \left| \frac{\sin(\omega D/2)}{\sin(\omega/2)} \right| = D \cdot \text{sinc}(\omega D/2) \cdot \text{arcsinc}(\omega/2) \quad (5)$$

可得第一旁瓣的衰减大约为 -13.46 dB。一级 CIC 滤波器通常不能满足实际需要,常采用多级级联的方法来获得较好的阻带衰减。如果使用 Q 级的级联 CIC 来实现,阻带衰减将达到 Q × (-13.46)dB,但并不可以任意地增大 Q 值,Q 值的增大同时也会引起通带波纹(通带容限)的增大,从而影响滤波器性能。另外,从式(5)中可以得到 Q 级级联后的振幅将达到 D^Q,需要必要的运算对其进行修正。因为 CIC 滤波器无需乘法运算,该滤波器应用在下变频系统数据量最大的最前端。

图 3(a)所示为用 Systemgenerator 软件工具设计的 CIC 滤波器模型。其主体部分由 1 个 4 阶、4 倍抽取率的 CIC 滤波器和 1 个移位寄存器组成。其中移位寄存器的作用是适当的衰减由于多级滤波器级联导致的振幅增大问题。图 3(b)为设计模型的仿真结果。其中波形 1 为输入信号,波形 2 为输出信号。因输入信号为标准正弦波形,理想情况下带宽为 1。因此 A 倍下变频反映到时域中的效果为对输入信号进行 4 倍的抽取。



(a) CIC 滤波器模型

(b) 设计模型仿真结果

图 3 CIC 滤波器模型及其输入输出数据

在 CIC 滤波之后,总是接着半带滤波器。半带滤波器(half-band filter)特别适合于实现 2 的幂次方倍的抽取,且计算效率高、实时性强。半带滤波器具有如下特性:

$$H(e^{j\omega}) = 1 - H(e^{j(\pi - \omega)})$$

$$H(e^{j\pi/2}) = 1/2$$

$$h(n) = \begin{cases} 1, & n = 0 \\ 0, & n = \pm 2, \pm 4, \dots \end{cases} \quad (6)$$

半带滤波器的好处是近乎半数的滤波器系数精确等于零,

因此实现这种滤波器时, 比对称 FIR 设计时的计算量少 1/2, 而比任意系数 FIR 设计所需要的乘法次数少 3/4。

但是, 级联 HB 滤波器只适用于抽样率为 2 的指数的变化, 因此系统的最后一级需要一个整形 FIR 滤波器来实现精确的滤波。采用分布式算法(distributed arithmetic)来实现 FIR 滤波器的设计, 分布式算法是一种典型的用资源换效率的方法, 使用类似查找表的方法来进行设计, 尤其适合于在 FPGA 器件中进行实现。

2 试验测试

采用 XC2S200 - 6PQ208C 芯片作为数字波形发生器, 直接产生下变频器能够处理的数字信号。图 4 显示的为该信号的时域波形(频率 60 MHz)。该信号经下变频器处理(30 倍下变

频)后, 经计算机 ISA 总线直接进入计算机进行操作。图 5 为接收到的信号导入 Matlab 后得到的时域波形和频谱图。因为输入信号直接采用数字波形发生器, 不需购买高速 A/D、D/A 器件。采用 ISA 总线将处理结果送到计算机, 可以在没有频谱分析仪、逻辑分析仪等昂贵设备的条件下利用计算机的强大计算能力在频域中验证下变频器的工作性能。且由于信号没有经过数字和模拟之间的变换, 其结果具有更高的可信度。

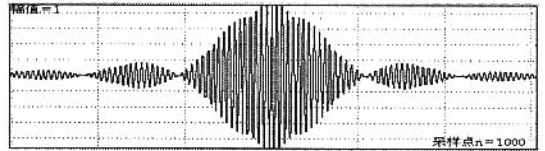


图 4 数字波形发生器输出波形

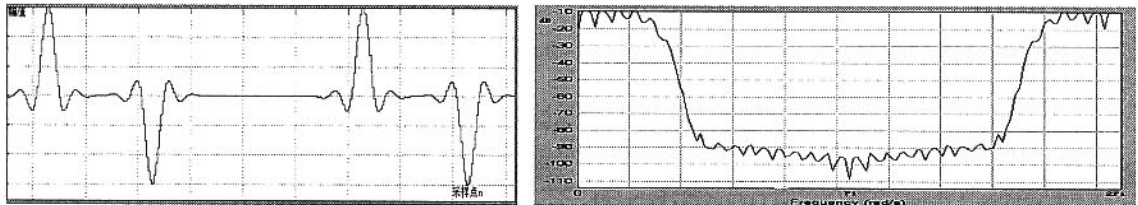


图 5 数据处理结果波形及其频谱

3 结束语

提出一种采用 FPGA 器件来实现数字下变频的方案。该方案充分发挥了 FPGA 器件处理速度快、实现灵活方便的特性, 大大提高了整个系统的性能, 而且可以应用到软件无线电的硬件平台中满足多种通信协议的要求。设计阶段, 采用 SystemGenerator 工具在 Matlab 中进行设计和仿真, 使得整个设计工作更加简单、高效; 实验验证阶段, 利用 ISA 总线使 FPGA 下变频器与计算机进行通讯以进行结果的验证, 节约了试验经费, 提高了结果的准确性和可靠性。

参考文献:

- [1] 施瓦茨. M. 信息传输调制和噪声. 北京: 人民邮电出版社, 1988.
- [2] CROCHIERE R E, RABINER L E. Multirate Digital Signal Processing. Prentice - Hall, Inc., 1983.
- [3] GOODMAN D J, GARECY M J. Nine digital filters for decimation and interpolation. IEEE ASSP Magazine 1997 25.
- [4] Xilinx System User Guide, Xilinx, Inc. 2003.
- [5] JEFFREY H. Reed " Software Radio : A Modern Approach to Radio Engineering " Prentice - Hall, Inc., 2002.

作者简介: 贾雪琴(1979—), 博士研究生, 主要从事数字信号处理及 ASIC 芯片开发研究。

(上接第 47 页)

加水时间, 从而实现水分的精确控制。数据处理由单片机完成。

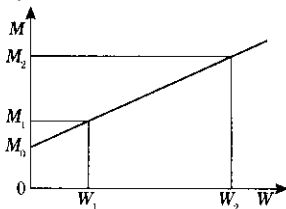


图 5 水分传感器输出与实际含水的关系

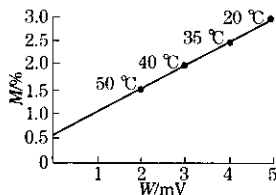


图 6 温度补偿系数正确

5 温度补偿系数设定

系统水分测量仪器的输出以 30 °C 的砂温为标准进行标定。当实际砂温高于或低于 30 °C 时, 都必须对仪器输出值进行温度补偿。温度补偿系数的设定是否正确, 可通过实验的方法来验证。当仪器输出(mV)值、实际含水率值与砂温值分布在一条直线上时, 如图 6 所示, 则说明温度补偿系数正确。当这些数据分布不在一直线上时, 如图 7 所示, 则说明温度补偿系数太小; 如图 8 所示, 则说明温度补偿系数太大。系统的温度补偿系数范围为 1.0 ~ 2.5(mV/10 °C)。

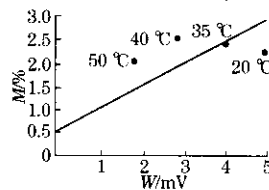


图 7 温度补偿系数太小

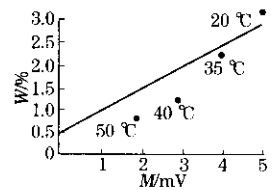


图 8 温度补偿系数太大

6 结束语

系统的温度和水分传感器具有结构简单、运行可靠、灵敏度高、耐磨性强等优点, 由于系统采用了两级以单片机为控制核心的水分监控, 实现了高精度的型砂水分自动控制, 使型砂性能稳定, 砂混过程几乎不必再追加水, 缩短了混碾时间, 型砂质量得到保证, 大大减少了型砂不合格造成的废品率, 实现了生产的自动化, 给企业带来了显著的经济效益。

参考文献:

- [1] 王强 杨占奎. 型砂水分红外光谱在线检测方法的探讨. 中国铸造装备与技术 2003(6) 20 - 22.
- [2] 朱世根 陈少梅. DH - 1 型型砂水分自动测控系统. 特种铸造及有色合金 2003(1) : 15 - 17.
- [3] 肖慧荣. 一种型砂含水率的在线检测方法. 传感器技术, 2003, 22(5) 52 - 54.

作者简介: 肖慧荣(1963—) 副教授, 主要从事传感器及自动化仪表研究。