

文章编号 :1007-2780(2005)05-0440-06

# 大屏幕 FED 集成驱动电路的研制

林志贤, 廖志君, 郭太良

(福州大学 物理与信息工程学院, 福建 福州 350002, E-mail: linzhixian2002@yahoo.com.cn)

**摘 要:** 论述集成场致发射显示系统的工作原理, 主要包括了数字视频图像的转换和处理、视频数据的传输、列灰度驱动集成 HV632PG 和行集成驱动器 STV7697 芯片的接口电路以及 FPGA 控制技术等。采用集成 FED 驱动系统研制出了彩色 FED 显示器样机, 首次用于大屏幕低逸出功型印刷式场致发射显示器, 能显示彩色视频图像。FED 驱动电路的集成化大大地降低电路结构的复杂性, 使整个驱动电路的稳定性提高, 厚度变薄、重量减轻。样机亮度已达  $200 \text{ cd/m}^2$ 、对比度达 600:1, 显示分辨率为  $480 \times 240$ , 电路灰度等级达 256 级, 有效显示对角线尺寸为 63.5 cm (25 in)。

**关 键 词:** 场致发射显示器; 集成驱动; HV632; FPGA; 视频  
**中图分类号:** TN949.16; TN941.3 **文献标识码:** A

## 1 引 言

场致发射显示器(FED)是平板显示器中较为新型的一种,是继液晶显示器(LCD)、等离子体显示器(PDP)、有机电致发光显示器(OELD)等之后的另一种最具有前途的新一代平板显示器<sup>[1-3]</sup>。我们研制的大面积印刷式 FED 采用独有的低成本、大面积、低逸出功 FED 阴极材料及其阴极浆料,具有自主知识产权。与其他种类 of FED 不同,大面积印刷式 FED 成本低、工艺简单,所使用材料具有低逸出功的特点,可以降低 FED 中所需的发射电压,使得外部电路简单化<sup>[4]</sup>。目前我们已研制出 63.5 cm (25 in) 彩色大屏幕印刷式场致发射显示器,在国内外属首创。在 2003 年我们研制成功了一种实现场致发射显示器视频图像显示的驱动电路系统,该电路采用分立元件实现灰度调制器输出的脉冲宽度调制信号的放大,达到了驱动 FED 显示器视频图像显示的目的,并应用到 50.8 cm (20 in) 单色  $320 \times 240$  的 FED 中<sup>[5]</sup>。但上述 FED 驱动电路系统中的图像驱动电路是灰度调制信号产生器与脉冲放大器各自分开,而且脉冲放大器是采用分立的驱动电路结构方式,使用的分立器件多,存在着电路结构复杂、繁琐,电

路体积大,功率损耗大及稳定性不高的缺点,并且上述 FED 驱动电路只能实现单色的视频图像。

## 2 大屏幕 FED 集成驱动电路的研制

已研制出了适合大屏幕 FED 显示屏的视频驱动电路样机,可以在样机上流畅地播放各种视频节目,可实现单色、彩色的显示。图 1、图 2 分别是大屏幕 FED 驱动系统的总体框图和原理框图。

本电路系统主要由视频接收单元、视频 A/D 转换单元、数据缓存单元、集成灰度调制驱动单元、行后级集成驱动单元、FPGA 控制模块单元和电源模块等部分组成。其电路的工作原理:视频接收单元实现电视信号、VCD、DVD 信号的接收,然后将输入的 PAL 制式模拟视频图像信号送入视频 A/D 转换单元——SAA7111A<sup>[6]</sup>,在该单元进行视频的 A/D 采集,变换为 24 位彩色数字图像信号,然后在数据缓存写地址产生器的控制下存入数据缓冲存储器,同时实现图像的区域截取。采用逐行扫描的方式分别将奇、偶场三基色缓存中的每个像素的 8 bits 图像数据送入图像集成灰度调制驱动芯片,进行图像灰度的还原,其输出脉冲的宽度与图像数据数值的大小成正比,输

收稿日期: 2005-01-28; 修订日期: 2005-04-12

基金项目: 国家“863”计划“十五”重大专项资助项目(No. 2003AA303320); 福州大学科技发展基金资助项目(No. 2004-XY-17)

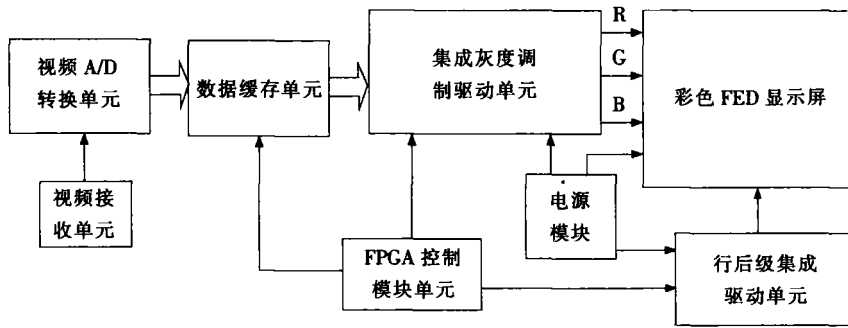


图 1 大屏幕 FED 集成驱动电路的总体框图

Fig. 1 Overall block diagram of FED integrated driving system

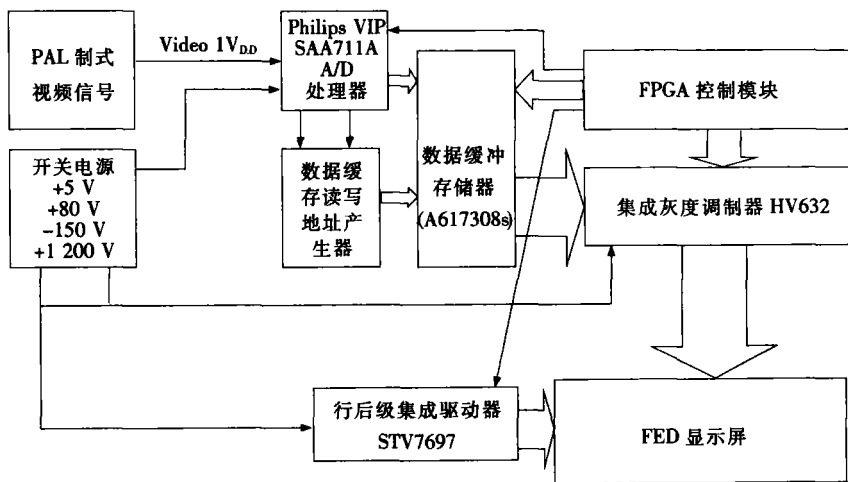


图 2 大屏幕 FED 集成驱动电路的原理框图

Fig. 2 Principle block diagram of large FED integrated driving system

出的图像脉冲直接用于驱动 FED 显示屏。其中视频接收单元属于常规模块,在此不再赘述。视频 A/D 转换部分将视频接收单元送来的视频信号转换为 R、G、B 三基色 24 位数字信号,各基色为 8 位,并从中分离出奇偶场鉴别信号、13.5 MHz 采样时钟脉冲、场同步脉冲、行参考信号、系统复位信号等。对其他电路单元的具体操作是通过单片机对 I<sup>2</sup>C 总线相应寄存器的地址进行写操作,实现亮度、对比度、色度的 256 级调整。电源模块根据 FED 显示屏显示要求,分别提供 80 V、150 V、1 200 V 以及 5 V 的直流电压。

大屏幕 FED 集成视频驱动电路各主要部分工作原理及功能为:

(1) 数据缓存单元,其功能是存储视频接收单元送来的数字视频图像数据,并进行图像的区域截取。该部分电路主要由数据缓存读写地址产生

器(74HC161)、数据缓冲存储器(A617308S)等构成。在存储过程中,由于 FED 屏的需要,我们还需要截取局部信号,即根据显示格式 480 × 3 × 240 的需要截取出 512 × 3 × 256 的信号,其截取控制信号由 FPGA 编程产生。首先数据缓存读写地址产生器在相应的读写时钟脉冲的控制下,产生从 0000H 到 2,0000H 的地址,便于选中数据缓冲存储器的各个存储单元进行读写操作。然后在地址信号的顺序控制下,FPGA 按逻辑编程输出 512 个时钟周期的行截取信号,截取每个输入行数据的前 512 个数据存入缓存,由此实现行截取功能。在行参考信号和奇偶场鉴别信号的控制下,FPGA 电路产生 256 隔行参考脉冲的场截取信号,截取输入帧数据的 256 行数据并将之存入缓存,由此实现列截取功能。从图 3 数据缓存单元的主要信号的时序图可清楚地看出上述行列

截取的关系。奇、偶场 R、G、B 各 8 位的数字视频信号依照从视频信号中分离出的奇偶场鉴别信号分别写入和读出奇、偶场缓存。采用的 FPGA 截取控制电路可任意调整输出数据的输出行列位置

以及对整幅输出图像的抽列、抽行压缩方式的格式变换功能。从缓存输出的视频数据送入集成灰度调制驱动器的输入。

(2) 集成灰度调制驱动单元,其功能是将输入

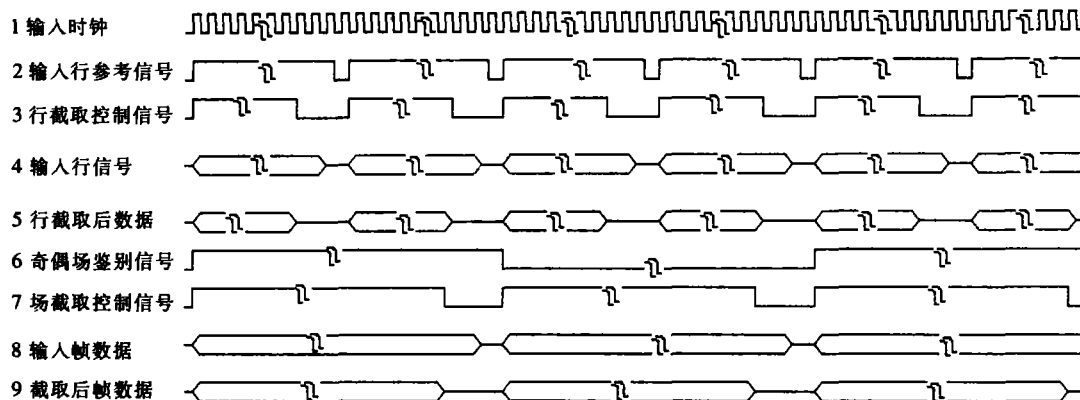


图 3 数据缓存单元的主要信号的时序图

Fig. 3 Timing of main signal of data buffer units

的 8 位数据直接调制成脉宽表示的灰度信号,即脉冲宽度调制方式(PWM 方式),并进行功率放大。它输出的高压脉冲信号被送至相应的 R、G、B 三基色像元引线电极驱动显示。灰度调制电路的核心器件是集成灰度调制器,可选用美国 Supertex 公司的 HV632PG 芯片<sup>[7]</sup>。HV632PG 每

块有 32 路输出,对每帧 480 × 3 × 240 的视频图像数据,每一基色的图像灰度调制采用 15 片集成灰度调制器 HV632PG 芯片级联完成。HV632PG 芯片级联电路图如图 4 所示,芯片数目还可根据不同的列分辨率改变。

第一块芯片的接收数据使能输入端 CSI 由外

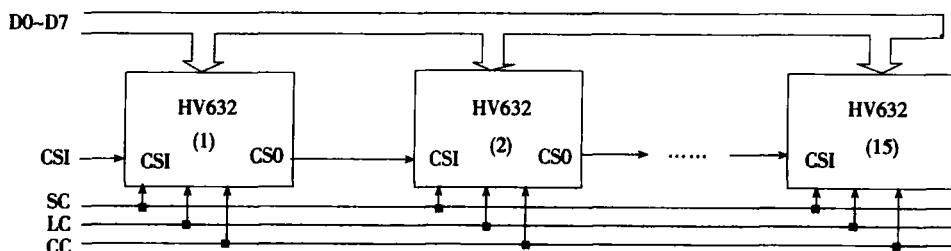


图 4 HV632PG 芯片级联电路图

Fig. 4 Cascade connected diagram of HV632PG

界控制信号控制,后面每块芯片 CSI 端都与前一块芯片的 CSO 端连接,由前一块芯片的接收数据使能端 CSO 通知同它邻近的下一块芯片工作;其他数据输入接口、移位数据时钟 SC、计数时钟 CC、计数使能输入端 LC 都是各芯片共用,控制信号 CSI、LC 由 FPGA 编程产生。先让灰度调制器的使能端接地,使得芯片总处于使能工作状态。等前端送来数字视频信号,由接收数据使能输入端 CSI 通知灰度调制器开始接收数据,存入灰度

调制器内部的第一级锁存器。集成灰度调制器 HV632PG 的应用系统时序图如图 5 所示,数据锁存采用上升沿和下降沿同时触发方式,系统中每行 480 个数据需要 240 个移位时钟,在 CSI 启动下数据开始传输;待输入完一行数据后,在灰度调制 Load Count (LC) 输入信号的作用下,调制器将在第一级锁存器中的数据同时送入第二级锁存器中,同时启动内部比较器单元,在 Count Clock (CC) 信号作用下进行灰度调制后输出。此时,第

一级锁存器在 Shift Clock (SC) 作用下又开始锁存下一行的数字图像信号。在这一过程中,数据的输入、调制和输出相互独立,互不干扰。这样一

行接一行数据顺序被锁存、输入比较器脉宽调制、脉冲放大输出,周而复始,直至缓存中的一场数据被输出完毕。

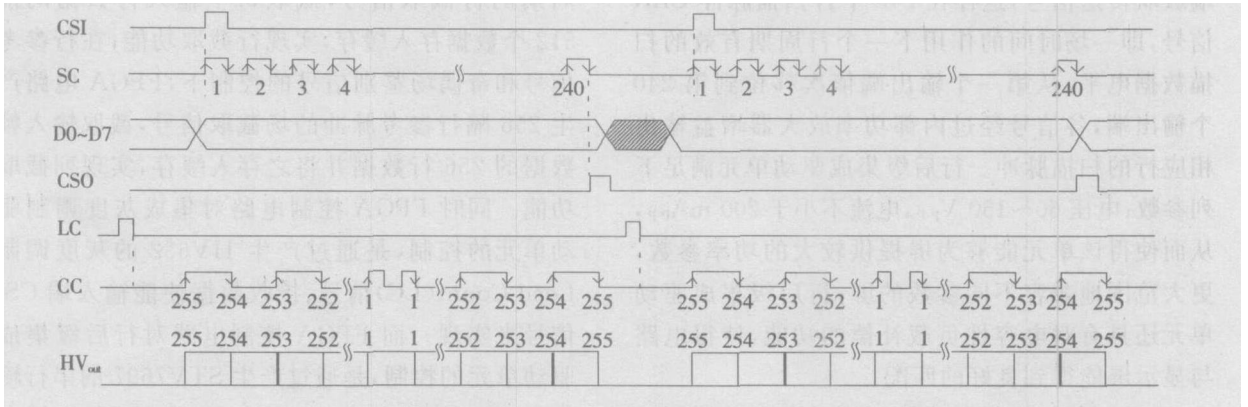


图 5 HV632PG 的应用系统时序图

Fig. 5 Timing of HV632PG application system

集成灰度调制驱动单元能够满足下列参数:数据速率为 12 MByte/s,调制计数时钟为 6 MHz,输出驱动电压 12 ~ 80 V<sub>P-P</sub>,电流不小于 4 mA<sub>P-P</sub>,从而使得显示视频图像稳定,显示屏亮度高,更大范围地兼容不同参数的屏;此外,集成灰度调制驱动单元具有对电容性负载补偿的功能,使得电路与显示屏能得到良好的匹配。

该电路模块在完成电压、电流幅度放大的同时实现驱动电路与 FED 显示屏的参数匹配。它输出的逐行扫描的高压脉冲信号是送至 FED 显示屏相应的行引线电极驱动显示。本系统中使用行集成驱动器 STV7697 或者 HV57908、STV7699 芯片构成行后级驱动电路。STV7697 集成芯片每块有 64 路输出,本系统可采用 4 片 STV7697 芯片级联构成。行集成驱动电路图如图 6 所示。

(3) 行后级集成驱动单元,其功能是用来对行扫描脉冲信号进行译码并完成功率增益的电路,

前一块的芯片串行数据输出端 SOUT 和后

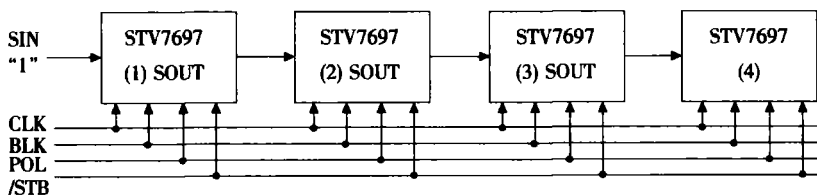


图 6 STV7697 芯片级联电路图

Fig. 6 Cascade connected diagram of STV7697

一块芯片的串行数据输入端 SIN 级联,数据在各个芯片中串行传送;其他数据移位时钟 CLK、空场输出端 BLK、极性选择端 POL、锁存数据输出

端 /STB 是所有行芯片共用的,控制信号 SIN、/STB、POL、BLK 由 FPGA 产生。行后级集成驱动单元的应用系统时序图如图 7 所示。

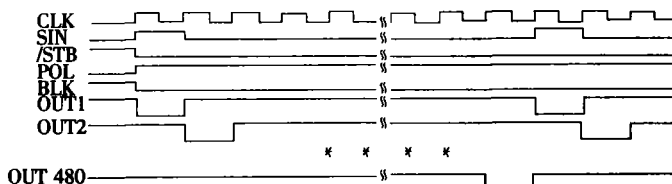


图 7 STV7697 的应用系统时序图

Fig. 7 Timing of STV7697 application system

其工作原理是:一个行周期高电平有效的数据先从第一片 STV7697 的 SIN 端输入,然后其余芯片由前一芯片的 SOUT 与后一芯片的 SIN 端级联传送信号,这样在 240 个行扫描脉冲 CLK 信号,即一场时间的作用下一个行周期有效的扫描数据电平,从第一个输出端依次移位到第 240 个输出端,各信号经过内部功率放大器增益输出相应行的扫描脉冲。行后级集成驱动单元满足下列参数:电压  $60 \sim 150 V_{PP}$ , 电流不小于  $200 mA_{PP}$ , 从而使得该单元能够为屏提供较大的功率参数,更大范围地兼容不同参数的屏;行后级集成驱动单元还具有对电容性负载补偿的功能,使得电路与显示屏能得到良好的匹配。

(4) FPGA 控制电路是整机时序产生控制电路,它通过产生所需的单元控制信号,分别对数据缓存单元、集成灰度调制驱动单元、行后级集成驱

动单元进行控制。FPGA 控制电路产生行、列截取信号来实现对数据缓存单元的控制。在地址信号的控制下,FPGA 按逻辑编程输出 512 个时钟周期的行截取信号,截取每个输入行数据的前 512 个数据存入缓存,实现行截取功能;在行参考信号和奇偶场鉴别信号的控制下,FPGA 电路产生 256 隔行参考脉冲的场截取信号,截取输入帧数据的 256 行数据并将之存入缓存,实现列截取功能。同时 FPGA 控制电路对集成灰度调制驱动单元的控制,是通过产生 HV632 的灰度调制 Load Count (LC) 信号、接收数据使能输入端 CSI 信号来实现。而 FPGA 控制电路对行后级集成驱动单元的控制,是通过产生 STV7697 的串行输入 SIN、空场输出端 BLK、极性选择端 POL、锁存数据输出端/STB 信号来实现。图 8 是 FPGA 产生的控制信号的总体流程图。

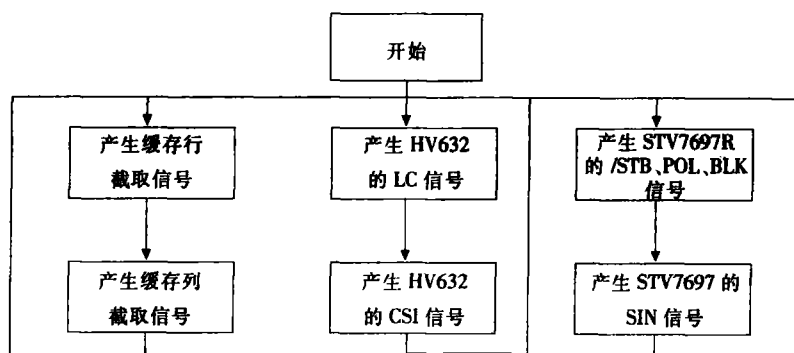


图 8 FPGA 产生的控制信号的总体流程图

Fig. 8 Overall flow chart of FPGA signal

### 3 大屏幕 FED 显示器显示效果

已经研制成功能显示视频图像的 63.5 cm 彩色 FED 显示器集成视频驱动电路简单样机,显示效果如图 9 所示。该 FED 样机的主要性能指标如下:

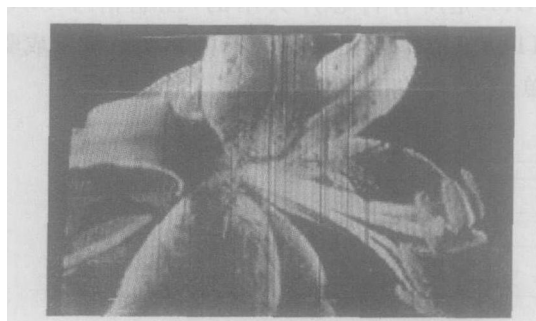


图 9 63.5 cm FED 显示器视频显示照片

Fig. 9 Video photo of 63.5 cm FED

显示器尺寸:63.5 cm

颜色:彩色

电路灰度等级:256 级

对比度:600:1

显示容量:480 × 240

亮度:200 cd/m<sup>2</sup>

刷新率:> 50 帧/s

显示内容:视频图像

### 4 结 语

采用数字视频图像的转换和处理、视频数据的传输、列灰度驱动集成 HV632PG 和行集成驱动器 STV7697 芯片的接口电路以及 FPGA 控制技术,研制成了能显示彩色视频图像的大屏幕 FED 显示器样机。

FED 驱动电路的集成化大大地降低电路结构的复杂性,使整个驱动电路体积进一步地减小,重量得到降低。

目前,该集成 FED 样机的亮度已达  $200 \text{ cd/m}^2$ ,

电路灰度等级达 256 级,对比度可达 600:1,显示容量为  $480 \times 240$ ,显示颜色为彩色,有效显示对角线尺寸为 63.5 cm。

## 参 考 文 献:

- [ 1 ] 应根裕,胡文波,邱勇,等. 平板显示技术[M]. 北京:人民邮电出版社,2002.
- [ 2 ] 林志贤,郭太良. 场致发射材料的特性[J]. 福州大学学报(自然科学版),2000,28(4):22-25.
- [ 3 ] 林志贤,张莉,郭太良. 平板显示器驱动电路的原理与应用[J]. 龙岩师专学报,2001,19(8):20-22.
- [ 4 ] 郭太良,林志贤,吴新坤,等. 新型可印刷 FED 场致发射显示器的研制[J]. 中国有色金属学报,2004,14(5):404-408.
- [ 5 ] 林志贤,郭太良. 大屏幕 FED 视频显示系统[J]. 福州大学学报(自然科学版),2004,32(5):548-550.
- [ 6 ] 黄慧娟,王瑞光,丁铁夫,等. SAA7111A 在平板显示器视频接口中的应用[J]. 液晶与显示,2004,19(4):293-297.
- [ 7 ] Supertex. Products, HV632PG datasheet[Z]. 2003.

## Larger Screen FED Video Display System

LIN Zhi-xian, LIAO Zhi-jun, GUO Tai-liang

(College of Physics and Information Engineering, Fuzhou University, Fuzhou 350002, China,

Email:linzhixian2002@yahoo.com.cn)

### Abstract

The principle of field emission display integrated system was presented, which includes the transform and processing of digital video image and the transmission of video data, the interface circuit about HV632PG, the gray-shade column driving IC, and STV7697, the raw driving IC, as well as, FPGA control technology. Using this system, colour FED model was fabricated and used in the large screen low work function printing FED that could display color images for the first time. The integration of the system strongly reduced the complexity of the circuit, improved the stability of the system, made it thinner and lighter. The sample obtained its screen brightness about  $200 \text{ cd/m}^2$ , contrast ratio 600:1, resolution  $480 \times 240$ , 256 circuit gray scales and 63.5cm(25 in) display size.

**Key words:** field emission display; integrated driving; HV632PG; FPGA; video

**作者简介:**林志贤(1975-),男,福建泉州人,讲师,硕士,主要研究工作:场致发射显示器驱动电路系统、信息显示技术;  
郭太良(1963-),男,福建仙游人,福州大学现代物理技术研究所所长,研究员,国家“863”计划“十五”平板显示技术重大专项战略专家组副组长,国家“863”计划“十五”平板显示技术重大专项总体专家组成员。