

HV632PG 在彩色 FED 集成驱动系统中的应用

林志贤, 郭太良

(福州大学物理与信息工程学院, 福建 福州 350002)

摘要: 论述集成场致发射显示系统的工作原理, 包括 HV632PG 的性能以及作为列图像驱动器的接口电路、行集成驱动器 STV7697 芯片和 FPGA 控制技术等. 采用 HV632PG 芯片研制出了彩色 FED 显示器样机, 能显示彩色视频图像. 样机亮度已达 200 cd/m^2 、对比度达 600 1, 显示分辨率为 480×240 , 电路灰度等级达 256 级, 有效显示对角线尺寸为 25 英寸 (635 mm).

关键词: 场致发射显示器; HV632PG; 集成驱动; FPGA; 视频

中图分类号: TN949.16; TN941.3

文献标识码: A

The application of HV632PG in color FED integrated driving system

LI N Zhi - xian, GUO Tai - liang

(College of Physics and Information Engineering, Fuzhou University, Fuzhou, Fujian 350002, China)

Abstract: Presented the principle of large screen field emission display integrated system which includes the performance and the gray - shade column driving IC interface circuit about HV632PG, and STV7697, the raw driving IC, as well as, FPGA control technology. The system thus fabricated the large screen sample that could display color images. The sample obtained its screen brightness about 200 cd/m^2 , contrast ratio 600 1, 480×240 resolution, 256 circuit gray scale and 25 inch display size.

Key words: field emission display; HV632PG; integrated driving; FPGA; video

场致发射显示器(FED)是平板显示器中较为新型的一种,是继液晶显示器(LCD)、等离子体显示器(PDP)、有机电致发光显示器(OELD)等之后的另一种最具有前途的新一代平板显示器^[1-3]. FED显示器驱动电路可以采用分立元件或集成芯片构成. 由于早期 FED 显示屏电学、光学参数的限制使得 FED 采用集成驱动电路实现比较困难. 一般而言,分立驱动电路采用灰度调制信号产生器与脉冲放大器各自分开,并且脉冲放大器是采用分立的驱动电路结构方式构成,因此,使用的分立器件多,存在着电路结构复杂、繁琐,电路体积大,功率损耗大及稳定性不高等缺点^[4]. FED 显示器驱动电路能否集成化将很大程度影响 FED 显示器商品化的进程,为此,本文作进一步探讨.

1 HV632PG 的基本性能

HV632PG 芯片是美国 Supertex 公司研制开发的图像数据驱动芯片^[5]. 该芯片是为平板显示器,例如场致发射显示器、聚合体液晶、真空荧光管和电致发光等设计的,它还适用于高速数据率的显示应用. HV632PG 图像灰度调制采用脉冲宽度调制技术(PWM)实现即图像数据数值与芯片输出的脉冲宽度大小成正比例关系. HV632PG 采用 HVC MOS 技术,内含全集成低压 CMOS 逻辑,支持较高显示分辨率的脉宽调制灰度转换. HV632PG 还有一条 8 位数据总线,适用于快速移动的显示图像和每个显示像素有 256 级灰度的分辨率. HV632PG 是 80V、32 通道的显示器驱动 IC,具有 256 级灰度控制能力. 采用 HV632 可

收稿日期: 2005 - 04 - 05

作者简介: 林志贤(1975 -), 男, 硕士, 讲师.

基金项目: 国家 863 计划“十五”重大专项资助项目(2003AA303320); 福州大学科技发展基金资助项目(2004 - XY - 17)

减少总的元件数目, 节省空间、功耗、发热量和费用. 表 1 是 HV632PG 主要性能参数表. 表 2 是研制的 25 英寸 (635 mm) 印刷型低逸出功彩色 FED 显示器的主要性能参数. 可以看出, 采用 HV632PG 集成驱动芯片可以与我们的 FED 显示器性能参数匹配, 采用该芯片可以实现 FED 显示器的视频图像系统的集成化.

表 1 HV632PG 主要性能参数表

Tab.1 The main parameters of HV632PG

项目	$V_{工作} / V$	$I_{输出} / mA$	输出电路结构	$R_{数据} / Mbps$	$C_{计数} / MHz$	输出路数
参数	12 ~ 80	4	Push - pull	20	10	32

表 2 25 英寸 (635 mm) 印刷型低逸出功彩色 FED 显示屏的主要性能参数

Tab.2 The main parameters of 25 inch low work function printed color FED panel

项目	$V_{阴极} / V$	$I_{阴极} / mA$	$t_{响应} / ms$	屏最大分辨率
参数	< 80	1 ~ 3	< 1	480 × 3 × 240

2 采用 HV632PG 实现的彩色 FED 驱动电路系统

已研制出了适合大屏幕 FED 显示屏的视频驱动电路样机, 可以在样机上流畅地播放各种视频节目, 实现彩色图像显示. 图 1、图 2 分别是采用 HV632PG 构成的 FED 驱动系统的总体框图和原理框图. 电路系统主要由视频接收单元、视频 A/D 转换单元、数据缓存单元、集成灰度调制驱动单元、行后级集成驱动单元、FPGA 控制模块单元和电源模块等部分组成. 电路的工作原理是将 DVD 等视频接收单元提供的 PAL 制式的模拟视频图像信号送入视频输入处理器 SAA7111A 中进行视频的 A/D 采集变换为 24 位彩色数字图像信号, 然后在数据缓存写地址产生器的控制下存入数据缓冲存储器, 同时实现图像的区域截取. 采用逐行扫描的方式分别将奇、偶场中三基色缓存中的每点 8 bits 的图像数据送入图像集成灰度调制驱动芯片 HV632PG 进行图像灰度的还原, 输出的图像脉冲直接用于驱动 FED 显示屏. 视频 A/D 转换部分将视频接收单元送来的视频信号转换为三基色 24 位 R、G、B 各 8 位的数字视频信号, 并从中分离出奇偶场鉴别信号、13.5 MHz 采样时钟脉冲、场同步脉冲、行参考信号、系统复位信号等. 对它的具体操作是通过单片机对 I²C 总线相应寄存器从地址进行写操作, 实现亮度、对比度、色度的 256 级调整. 电源模块提供各部分电路所需的直流电压. 根据 FED 显示屏显示要求, 分别提供 80、150、1 200 以及 5 V 的直流电压. 大屏幕 FED 集成视频驱动电路各主要部分工作原理及功能如下.

1) 数据缓存单元. 其功能是存储视频接收单元送来的数字视频图像数据, 并进行图像的区域截取. 该部分电路主要由数据缓存读写地址产生器、数据缓冲存储器等构成. 在存储过程中, 截取局部信号,

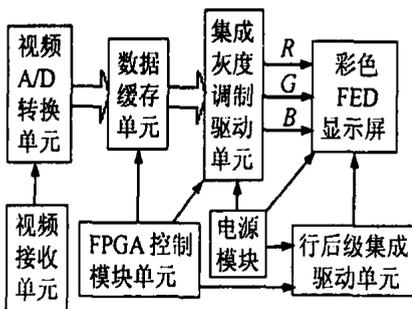


图 1 FED 驱动电路的总体框图

Fig.1 Overall block diagram of FED integrated driving system

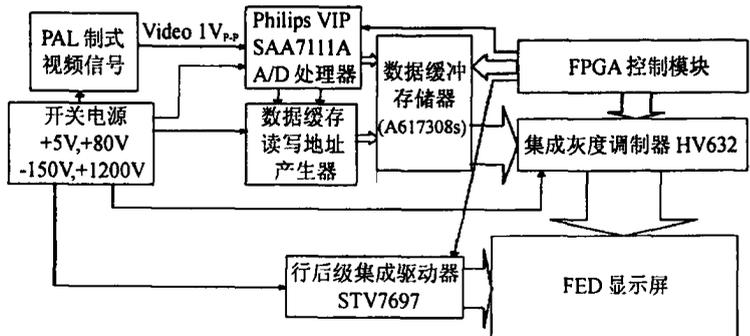


图 2 采用 HV632PG 芯片的 FED 驱动电路的原理框图

Fig.2 The principle of HV632PG chips integrated driving system block diagram of FED

即根据显示格式 480 × 3 × 240 的需要截取, 其截取控制信号由 FPGA 编程产生. FPGA 截取控制电路可任意调整输出数据的输出行列位置以及对整幅输出图像抽列、抽行的压缩格式变换功能. 视频数据接着送入集成灰度调制驱动器的输入.

2) 集成灰度调制驱动单元. 其功能是将输入的 8 位数据直接调制成脉宽表示的灰度信号, 即脉冲宽度调制方式, 并进行功率放大. 它输出的高压脉冲信号送至 FED 显示屏相应的 R、G、B 三基色像元引线电极驱动显示. HV632PG 每块有 32 路输出, 对每帧 480 × 3 × 240 的视频图像数据, 每一基色的图像灰度调制采用 15 片集成灰度调制器 HV632PG 芯片级联完成, HV632PG 芯片级联电路图如图 3 所示, 芯片数目还可根据不同的列分辨率改变.

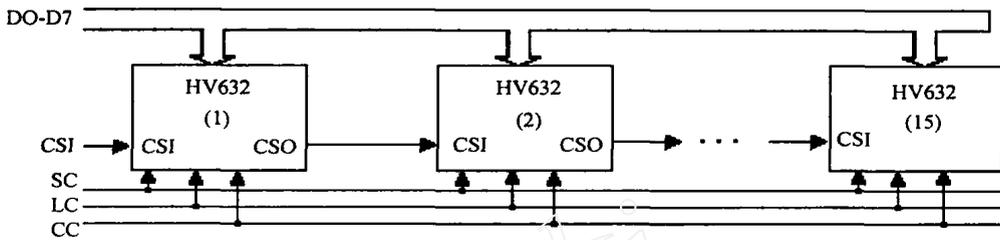


图 3 HV632PG 芯片级联电路图

Fig. 3 Cascade connected diagram of HV632PG

第一块芯片的接收数据使能输入端 CSI 由外界控制信号控制, 后面每块芯片 CSI 端都与前一块芯片的 CSO 端连接, 由前一块芯片的接收数据使能端 CSO 通知它邻近的下一块芯片工作; 其它数据输入接口、移位数据时钟 SC、计数时钟 CC、计数使能输入端 LC 都是各芯片共用, 控制信号 CSI、LC 由 FPGA 编程产生. 先让灰度调制器的使能端接地, 使得芯片总处于使能工作状态. 等前端送来数字视频信号, 由接收数据使能输入端 CSI 通知灰度调制器开始接收数据, 存入灰度调制器内部的第一级锁存器, 集成灰度调制器 HV632PG 的应用系统时序图如图 4 所示. 数据锁存采用上升沿和下降沿同时触发方式, 每行 480 个数据需要 240 个完整周期的移位时钟, 在 CSI 启动下数据开始传输; 然后等输入完一行数据后, 在灰度调制 Load Count (LC) 输入信号的作用下, 调制器将在第一级锁存器中的数据同时送入第二级锁存器中, 同时启动内部比较器单元, 在 Count Clock (CC) 信号作用下进行灰度调制后输出. 此时, 第一级锁存器在 Shift Clock (SC) 作用下又开始锁存下一行的数字图像信号. 在这一过程中, 数据的输入、调制和输出相互独立, 互不干扰. 这样一行接一行数据顺序被锁存、打入比较器脉宽调制、脉冲放大输出, 周而复始, 直至缓存中的数据在一场中被输出完毕.

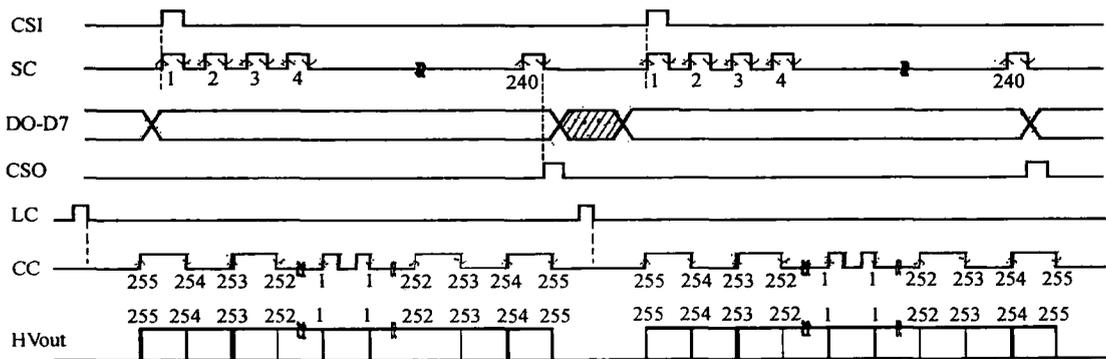


图 4 HV632PG 的应用系统时序图

Fig. 4 Timing of HV632PG application system

集成灰度调制驱动单元能够满足下列参数: 数据速率为 12 MByte/s, 调制计数时钟为 6 MHz, 输出驱动电压 12 ~ 80 V(峰 - 峰值), 电流不小于 4 mA(峰 - 峰值), 从而使得显示视频图像稳定, 显示屏亮度高, 更大范围地兼容不同参数的屏; 此外, 集成灰度调制驱动单元具有对电容性负载补偿的功能, 使得电路跟显示屏能得到良好的匹配。

3) 行后级集成驱动单元. 其功能是用来对行扫描脉冲信号进行译码并完成功率增益的电路, 该电路模块在完成电压、电流幅度放大的同时实现驱动电路与 FED 显示屏的参数匹配. 行扫描脉冲信号由 SAA7111A 的奇、偶行识别信号 RTS0 提供作为行寻址的计数时钟, 该信号与视频图像数据完全同步. 本系统中使用行集成驱动器 STV7697 芯片^[6]构成行后级驱动电路. 它输出的逐行扫描的高压脉冲信号是送至 FED 显示屏相应的行引线电极驱动显示. STV7697 集成芯片每块有 64 路输出, 一帧共 240 行可采用 4 片 STV7697 芯片级联构成. 行集成驱动电路图如图 5 所示.

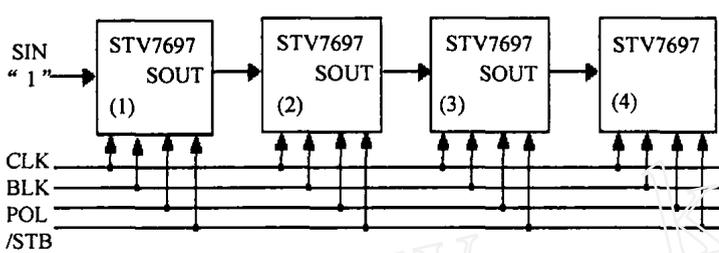


图 5 STV7697 芯片级联电路图

Fig. 5 Cascade connected diagram of STV7697

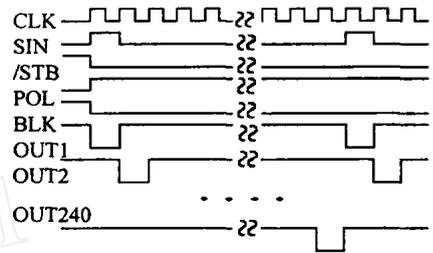


图 6 STV7697 的应用系统时序图

Fig. 6 Timing of STV7697 applied system

前一块的芯片串行数据输出端 SOUT 和后一块芯片的串行数据输入端 SIN 级联, 数据在各个芯片中串行传送; 其它数据移位时钟 CLK、空场输出端 BLK、极性选择端 POL、锁存数据输出端 /STB 是所有行芯片共用的, 控制信号 SIN、/STB、POL、BLK 由 FPGA 产生. 行后级集成驱动单元的应用系统时序图如图 6 所示. 其工作原理是: 一个行周期高电平有效的数据先从第一片 STV7697 的 SIN 端输入, 然后其余芯片由前一芯片的 SOUT 与后一芯片的 SIN 端级联传送信号, 这样在 240 个行扫描脉冲 CLK 信号即一场时间的作用下下一个行周期有效的扫描数据电平从第一个输出端依次移位到第 240 个输出端, 各信号经过内部功率放大器增益输出相应行的扫描脉冲. 行后级集成驱动单元满足下列参数: 电压 60 ~ 150 V(峰 - 峰值), 电流不小于 200 mA(峰 - 峰值), 从而使得该单元能够为屏提供较大的功率参数, 更大范围地兼容不同参数的屏; 行后级集成驱动单元还具有对电容性负载补偿的功能, 使得电路跟显示屏能得到良好的匹配。

4) FPGA 控制电路是整机时序产生控制电路, 它通过产生所需的单元控制信号, 分别对数据缓存单元、集成灰度调制驱动单元、行后级集成驱动单元进行控制. FPGA 控制电路产生行、列截取信号来实现对数据缓存单元的控制. 在地址信号的控制下, FPGA 按逻辑编程输出 512 个时钟周期的行截取信号, 截取每个输入行数据的前 480 个数据存入缓存, 实现行截取功能; 在行参考信号和奇偶场鉴别信号的控制下, FPGA 电路产生 240 隔行参考脉冲的场截取信号, 截取输入帧数据的 240 行数据并将之存入缓存, 实现列截取功能. 同时 FPGA 控制电路对集成灰度调制驱动单元的控制, 是通过产生 HV632PG 的灰度调制 Load Count (LC) 信号、接收数据使能输入端 CSI 信号来实现. 而 FPGA 控制电路对行后级集成驱动单元的控制, 是通过产生 STV7697 的串行输入 SIN、空场输出端 BLK、极性选择端 POL、锁存数据输出端 /STB 信号来实现. 图 7 是 FPGA 产生的控制信号的总体流程图.

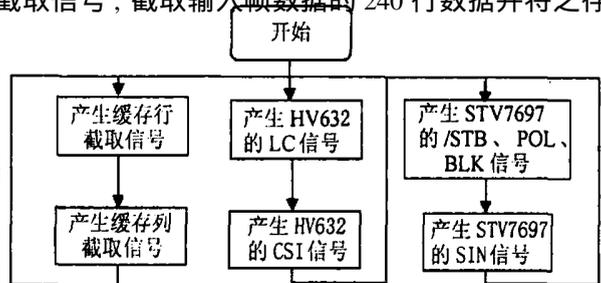


图 7 FPGA 产生的控制信号的总体流程图

Fig. 7 Overall flow chart of FPGA signal

3 大屏幕 FED 显示器显示效果

采用 HV632PG 芯片构成的能显示视频图像的 25 英寸 (635 mm) 彩色 FED 显示器集成视频驱动电路简单样机, 显示效果如图 8 所示. 该 FED 样机的主要性能指标如下:

显示器尺寸: 25 英寸 (635 mm);	颜色: 彩色;
电路灰度等级: 256 级;	对比度: 600 1;
显示容量: 480 × 240;	亮度: 200 cd/m ² ;
刷新率: 50 帧/s;	显示内容: 视频图像.

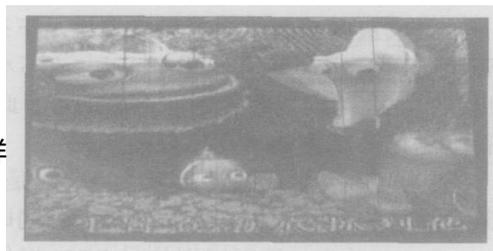


图 8 25 英寸 (635 mm) 彩色 FED 显示器视频显示照片

Fig. 8 Video photo of 25 inch color FED

4 结语

1) 采用数字视频图像的转换和处理、视频数据传输、列灰度驱动集成 HV632PG 和行集成驱动器 STV7697 芯片的接口电路及 FPGA 控制技术, 研制成能显示彩色视频图像的大屏幕 FED 显示器样机.

2) FED 驱动电路的集成化大大降低电路结构的复杂性, 使整个驱动电路体积缩小, 重量降低.

3) 目前, 该集成 FED 样机的亮度已达 200 cd/m², 电路灰度等级达 256 级, 对比度可达 600 1, 显示容量为 480 × 240, 显示颜色为彩色, 有效显示对角线尺寸为 25 英寸 (635 mm).

参考文献:

- [1] 应根裕, 胡文波, 邱勇, 等. 平板显示技术[M]. 北京: 人民邮电出版社, 2002.
- [2] 仲雪飞, 樊兆雯, 尹涵春, 等. 常开型后栅极场致发射显示板工作特性的研究[J]. 真空科学与技术, 2004(6): 404 - 407.
- [3] 宗耿, 张晓兵, 雷威, 等. 32 × 32 矩阵式 FED 的驱动电路[J]. 电子器件, 2004(3): 436 - 439.
- [4] 林志贤, 郭太良. 大屏幕 FED 视频显示系统[J]. 福州大学学报(自然科学版), 2004, 32(5): 548 - 550.
- [5] Supertex. Products, HV632PG, datasheet[DB/OL]. <http://www.supertex.com/pdf/datasheets/HV632.pdf>, 2003.
- [6] ST. Products, STV7697, datasheet[DB/OL]. <http://www.st.com/stonline/bin/sftab.exe>, 2003.

(接第 439 页)

- [6] Xiang J, Zha H Y. Robust sensor localization algorithm in wireless Ad-Hoc sensor networks[A]. Computer Communications and Networks[C]. Atlanta: ACM Press, 2003. 527 - 532.
- [7] Capkun S, Hamdi M, Hubaux J P. GPS-free positioning in mobile Ad-Hoc networks[A]. In Proceedings of Hawaii International Conference on System Sciences[C]. Hawaii: Prentice Hall, 2001. 3481 - 3490.
- [8] Doherty L, Pister K. Convex position estimation in wireless sensor networks[A]. In Proceedings of the 21st Annual Joint Conference of the IEEE Computer and Communications Societies[C]. Hawaii: Prentice Hall, 2001. 1655 - 1663.
- [9] Caffery J J, Stuber G L. Overview of radio location CDMA cellular system[J]. IEEE Communications, 1998(2): 23 - 33.
- [10] Chen P C. A non-line-of-sight error mitigation algorithm in location estimation[A]. IEEE Wireless Communications and Networking Conference[C]. New York: Prentice Hall, 1999. 465 - 463.
- [11] Bulusu N, Heidemann J, Estrin D. GPS-less low-cost outdoor localization for very small devices[J]. IEEE Wireless Communications, 2000(7): 28 - 34.
- [12] Xu Y Q, Lee W C. On localized prediction for power efficient object tracking in sensor networks[A]. The Proceedings of Distributed Computing Systems Workshops[C]. Atlanta: ACM Press, 2003. 434 - 439.
- [13] Stojmenovic I, Datta S. Power and cost aware localized routing with guaranteed delivery in wireless networks[A]. The Proceedings of Computers and Communications[C]. Atlanta: ACM Press, 2002. 31 - 36.
- [14] 王玉孝. 概率论与随机过程[M]. 北京: 北京邮电大学出版社, 2003. 46 - 87.