

Day 1

| SPECCTRAQuest Design Flow: Pre-Placement | SPECCTRAQuest Design Flow: Solution Space Analysis |
|--|---|
| Introduction Course Objectives Course Schedule SPECCTRAQuest Design Flow What is SPECCTRAQuest SI Expert? Board Setup Requirements Database Setup Advisor Signal Analysis Library Browser Translating Signal Models Basic Display Functions | Topology Extraction Setup for Topology Extraction Unrouted Topology Extraction Viewing Circuit Parameters Simulation Setup SQ Signal Explorer Expert Simulation Report Data and Waveforms Delay Measurements Simulation Directory Structure in SQ Signal Explorer Expert |

Day 2

| SPECCTRAQuest Design Flow: Solution Space Analysis Determine and Apply Constraints | SPECCTRAQuest Design Flow: Crosstalk Simulation in SQ Signal Explorer Expert and Constraint Driven Placement |
|---|--|
| <p>What is Solution Space Analysis?</p> <p>Parametric Sweeps</p> <p>Constraints Introduction</p> <p>Topology Template Constraints</p> <p>Assigning Constraints in a Topology</p> <p>Assigning Delay Constraints</p> <p>Assigning Parallelism Constraints</p> <p>Assigning Impedance Constraints</p> <p>Assigning Match-Delay Constraints</p> <p>Assigning Other Constraints</p> | <p>Building the Topology</p> <p>Coupled Trace Models</p> <p>Crosstalk Simulation in SigXplorer</p> <p>Crosstalk Simulations</p> <p>Key Features of Constraint Manager</p> <p>Constraint Manager Spreadsheet</p> <p>CSet Application to the Bus</p> <p>Physical and Electrical Constraints</p> <p>Performing Timing-Driven Placement</p> <p>Analyzing in Constraint Manager</p> |

Day 3

| SPECCTRAQuest Design Flow: Constraint Driven Routing | SPECCTRAQuest Design Flow: Post-Route DRC and Post-Route Analysis |
|---|--|
| <p>Introduce SPECCTRA</p> <p>SPECCTRA Interface</p> <p>Router Setup</p> <p>Routing Passes Setup</p> <p>Smart Router Setup</p> <p>Object Selections</p> <p>Basic Do File</p> <p>Interactive Editor</p> <p>Driving Constraints into Routing</p> | <p>Updating a Topology</p> <p>Performing a DRC Audit</p> <p>Simulation Preferences in SPECCTRAQuest</p> <p>Signal Analysis Window</p> <p>SigNoise Report Generator</p> <p>Performing Various Simulations</p> <p>Reading the Various Reports</p> <p>Extracting and Viewing a Topology</p> <p>from the Signal Analysis Window</p> <p>System Level Analysis</p> |

Differential Pair Design Exploration:

Creating Differential Pair

Assigning Differential Pair Signal Model

Differential Pair Topology Extraction

Analyzing Differential Pair Topology in SQ Signal Explorer Expert

Assigning Differential Pair Constraints

Applying Differential Pair ECSet

Differential Pair Routing

Post Route Differential Pair Topology Extraction

高速PCB设计中的 理论基础



目的

- 系统地认识高速PCB设计中会遇到哪些棘手问题？这些问题有什么现象和表现形式？
- 理解问题产生的原因、机理
- 掌握问题的解决方法
- 了解高速PCB设计工具的作用



主题

- 信号完整性问题
- 时序问题
- 高速PCB设计工具的作用



问题的提出

随着大规模/超大规模集成电路（VLSI）技术的飞速发展。

- IC芯片体积越来越小，见图1。
- IC芯片速度越来越快，见图2。



IC芯片体积越来越小

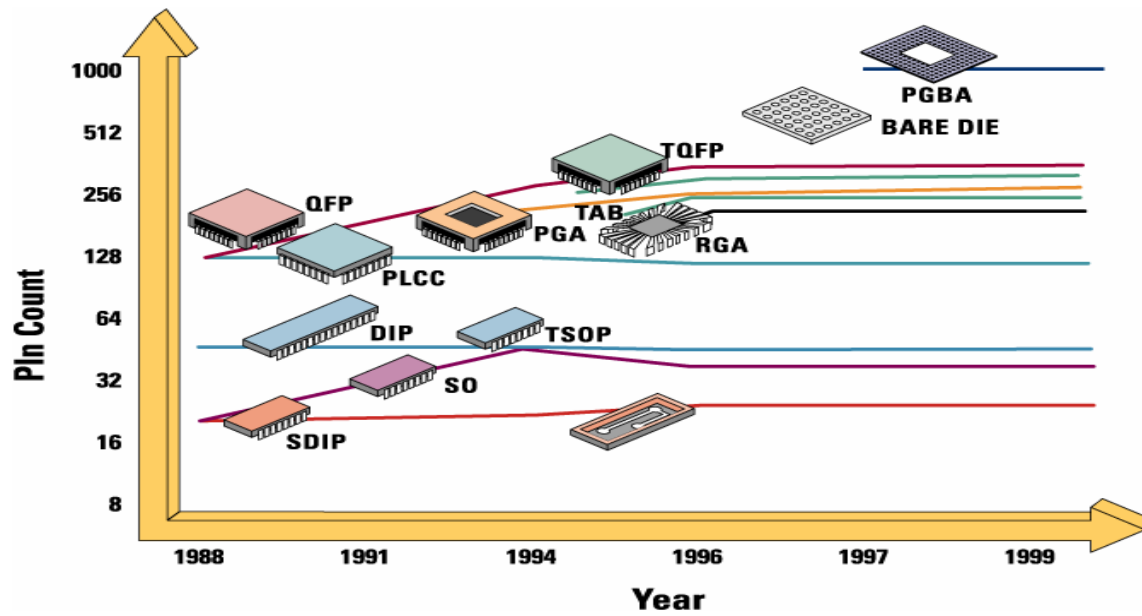
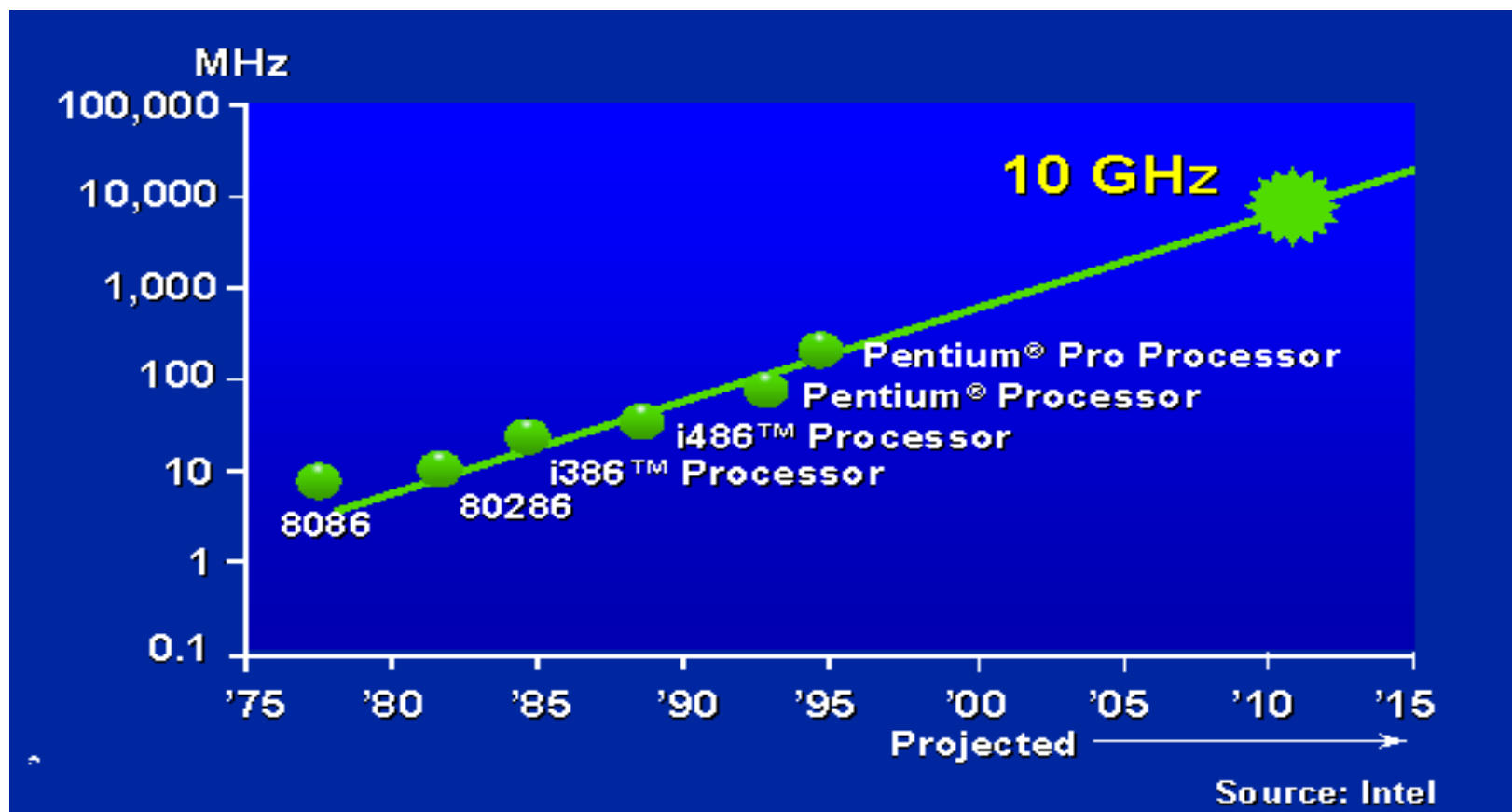


图1 近年来IC封装的发展

IC芯片速度越来越快





例子

- TMS320C6416仅23mmX23mmX3.3mm，主频720MHz，532个管脚，BGA封装，管脚间距0.8mm。一元的人民币硬币直径为24mm。
- MEMS:硬币大小的微机械加速度计和陀螺仪。



带来了新问题

- 由IC芯片构成的电子系统朝着大规模、小体积、高速度的方向飞速发展，而且发展速度越来越快。
- 这样就带来了一个问题，即电子系统的体积减小导致电路的布局布线密度变大，而同时信号的频率和边沿速率还在提高。
- 研究表明：当信号的互连延迟大于边沿信号翻转时间的10%时，板上的信号导线就会呈现出传输线效应，使得信号反射、串扰等一系列问题变得越来越突出。



高速PCB设计的重要性

- 高速问题的出现给硬件设计带来了更大的挑战，有许多从逻辑角度看来正确的设计，如果在实际PCB设计中处理不当就会导致整个设计失败。
- 专家预测，在未来的硬件电路设计开销方面，逻辑功能设计的开销将大为缩减，而与高速设计相关的开销将占总开销的80%甚至更多。高速PCB设计已成为系统设计能否成功的关键因素之一。



一些失败的例子



困惑???

- 为什么如此多的失败呢？自己设计时有把握一次成功吗？会重蹈他人覆辙吗？
- 失败并非偶然，必有其内在原因。主要原因是没有意识到高速设计中的特殊问题或重视不够，没有采取必要的有效措施。
- 重视高速问题而且还要系统地学习一套解决方法。
- 那么在高速数字电路中会遇到哪些问题？其原因何在？如何才能解决呢？有没有EDA工具帮助我们方便地解决呢？



高速PCB设计中的常见问题

- 信号完整性
- 时序匹配
- 电磁兼容性



信号完整性(signal integrity)

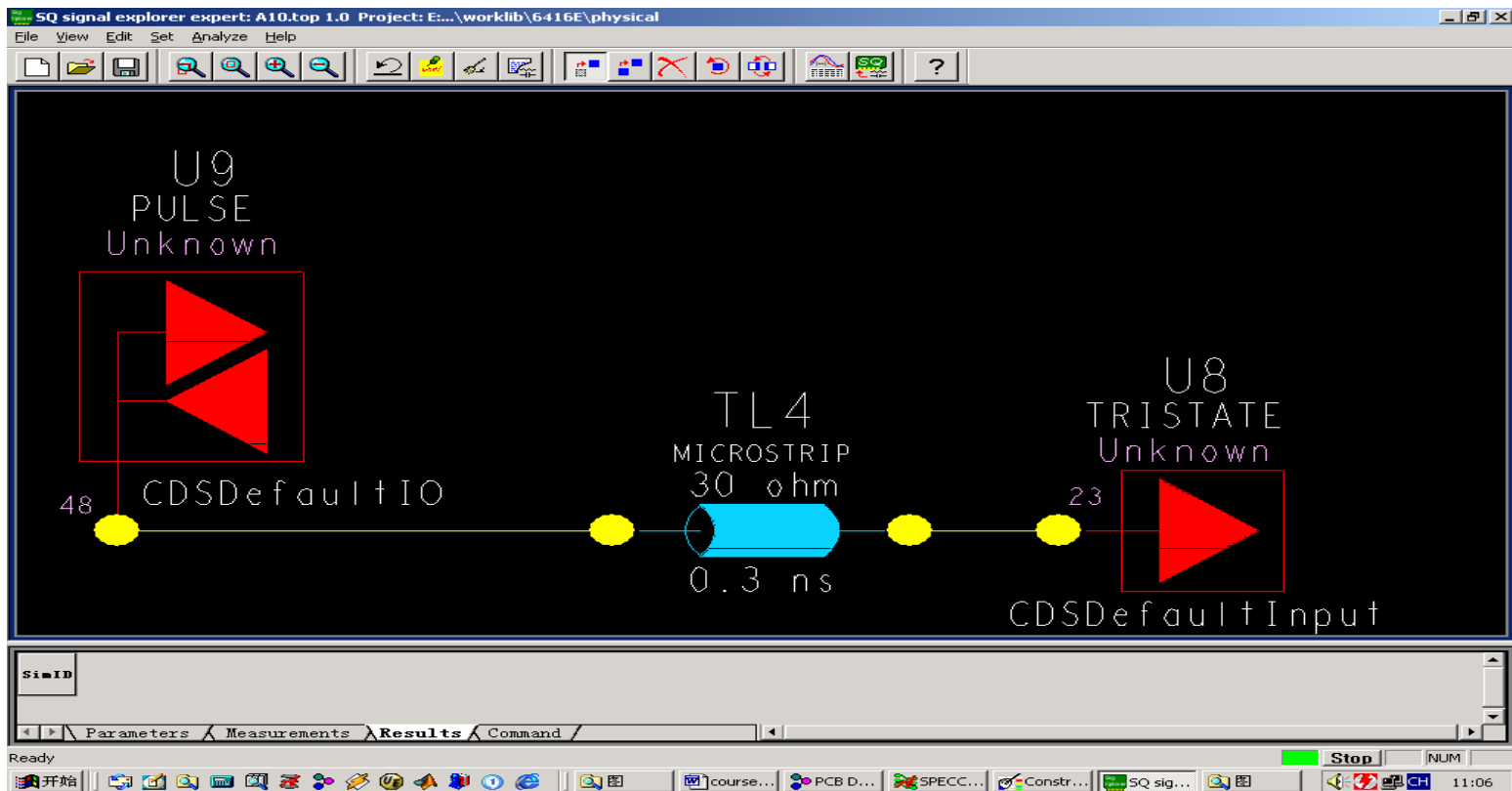
- 信号完整性是指信号在信号线上的质量。
- 好的信号完整性使系统正常、稳定地工作。差的信号完整性使系统无法正常、稳定地工作。
- 差的信号完整性不是由某一单一因素导致的，而是板级设计中多种因素共同引起的。
- 主要的信号完整性问题包括反射、串扰、振铃、地弹、过冲等。



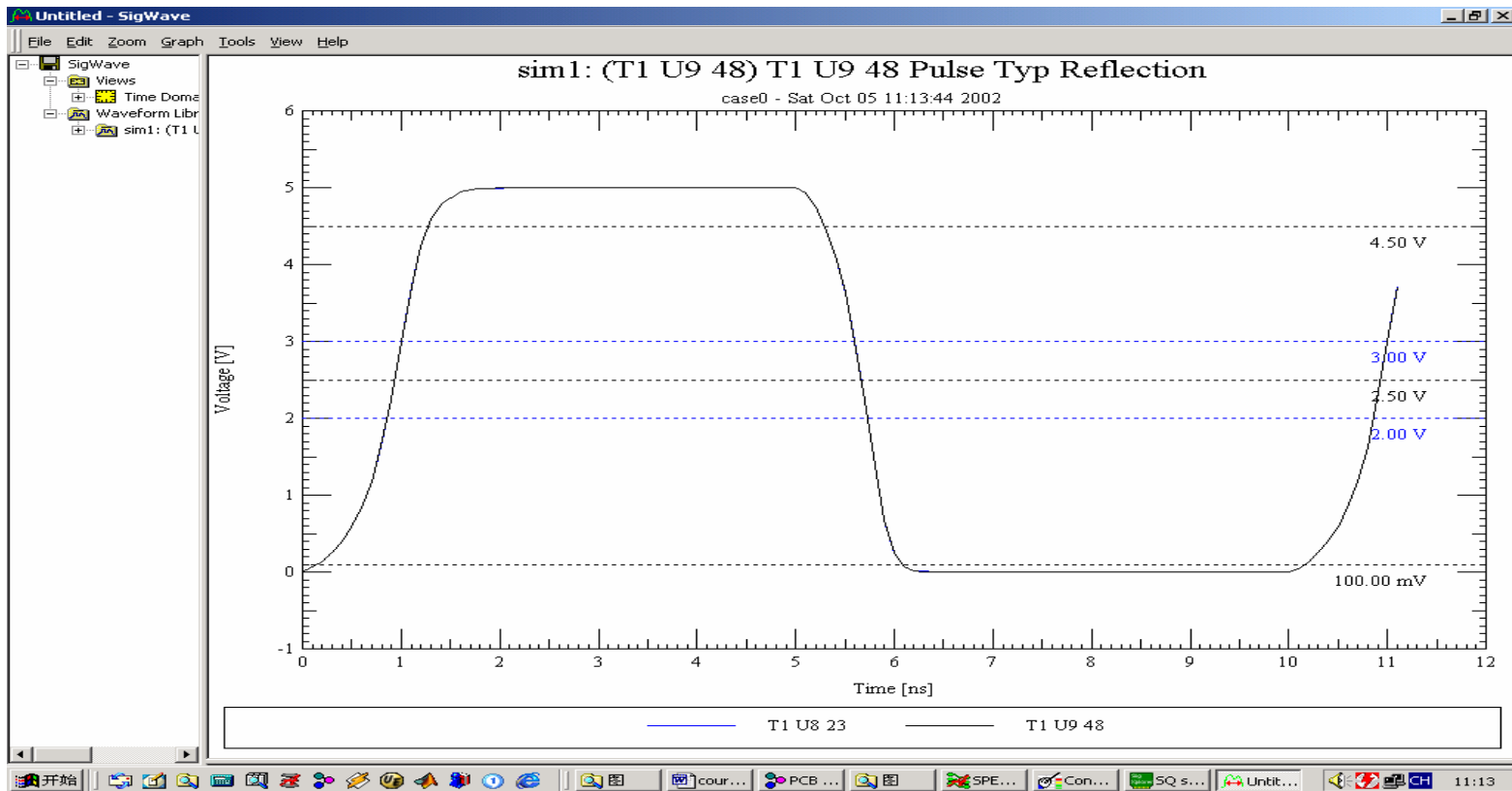
反射 (reflection)

- 反射就是信号在传输线上的回波。
- 传输线上的阻抗不连续会导致信号反射，使信号波形严重畸变，并且引起一些有害的干扰脉冲，影响整个系统的正常工作。
- 布线的几何形状、不正确的线端接、经过连接器的传输及电源平面的不连续等因素的变化均会导致此类反射。

某信号的拓扑结构图

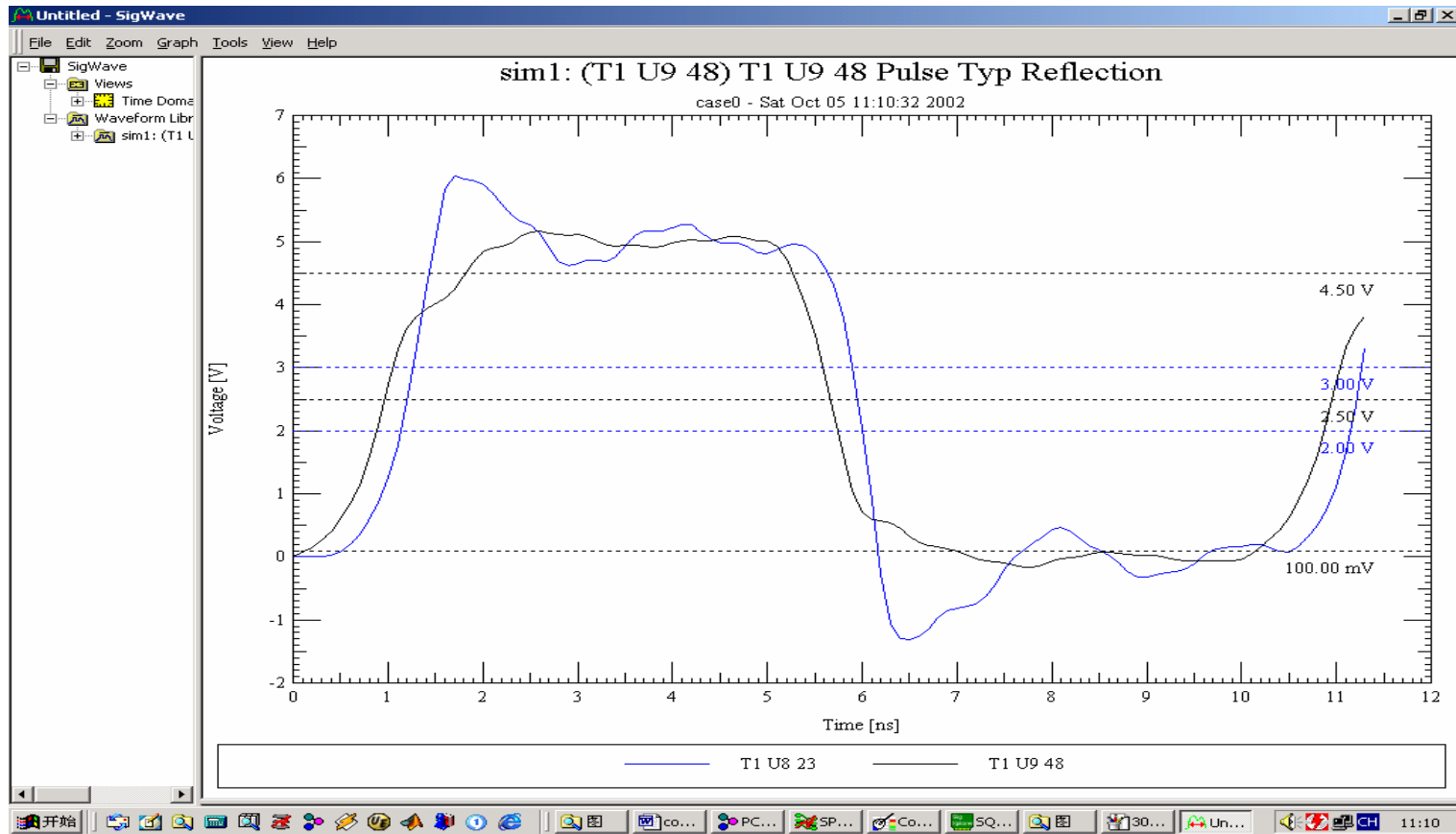


两管脚短路时的发端、收端信号仿真波形(100MHz)

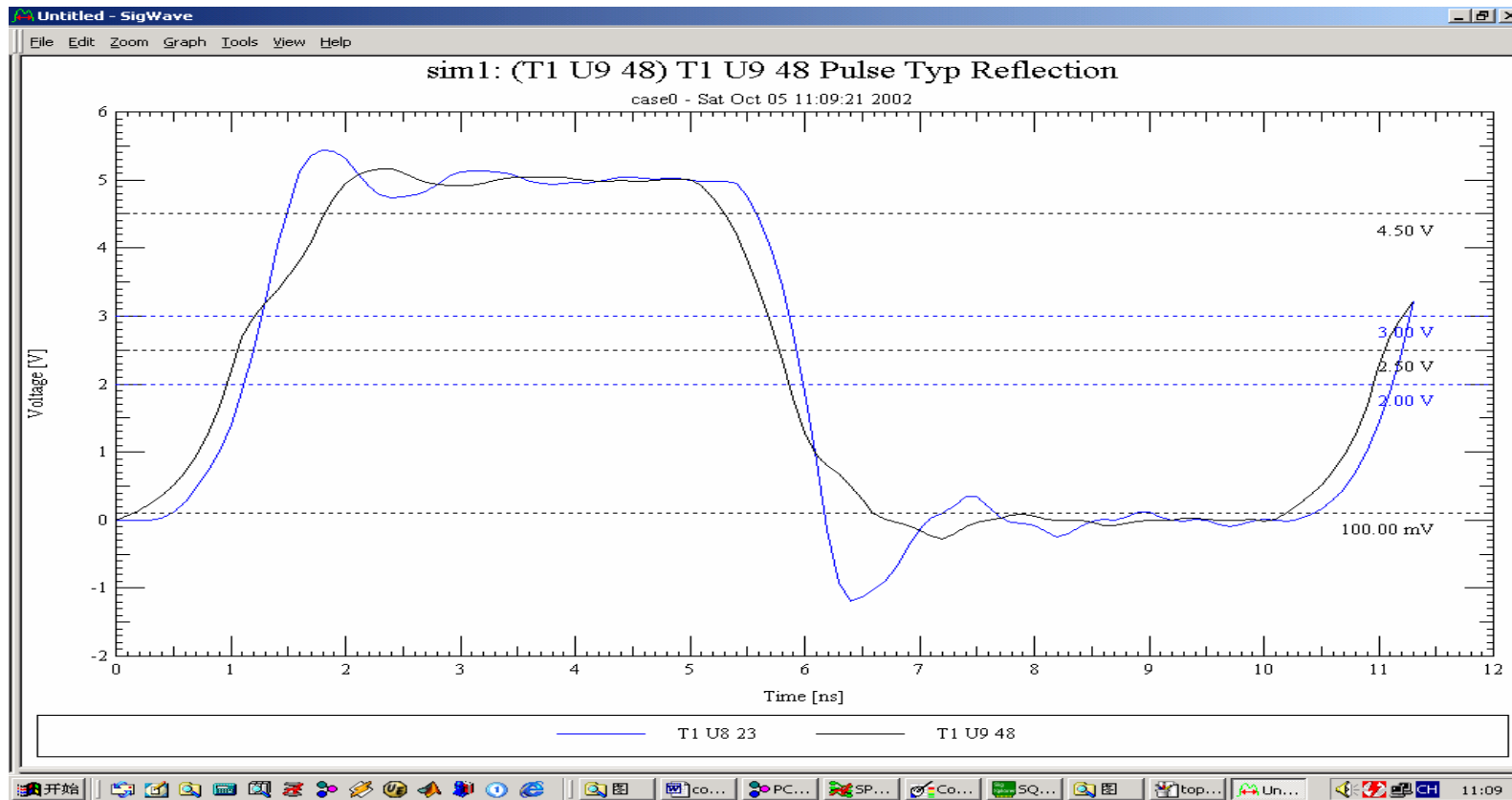




传输线特性阻抗为60欧姆，长42mm时的发端、收端信号仿真波形(100MHz)



传输线特性阻抗为30欧姆，长42mm时的发端、收端信号仿真波形(100MHz)



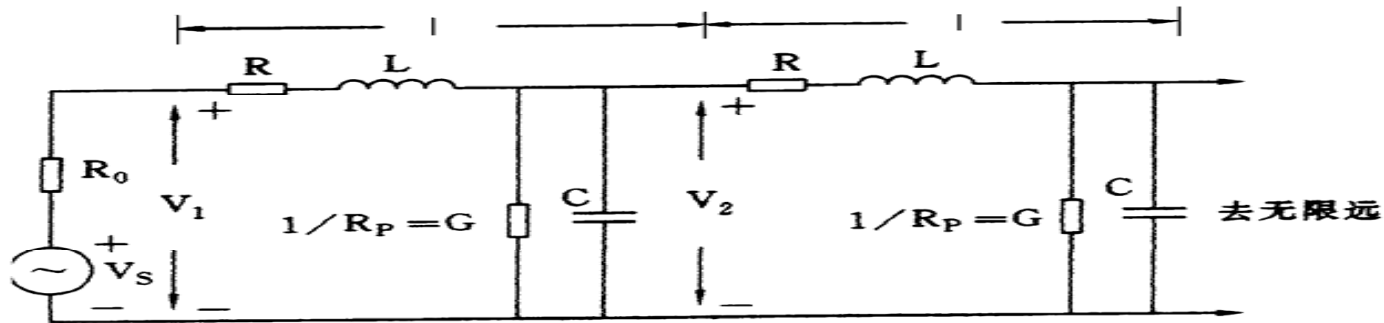


两个重要名词

- 传输线
- 特性阻抗

传输线

在高速电路中，信号以电磁波的速度在信号线上传输，信号线应看作传输线，是带有分布电阻、分布电容、分布电感的复杂网络，其模型如下图。



实际的传输线模型

- 当信号的互连延迟大于边沿信号翻转时间的10%时，板上的信号线就会呈现出传输线效应，使得信号反射、串扰等一系列问题变得越来越突出。



特性阻抗

- 特性阻抗是传输线理论中最常用也是最重要的参数之一，它代表的是信号线某一点上瞬态电压与瞬态电流的比值，只要分布参数恒定，传输线的特性阻抗就是固定的。

- 特性阻抗计算公式为： $Z_0 = \sqrt{L_0/C_0}$

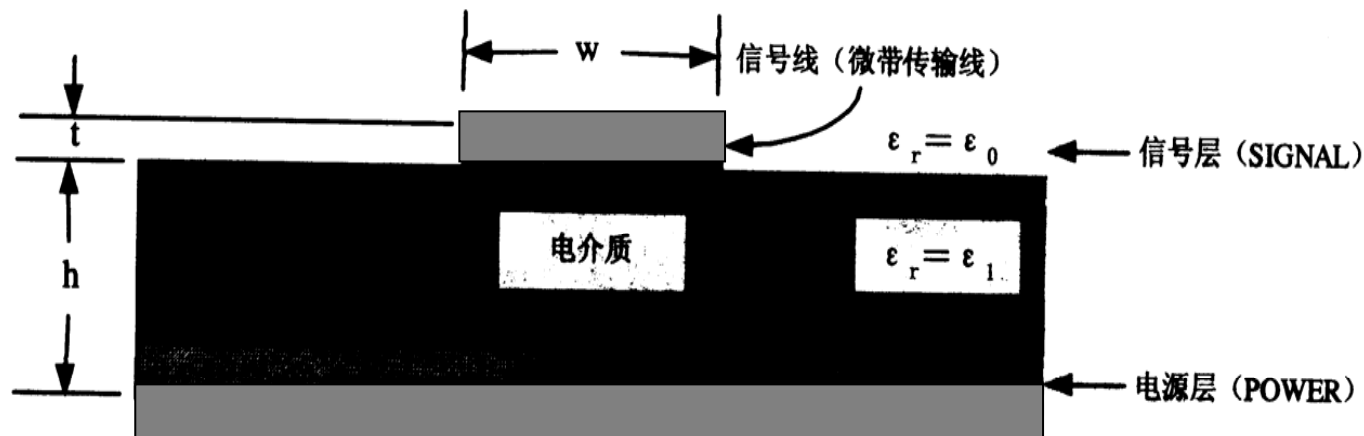
其中 Z_0 代表传输线的特性阻抗， L_0 代表单位长度的电感， C_0 代表单位长度的电容。



PCB板上常见的几种传输线

- 微带传输线
- 带状传输线
- 差分线
- 带状差分线

微带传输线结构图



微带传输线的特性阻抗:

$$z_0 = 87 / (\sqrt{\xi} + 1.41) * \ln(5.98h / (0.8w + t))$$

$$\text{传输延迟: } t_{pd} = 1.017 \sqrt{0.45 \xi + 0.67} (ns / ft)$$



差分线(Differential Pair)

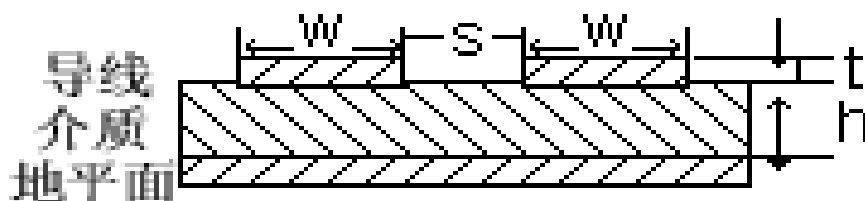


图4 差分线

差分阻抗: $Z_{diff} = 2Z_0 [1 - 0.48 \exp(\frac{-0.96s}{h})] (\Omega)$

其中单线阻抗: $Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98h}{0.8w+t} (\Omega)$

传输延时: $t_{pd} = 85 \sqrt{0.475\epsilon_r + 0.67} (ps/inch)$

式中: w ——导线宽度 t ——导线厚度
 h ——介质厚度 s ——导线边缘间距



带状差分线 (Edge-coupled Symmetrical Stripline)

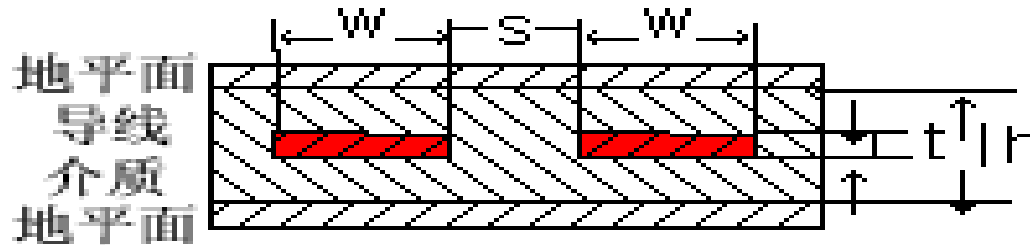


图6 带状差分线

差分阻抗: $Z_{diff} = 2Z_0 [1 - 0.347 \exp(\frac{-0.29s}{h})] (\Omega)$

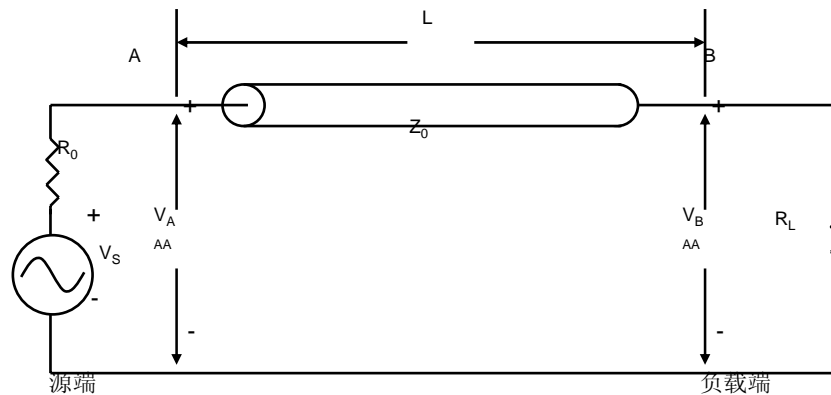
其中单线阻抗: $Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4h}{0.67\pi(0.8w+s)} (\Omega)$

传输延时: $t_{pd} = 85 \sqrt{\epsilon_r} (ps/inch)$

式中: w——导线宽度 t——导线厚度
h——介质厚度 s——导线边缘间距

反射理论

- 下面以下图所示的理想传输线模型来分析与信号反射有关的重要参数。图中，理想传输线L被内阻为 R_0 的数字信号驱动源 V_S 驱动，传输线的特性阻抗为 Z_0 ，负载阻抗为 R_L



理想传输线模型及相关参数



负载端反射情况

- 负载端阻抗与传输线阻抗不匹配会在负载端（B点）反射一部分信号回源端（A点），反射信号的幅值由负载反射系数 ρ_L 决定。

$$\rho_L = \frac{R_L - Z_0}{R_L + Z_0}$$

式中， ρ_L 为负载电压反射系数，它实际上是反射电压与入射电压之比。

负载端反射情况分析

$$-1 \leq \rho_L \leq +1$$

$$\rho_L = \frac{R_L - Z_0}{R_L + Z_0}$$

- 当 $R_L = Z_0$ 时， $\rho_L = 0$ ，这时就不会发生反射。即只要根据传输线的特性阻抗进行终端匹配，就能消除反射，这种情况称为临界阻尼。
- 当 $R_L > Z_0$ 时， $\rho_L > 0$ ，负载端多余的能量就会反射回源端，这种情况称为欠阻尼。
- 当 $R_L < Z_0$ 时， $\rho_L < 0$ ，负载试图消耗比当前源端提供的能量更多的能量，故通过反射来通知源端输送更多的能量，这种情况称为过阻尼。
- 从系统设计的角度来看，由于临界阻尼情况很难满足，所以最可靠适用的方式轻微的过阻尼，因为这种情况没有能量反射回源端。



源端反射情况

- 当从负载端反射回的电压到达源端时，又将再次反射回负载端，形成二次反射波，此时反射电压的幅值由源反射系数 ρ_s 决定。

$$\rho_s = \frac{R_0 - Z_0}{R_0 + Z_0}$$

- 源端反射情况分析同负载端一样（略）



阻抗匹配

- 由以上分析可知，减小和消除反射的方法是根据传输线的特性阻抗在其发送端或接收端进行终端阻抗匹配，从而使源反射系数或负载反射系数为零，以消除反射。
- 传输线的端接通常采用两种策略：
 - 使负载阻抗与传输线阻抗匹配，即并行端接。
 - 使源阻抗与传输线阻抗匹配，即串行端接。



端接方案

- 从系统设计的角度，应首选并行端接方案，因其在信号能量反射回源端之前在负载端消除反射，因而消除一次反射，这样可以减小噪声、电磁干扰（EMI）及射频干扰（RFI）。
- 串行端接方案则是在源端消除由负载端反射回来的信号，只是消除二次反射，不过由于它实现简单方便，在许多应用中也被广泛采用。

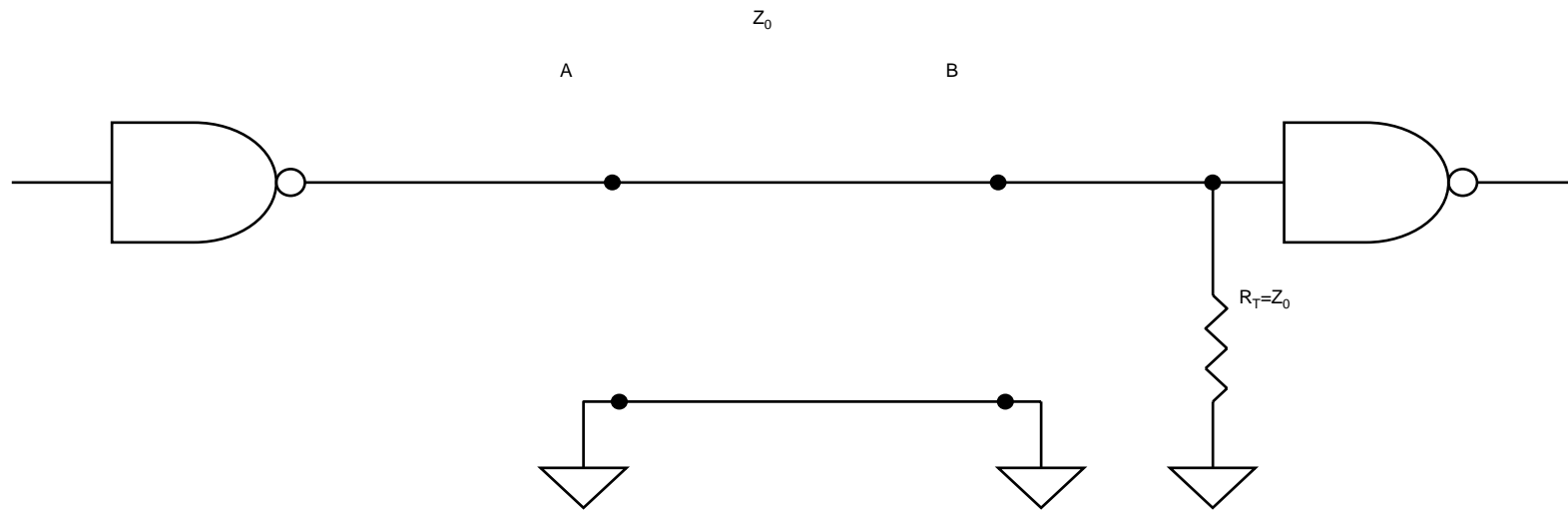


并行端接

- 并行端接主要是在尽量靠近负载端的位置加上拉和/或下拉阻抗以实现终端的阻抗匹配，根据不同的应用环境，并行端接又可分为以下几种类型：
 - 简单的并行端接
 - 戴维宁（Thevenin）并行端接
 - 主动并行端接
 - 并行AC端接
 - 二极管并行端接



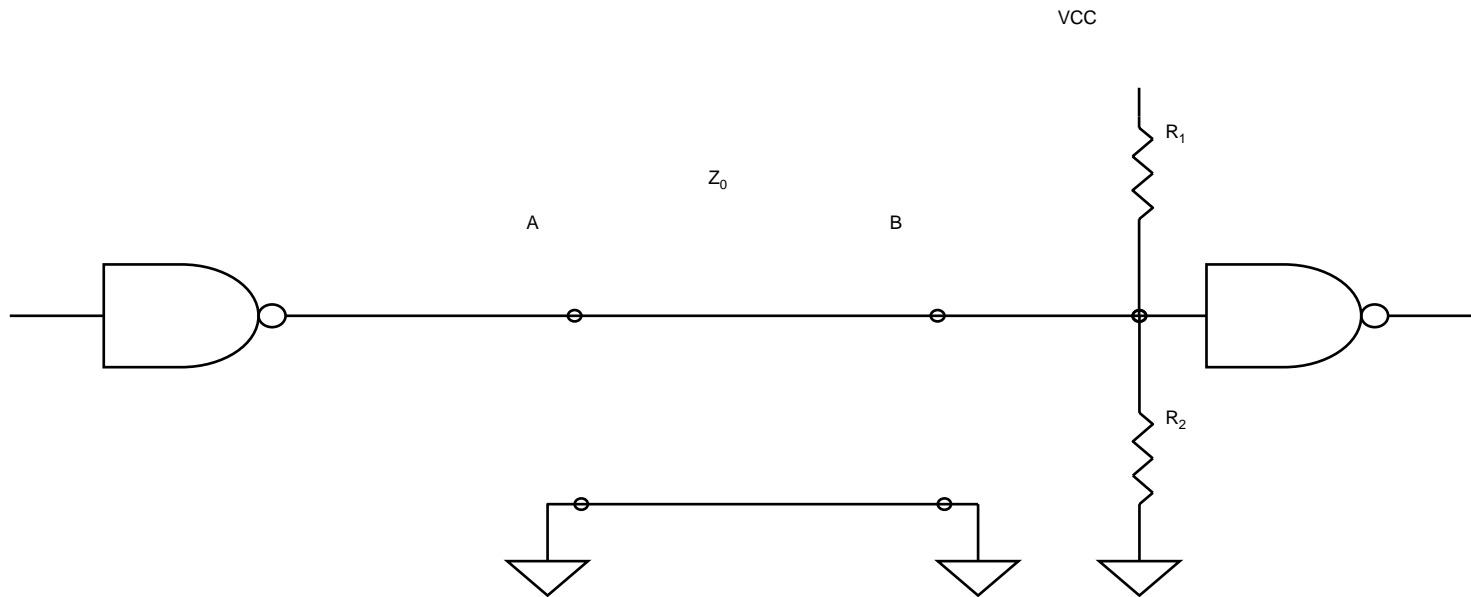
简单的并行端接



简单的并行端接



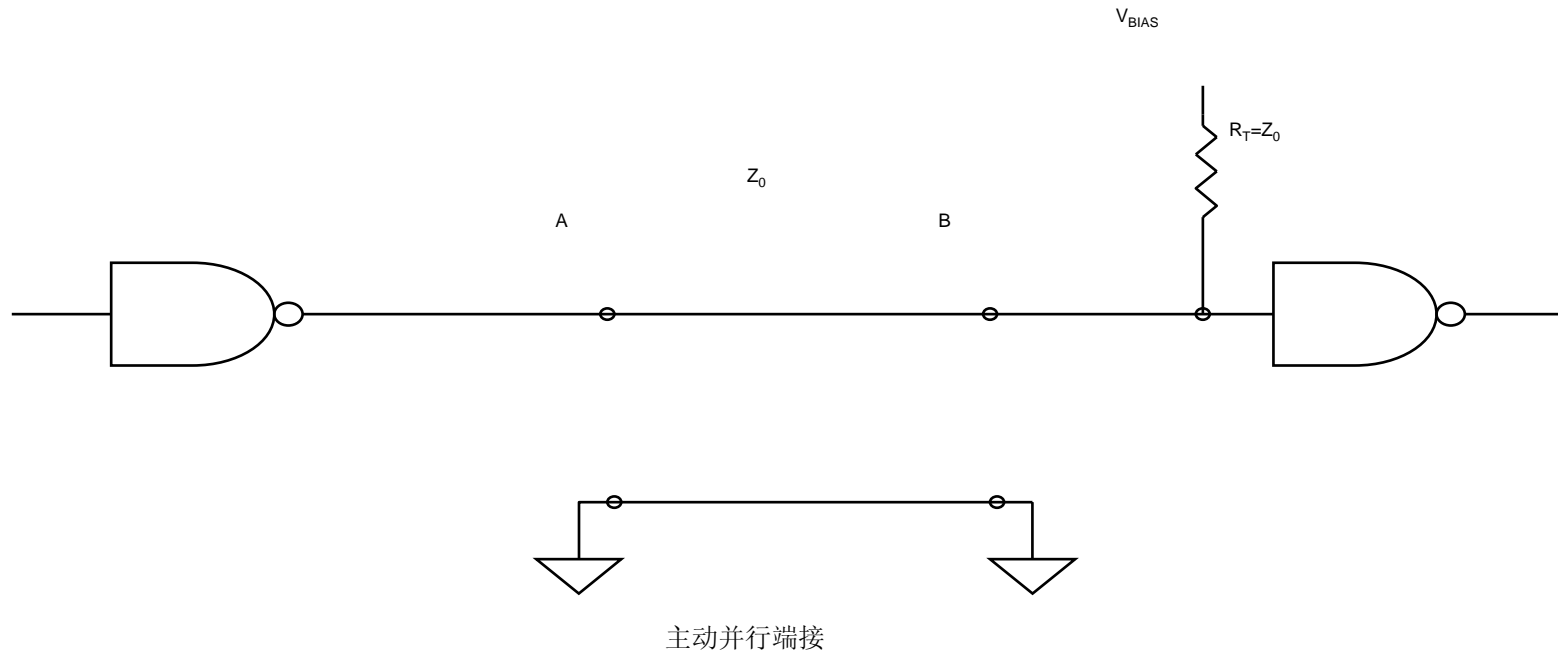
戴维宁 (Thevenin) 并行端接



戴维宁 (Thevenin) 并行端接



主动并行端接





并行AC端接

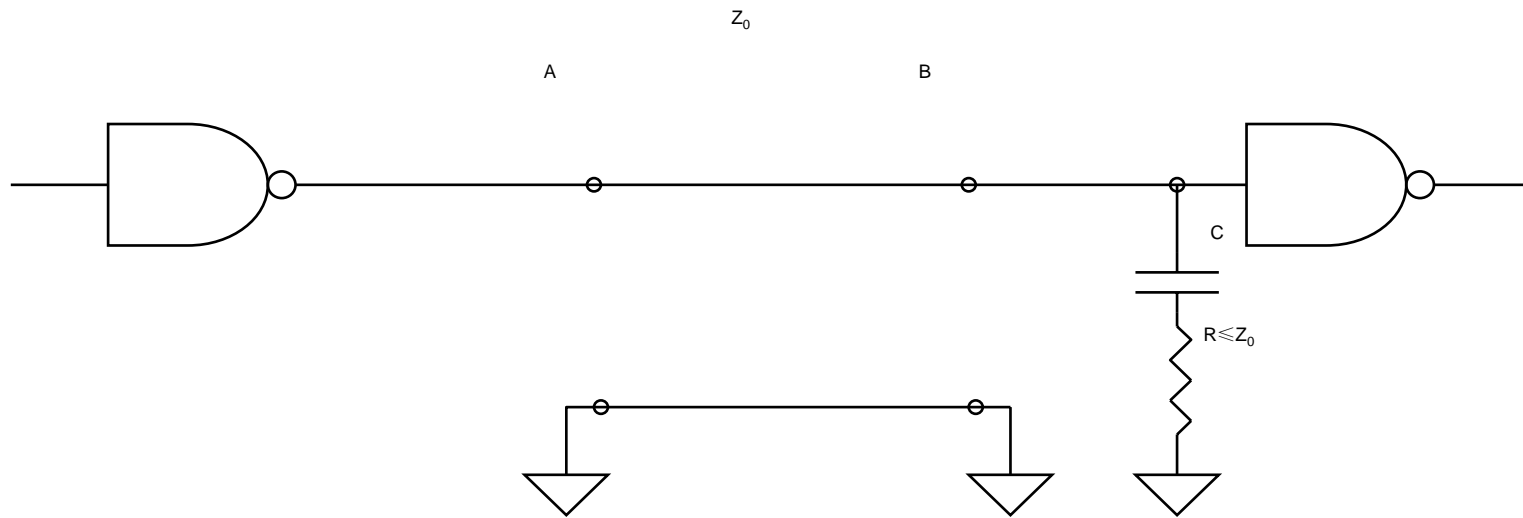
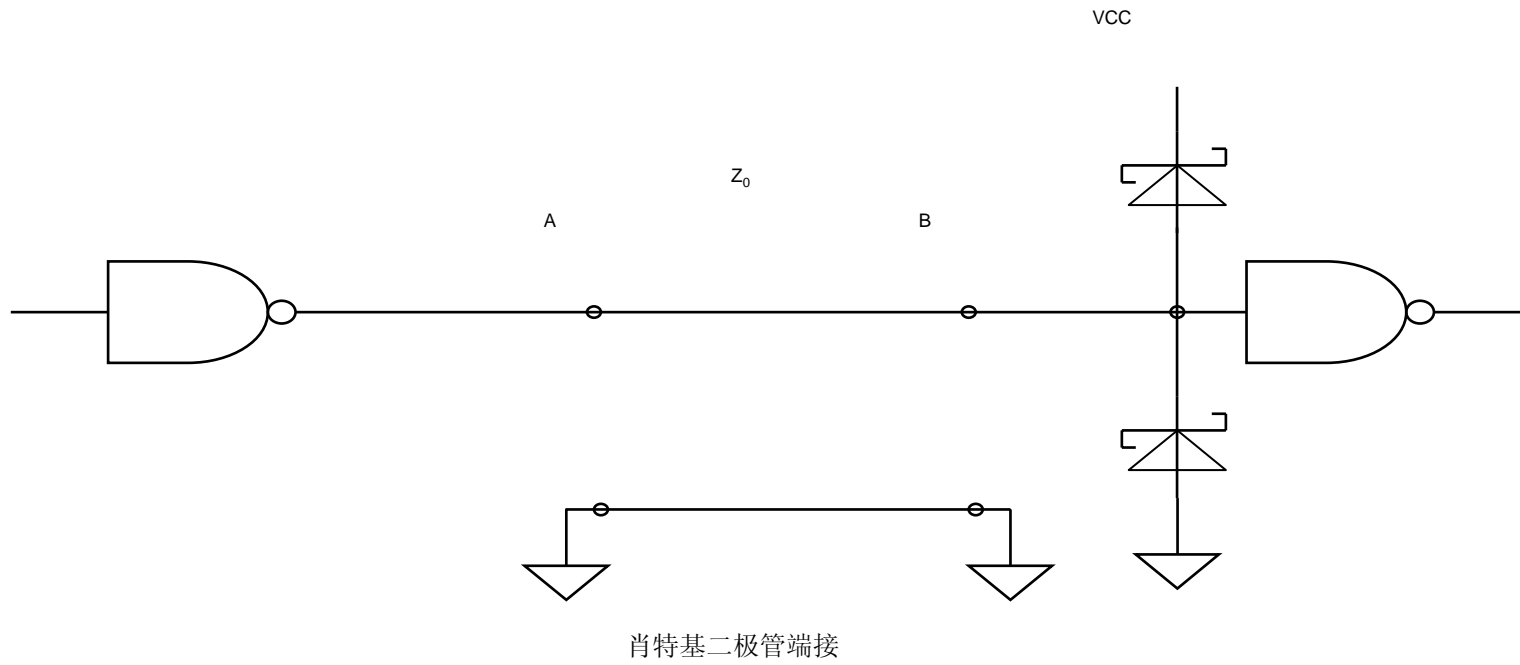


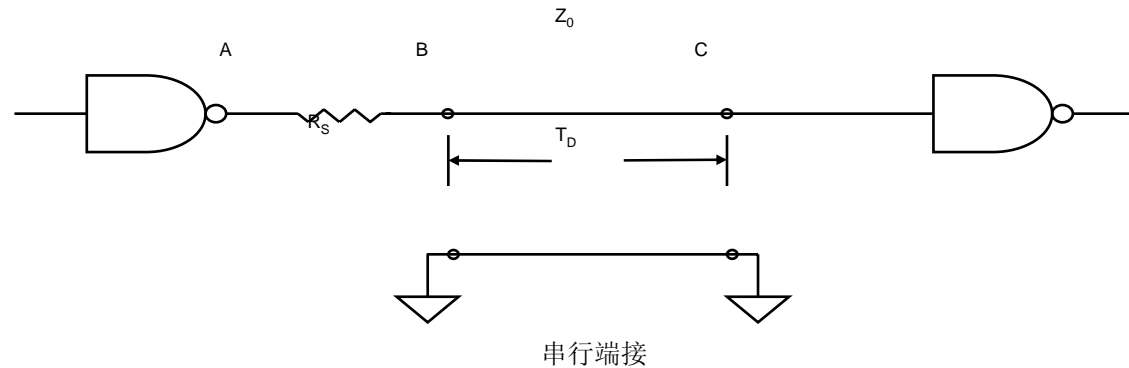
图6 并行AC端接



二极管并行端接



串行端接



- 串行端接是通过在尽量靠近源端的位置串行插入一个电阻 R_S （典型 $10\ \Omega$ 到 $75\ \Omega$ ）到传输线中来实现的。串行端接是为了匹配信号源的阻抗，所插入的串行电阻阻值加上驱动源的输出阻抗应大于等于传输线阻抗（轻微过阻尼）。



多负载的端接

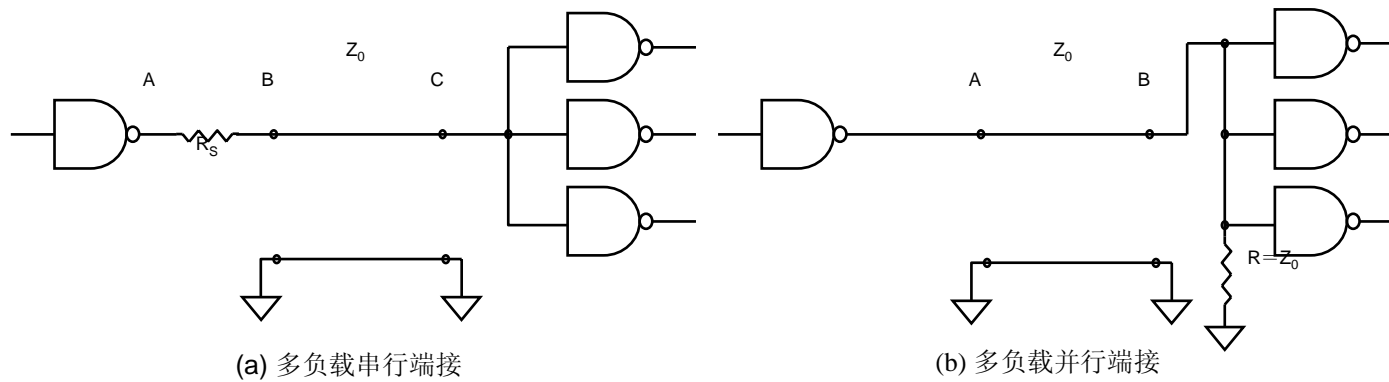
- 在实际电路中常常会遇到单一驱动源驱动多个负载的情况，这时需要根据负载情况及电路的布线拓扑结构来确定端接方式和使用端接的数量。

- 按负载之间的距离可分为如下两种情况：

多个负载之间的距离较近

多个负载之间的距离较远

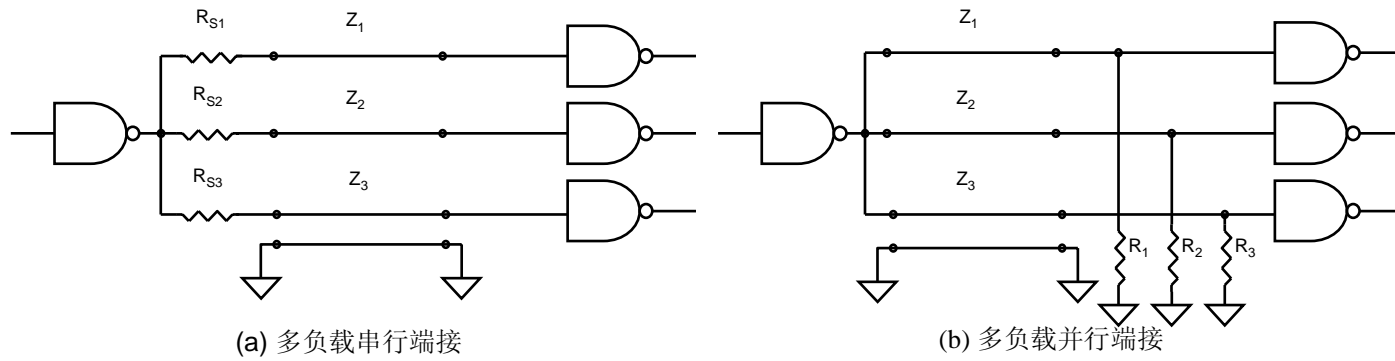
多个负载之间的距离较近时



多负载串行方式下的端接策略



多个负载之间的距离较远时



多负载并行方式下的端接策略

不同工艺器件的端接策略

阻抗匹配与端接技术方案随着互联长度和电路中逻辑器件的家族不同也会有所不同，只有针对具体情况，使用正确适当的端接方法才能有效地减小信号反射。

- 一般来说

对于一个CMOS工艺的驱动源，其输出阻抗值较稳定且接近传输线的阻抗值，因此对于CMOS器件使用串行端接技术就会获得较好的效果。

TTL工艺的驱动源在输出逻辑高电平和低电平时其输出阻抗有所不同，这时，使用并行戴维宁端接方案则是一种较好的策略。

ECL器件一般都具有很低的输出阻抗，因此，在ECL电路的接收端使用一下拉端接电阻（下拉电平需要根据实际情况选取）来吸收能量则是ECL电路的通用端接技术。

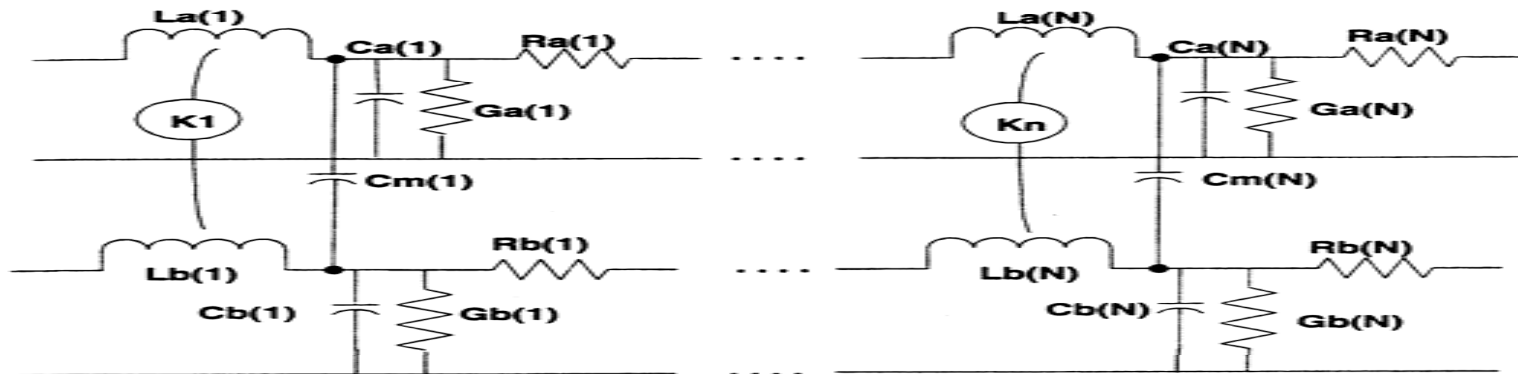


端接策略小结

- 上述方法也不是绝对的，具体电路上的差别、网络拓扑结构的选取、接收端的负载数等都是可以影响端接策略的因素。
- 因此在高速电路中实施电路的端接方案时，需要根据具体情况通过分析仿真来选取合适的端接方案以获得最佳的端接效果。

串扰(crosstalk)

串扰是指当信号在传输线上传播时，因电磁耦合对相邻的传输线产生的不期望的信号噪声干扰。过大的串扰可能引起电路的误触发，导致系统无法正常工作。信号在通过一导体时会在相邻的导体上引起两类不同的噪声信号：容性耦合信号与感性耦合信号。容性耦合引发耦合电流，而感性耦合引发耦合电压。其等效电路如下：



两条耦合线的等效模型

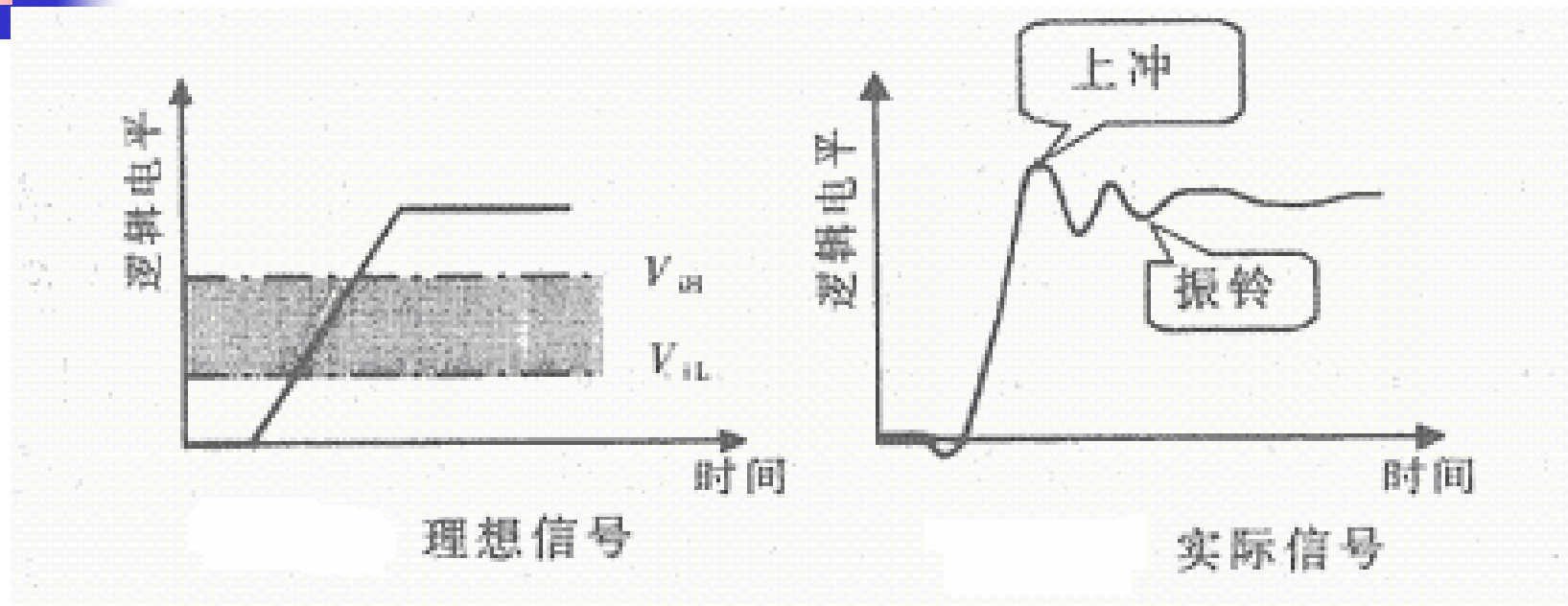
串扰的因素、规律及其解决措施

PCB板层的参数、信号线间距、驱动端和接收端的电气特性及线端接方式对串扰都有一定的影响。

- 串扰大小随线间距的增加而迅速衰减，与线平行长度成正比；串扰随电路中负载的变化而变化，对于相同的拓扑结构和布线情况，负载越大，串扰越大；串扰与信号频率成正比，在数字电路中，信号的边沿变化对串扰的影响最大，边沿变化越快，串扰越大。
- 加大线间距，减小线平行长度，必要时可以以jog方式走线；加入端接匹配可以减小或消除反射，从而减小串扰；对于微带传输线和带状传输线，将走线高度限制在高于地线平面10mil以内，可以显著减小串扰；在布线空间允许的条件下，在串扰较严重的两条线之间插入一条地线，可以起到隔离的作用，从而减小串扰。



振铃 (ringing)



信号的振铃由线上过度的电感和电容引起，它同反射一样也是由多种因素引起的，振铃可以通过适当的端接予以减小，但是不可能完全消除。



地弹

- 由于芯片封装与电源平面间的寄生电感和电阻的存在，当大量芯片内的电路输出级同时动作时，会产生较大的瞬态电流，导致电源线上和地线上电压波动和变化，这也就是我们通常所说的地弹。
- 这样会在真正的地平面（0V）上产生电压的波动和变化，这个噪声会影响其它元器件的动作。负载电容的增大、负载电阻的减小、地电感的增大、同时开关器件数目的增加均会导致地弹的增大。



时序问题

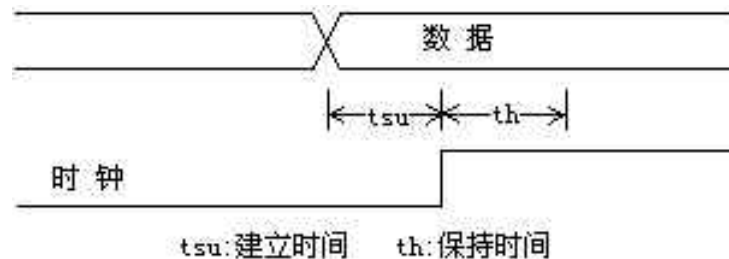
- 由于高速数字系统工作频率越来越高，信号上升/下降沿越来越陡，布线延时相对信号传输时间已不可忽略，它对信号的建立和保持时间起着至关重要的作用。
- 影响布线延时的主要因素包括线迹的阻抗和长度, 驱动特性, 负载。

高阻抗和长的线迹将减慢信号的缓冲上升时间。

大负载将减慢信号的缓冲上升时间。

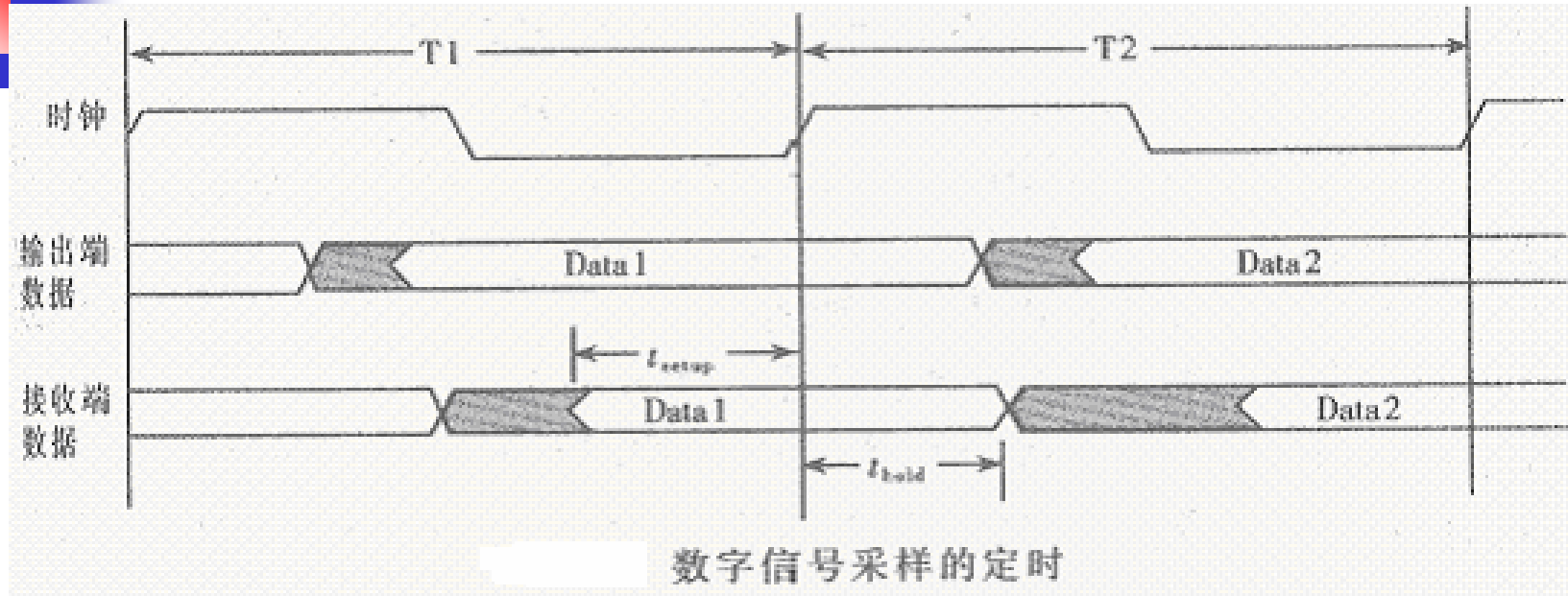
驱动能力强将减小负载对缓冲上升时间的影响。

建立时间和保持时间

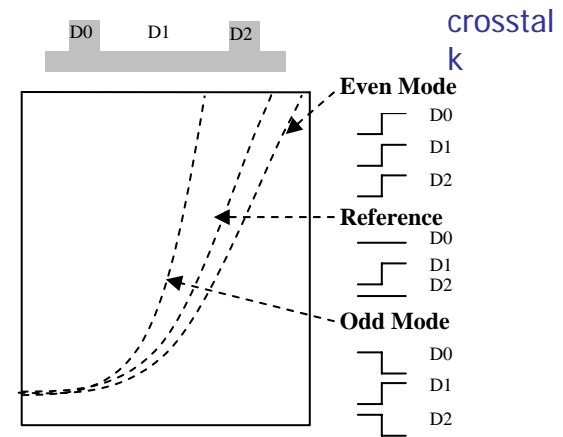
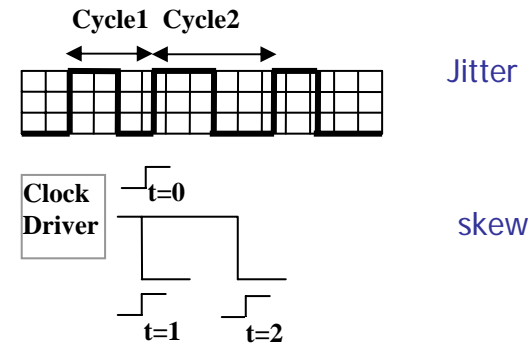
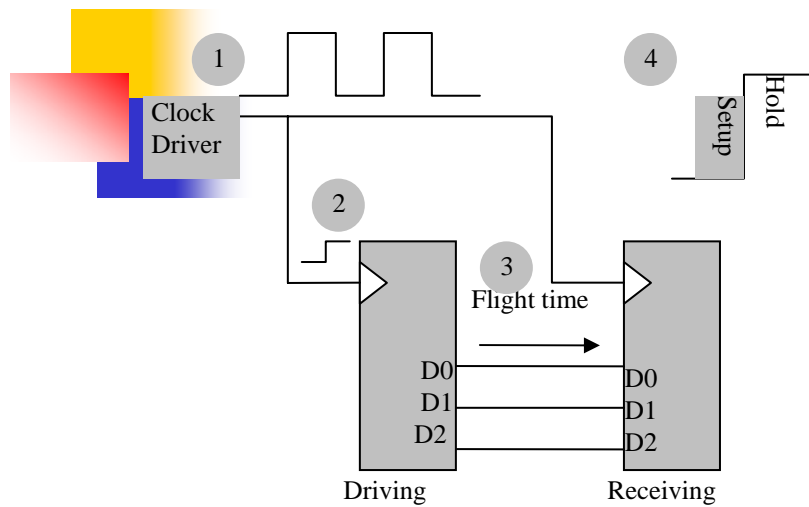


- 建立时间 (setup time) 是指在触发器的时钟信号上升沿到来以前，数据稳定不变的时间，如果建立时间不够，数据将不能在这个时钟上升沿被正确打入触发器；
- 保持时间 (hold time) 是指在触发器的时钟信号上升沿到来以后，数据稳定不变的时间，如果保持时间不够，数据同样不能被正确打入触发器。
- 设计上必须留有充足的建立和保持时间，才能保证系统正常工作。接收端都有最小建立和保持时间要求，可查阅有关芯片参数要求。实际设计时应充分考虑布线延时和具体负载情况，并进行仿真、分析、验证。

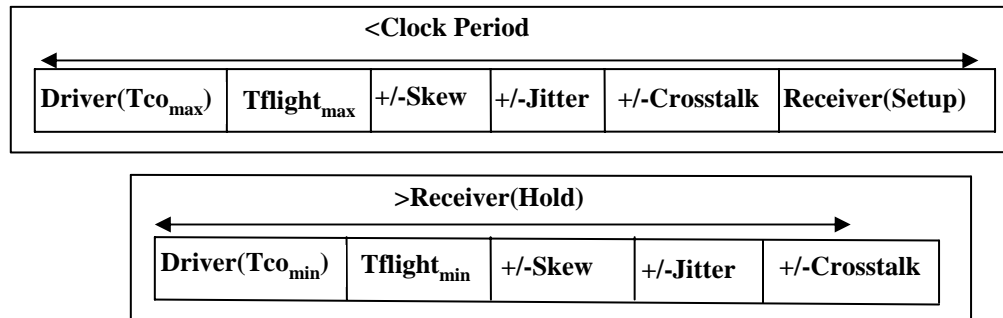
数据传输——收发两端时钟一致时



Common Clock Data Transfer

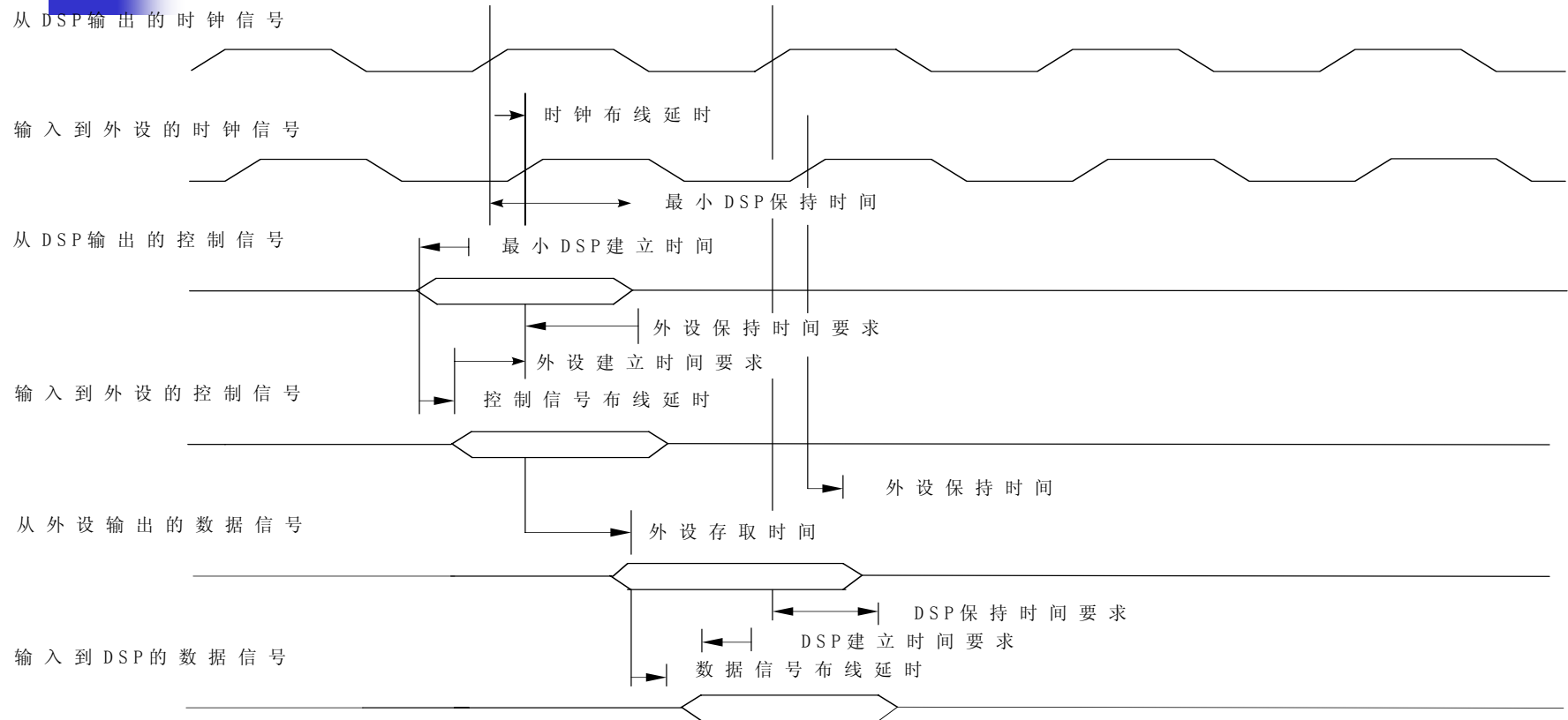



Common Clock Timing Budget



- For each Driver to Receiver path:
- $T_{flight_max} < \text{Clock Period} - \text{Driver}(T_{co_max}) - \text{Skew} - \text{Jitter} - \text{Crosstalk} - \text{Receiver(Setup)}$
- $T_{flight_min} > \text{Receiver(Hold)} - \text{Driver}(T_{co_min}) + \text{Skew} + \text{Jitter} + \text{Crosstalk}$

DSP与SDRAM连接的布线延时图





对于控制线要求满足下列条件才能保证正确读写

- 建立时间应满足： $t_{\text{isu(Control)}} = t_{\text{osu(DSP)}} + t_{\text{ClockRoute Delay}} - t_{\text{ControlRouteDelay (Slowest)}} \geq t_{\text{isu(SDRAM)}}$
即 $t_{\text{ControlRouteDelay (Slowest)}} - t_{\text{ClockRouteDelay}} \leq t_{\text{osu(DSP)}} - t_{\text{isu(SDRAM)}}$

其中： $t_{\text{isu(SDRAM)}}$ 为SDRAM控制线所需建立时间， $t_{\text{osu(DSP)}}$ 为DSP控制线建立时间， $t_{\text{ClockRouteDelay}}$ 为时钟线布线延时， $t_{\text{ControlRouteDelay (Slowest)}}$ 为最慢的控制线延时。

- 保持时间应满足： $t_{\text{ih(Control)}} = t_{\text{oh(DSP)}} - t_{\text{ClockRouteDelay}} + t_{\text{ControlRouteDelay (fastest)}} \geq t_{\text{ih(SDRAM)}}$
即 $t_{\text{ClockRouteDelay}} - t_{\text{ControlRouteDelay (fastest)}} \leq t_{\text{oh(DSP)}} - t_{\text{ih(SDRAM)}}$
 $t_{\text{ControlRouteDelay (Fastest)}}$ 为最快的控制线延时。

对于数据线要求满足下列条件才能保证正确读

- 读建立时间应满足：
$$t_{\text{ClockPeriod}} - t_{\text{ClockRouteDelay}} - t_{\text{DataRouteDelay (Slowest)}} + t_{\text{ACC}} \geq t_{\text{isu (DSP)}}$$

即 $t_{\text{ClockRouteDelay}} + t_{\text{DataRouteDelay (Slowest)}} \leq t_{\text{ClockPeriod}} - t_{\text{ACC}} - t_{\text{isu (DSP)}}$

其中： $t_{\text{ClockPeriod}}$ 为时钟周期， $t_{\text{DataRouteDelay (Slowest)}}$ 为最慢的数据线延时， t_{ACC} 为SDRAM存取时间。

- 读保持时间应满足：
$$t_{\text{oh (SDRAM)}} + t_{\text{ClockRouteDelay}} + t_{\text{DataRouteDelay (fastest)}} \geq t_{\text{ih (DSP)}}$$

即 $t_{\text{ClockRouteDelay}} + t_{\text{DataRouteDelay (fastest)}} \geq t_{\text{ih (DSP)}} - t_{\text{oh (SDRAM)}}$

其中： $t_{\text{oh (SDRAM)}}$ 为SDRAM数据线输出保持时间， $t_{\text{DataRouteDelay (fastest)}}$ 为最快的数据线延时。



对于数据线要求满足下列条件才能保证正确写

- 写建立时间应满足:

$$t_{\text{osu(DSP)}} - t_{\text{DataRouteDelay(Slowest)}} + t_{\text{ClockRouteDelay}} \geq t_{\text{isu(SDRAM)}}$$

即 $t_{\text{DataRouteDelay(Slowest)}} - t_{\text{ClockRouteDelay}} \leq t_{\text{osu(DSP)}} - t_{\text{isu(SDRAM)}}$

- 写保持时间应满足:

$$t_{\text{oh(DSP)}} - t_{\text{ClockRouteDelay}} + t_{\text{DataRouteDelay(fastest)}} \geq t_{\text{ih(SDRAM)}}$$

即 $t_{\text{ClockRouteDelay}} - t_{\text{DataRouteDelay(fastest)}} \leq t_{\text{oh(DSP)}} - t_{\text{ih(SDRAM)}}$

布线延时约束关系的引申推导

$$t_{\text{ClockRouteDelay}} \leq (t_{\text{ClockPeriod}} - t_{\text{ACC}} - t_{\text{isu(DSP)}} + t_{\text{oh(DSP)}} - t_{\text{ih(SDRAM)}}) / 2$$

$$t_{\text{ClockRouteDelay}} \geq (t_{\text{ih(DSP)}} - t_{\text{oh(SDRAM)}} - t_{\text{osu(DSP)}} + t_{\text{isu(SDRAM)}}) / 2$$

$$\text{即 } (t_{\text{ih(DSP)}} - t_{\text{oh(SDRAM)}} - t_{\text{osu(DSP)}} + t_{\text{isu(SDRAM)}}) / 2 \leq t_{\text{ClockRouteDelay}} \leq (t_{\text{ClockPeriod}} - t_{\text{ACC}} - t_{\text{isu(DSP)}} + t_{\text{oh(DSP)}} - t_{\text{ih(SDRAM)}}) / 2$$

- 可见，时钟线的传输延时必须在某一范围之内，才能满足DSP与SDRAM间的时序参数要求，既不能太长也不能太短。较短的时钟线增加控制信号线到SDRAM的保持时间，但却减少从SDRAM来的数据保持时间。在设计这种类型的接口时应该仔细考虑这一问题。一旦时钟信号线的布线确定下来，控制线和数据线的布线长度应该满足上述约束条件才行。

总结与分析

采取有效措施将信号的反射、串扰、单调性、上冲、下冲、振铃和地弹抑制在允许的范围之内，以保证信号的完整性和电磁兼容性。

- 这些措施包括：合理设置叠层参数、线宽、铜皮厚度，使得不同层间的传输线特征阻抗接近，以便减少信号在不同层间传输时的反射；加适当阻值的端接电阻使传输线特征阻抗与负载阻抗匹配，以减少信号反射；减小平行线长度，加大平行线间的距离，使相邻平行线走不同层，以减少线间串绕等等。
- 总之，信号完整性、时序匹配和电磁兼容性问题大都与布局布线有关。

Layout Cross Section

Cross Section

| | Subclass Name | Type | Material | Thickness (MM) | Conductivity (mho/cm) | Dielectric Constant | Loss Tangent | Negative Artwork | Shield | Width (MM) | Impedance (ohm) |
|----|---------------|------------|----------|----------------|-----------------------|---------------------|--------------|--------------------------|-------------------------------------|------------|-----------------|
| 1 | | SURFACE | AIR | | | | | | | | |
| 2 | TOP | CONDUCTOR | COPPER | 0.03048 | 595900 | 1 | 0 | <input type="checkbox"/> | | 0.1300 | 58.192 |
| 3 | | DIELECTRIC | FR-4 | 0.1016 | 0 | 4.500000 | 0.035 | | | | |
| 4 | GND | PLANE | COPPER | 0.03048 | 595900 | | | <input type="checkbox"/> | <input checked="" type="checkbox"/> | | |
| 5 | | DIELECTRIC | FR-4 | 0.2032 | 0 | 4.500000 | 0.035 | | | | |
| 6 | 3.3V | PLANE | COPPER | 0.03048 | 595900 | | | <input type="checkbox"/> | <input checked="" type="checkbox"/> | | |
| 7 | | DIELECTRIC | FR-4 | 0.2032 | 0 | 4.500000 | 0.035 | | | | |
| 8 | L4 | CONDUCTOR | COPPER | 0.03048 | 595900 | 4.5 | 0.035 | <input type="checkbox"/> | | 0.1300 | 59.87 |
| 9 | | DIELECTRIC | FR-4 | 0.2032 | 0 | 4.500000 | 0.035 | | | | |
| 10 | L5 | CONDUCTOR | COPPER | 0.03048 | 595900 | 4.5 | 0.035 | <input type="checkbox"/> | | 0.1300 | 59.87 |
| 11 | | DIELECTRIC | FR-4 | 0.2032 | 0 | 4.500000 | 0.035 | | | | |
| 12 | 1.4V | PLANE | COPPER | 0.03048 | 595900 | | | <input type="checkbox"/> | <input checked="" type="checkbox"/> | | |
| 13 | | DIELECTRIC | FR-4 | 0.2032 | 0 | 4.500000 | 0.035 | | | | |
| 14 | GND2 | PLANE | COPPER | 0.03048 | 595900 | | | <input type="checkbox"/> | <input checked="" type="checkbox"/> | | |
| 15 | | DIELECTRIC | FR-4 | 0.1016 | 0 | 4.500000 | 0.035 | | | | |
| 16 | BOTTOM | CONDUCTOR | COPPER | 0.03048 | 595900 | 1 | 0 | <input type="checkbox"/> | | 0.1300 | 58.192 |
| 17 | | SURFACE | AIR | | | | | | | | |

Total Thickness: 1.46304 MM
Stripline Layer Dielectric: [Determined Automatically]
Dielectric Constant:
Loss Tangent:
 Differential Mode

OK Apply Cancel Help



效果分析、验证、辅助工具的提出

- 采取这些措施的效果怎样？
应有一套分析工具来仿真分析验证效果。
- 即使有这种工具，是否也觉得效率低、工作量大、繁琐呢？
如：计算传输线的特性阻抗，寻找最优端接电阻值，计算实际管脚间延时，把某些约束措施一起加到总线上。
- 有没有一个好的EDA工具指导提高开发效率？



问题的解决

于是出现了许多这方面的工具软件。CADENCE的SPB软件包就是一套业界领先的进行高速PCB设计的EDA工具。

- Cadence的高速PCB设计工具SpecctraQuest 是一个集成化的信号完整性设计环境，它采用与PCB板布局布线工具Allegro完全一致的数据结构，可以在布局、布线前对高速信号的走线进行反射，串扰，延迟，电磁辐射等仿真分析。在分析方法上，SpecctraQuest首创了Solution Space的扫描分析方法，可以最大限度地搜索到可用的电气约束规则边界，并把这种电器约束规则自动无缝地传递给PCB板布局布线工具，驱动高速PCB板合理地布局布线。在PCB板布局布线完成后，SpecctraQuest还可以精确地进行反射、串扰、延迟、电磁辐射等的分析验证，并可以进行电磁兼容规则检查以及电源，地平面波动分析，从而全面解决PCB板的高速设计问题，提高设计质量，并大大缩短设计周期。