

TLC5615C , TLC5615I

10位电压输出数字

数据手册

一、概述

1.1 一般说明

TLC5615是带有缓冲基准输入(高阻抗)的10位电压输出数字——模拟转换器(DAC)。DAC具有基准电压两倍的输出电压范围,且DAC是单调变化的。器件使用简单,用单5V电源工作。器件具有上电复位(power-on-reset)功能以确保可重复启动。

TLC5615的数字控制通过3线(three-wire)串行总线,它是CMOS兼容的且易于和工业标准微处理器和微控制器接口。器件接收16位数据字以产生模拟输出。数字输入端的特点包括带有斯密脱(schmitt)触发器,它具有高噪声抑制能力。数字通信协议包括SPI™、QSPI™、Microwire™标准

8引脚的小型(small-outline)D封装允许在空间受限的应用中实现模拟功能的数字控制。TLC5615C的工作温度范围为0 至70 。TLC5615I的工作温度范围为-40 至85 。

可选项

T _A	封装	
	小型*(D)	塑料DIP(P)
0 至70 _i	TLC5615CD	TLC5615CP
-40 至85 _i	TLC5615ID	TLC5615IP

* 型号如TLC5615CDR和TLC5615IDR的器件在运输时可捆扎与卷绕。

1.2 特点

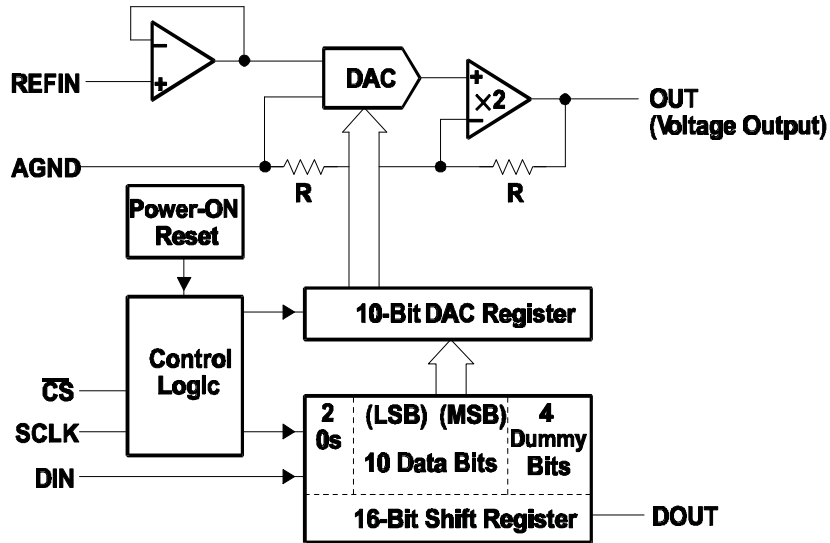
- 在8引脚封装内10位CMOS电压输出DAC
- 5V单电源工作
- 3线串行接口
- 高阻抗基准输入
- 电压输出范围——基准输入电压2倍
- 内部上电复位
- 低功耗——1.75mW Max
- 1.21MHz的更新率(Update Rate)
- 至0.5 LSB的建立时间——12.5 μ sTyp
- 在温度范围内保持单调性
- 引脚与Maxim公司MAX515兼容

1.3 应用范围

- 电池供电测试仪表
- 数字失调与增益调整
- 电池工作/远程工业控制
- 机器人和机械装置控制器件
- 移动电话

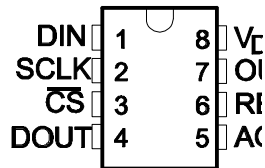
1.4 功能方框图

TLC5615的功能方框图如下图所示。



1.5 引脚排列及功能说明

TLC5615的引脚排列及功能说明分别如下图及下表所示。



引脚功能

引脚名称	序号	I/O	说明
DIN	1	I	串行数据输入
SCLK	2	I	串行时钟输入
CS	3	I	芯片选择，低有效
DOUT	4	O	用于菊花链 (daisy chaining) 的串行数据输出
AGND	5		模拟地
REFIN	6	I	基准输入
OUT	7	O	DAC模拟电压输出
V _{DD}	8		正电源

二、特性

2.1 工作温度范围内 (自然通风) 的极限参数 (除非另有说明) *

电源电压 (V _{DD} 至AGND)	7V
数字输入电压范围 (相对于AGND)	-0.3V至V _{DD} +0.3V
基准输入电压范围 (相对于AGND)	-0.3V至V _{DD} +0.3V
来自外部源, OUT端输出电压	V _{DD} +0.3V
任何引脚连续电流	±20mA
工作温度范围 (自然通风), T _A :	

TLC5615C	0 至70
TLC5615I	-40 至85
储存温度范围, T _{stg}	-65 至150
引线温度, 离外壳1.6mm (1/16英寸), 10秒	260

* 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数, 并不意味着在极限参数条件下或在任何其它超出推荐工作条件下所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

2.2 推荐的工作条件

		MIN	NOM	MAX	单位
电源电压, V _{DD}		4.5	5	5.5	V
高电平数字输入电压, V _{IH}		2.4			V
低电平数字输入电压, V _{IL}		0.8			V
基准电压, V _{ref} 至REFIN端		2	2.048	V _{DD} -2	V
负载电阻, R _L		2			k
工作温度(自然通风) T _A	TLC5615C	0 70			
	TLC5615I	-40 85			j

2.3 在推荐工作范围内(自然通风), V_{DD}=5V ± 5%, V_{ref}=2.048V时的电特性(除非另有说明)

2.3.1 静态DAC技术规格

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
Resolution			10			bits
Integral nonlinearity end point adjusted (INL)		V _{ref} = 2.048 V See Note 1			+1	LSB
Differential nonlinearity (DNL)		V _{ref} = 2.048 V See Note 2		+0.1	+0.5	LSB
E _{ZS}	Zero-scale error (offset error at zero scale)	V _{ref} = 2.048 V See Note 3			+3	LSB
Zero-scale-error temperature coefficient		V _{ref} = 2.048 V See Note 4		3		ppm/°C
E _G	Gain error	V _{ref} = 2.048 V See Note 5			+3	LSB
Gain-error temperature coefficient		V _{ref} = 2.048 V See Note 6		1		ppm/°C
PSRR	Power-supply rejection ratio	Zero scale	See Notes 7 and 8			dB
		Gain	80			
Analog full scale output		R _L = 100 kΩ	2V _{ref} (1023/1024)			V

注释: 1. 相对精度或积分非线性度(integral nonlinearity, INL), 有时被称为线性度误差, 是除了零代码和满度误差(见正文)的影响之外输出离开零和满度之间直线的最大偏差值。

2. 差分非线性度(differential nonlinearity, DNL), 有时被称为差分误差, 是任何两个邻接代码测得的与理想的1LSB幅度变化量之间的差值。单调性(Monotonic)是指数字输入代码改变时输出电压按相同的方向变化(或保持不变)。

3. 零度误差(Zero-scale-error)是数字输入代码为零时离开零电压输出的偏离值(见正文)。

4. 零度误差温度系数由下式给出:

$$E_{ZS}TC = [E_{ZS}(T_{max}) - E_{ZS}(T_{min})] / V_{ref} \times 10^6 / (T_{max} - T_{min})$$

5. 增益误差是在输出负载为10k 情况下除了零度误差的影响之外离开理想输出(V_{ref}-1LSB)的偏离值。

6. 增益温度系数由下式给出: E_GTC=[E_G(T_{max})-E_G(T_{min})]/V_{ref}×10⁶/(T_{max}-T_{min})

7. 零度误差抑制比(Zero-scale-error rejection ratio, EZS-RR)是通过把V_{DD}从直流4.5V变至5.5V并测量加在零代码输出电压上的该信号的比例来测定的。

8. 增益误差抑制比(Gain-error rejection ratio, EG-RR)是通过把V_{DD}从直流4.5V变至5.5V并测量减去零度变化量之后加在满度输出电压上的该信号的比例来测定的。

2.3.2 电压输出 (OUT)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _O Voltage output range	R _L = 10 k Ω	0	V _{DD} -0.4		V
Output load regulation accuracy	V _O (OUT) = 2 V R _L = 2 k Ω			0.5	LSB
I _{OSC} Output short circuit current	OUT to V _{DD} or AGND		20		mA
V _{OL} (low) Output voltage, low-level	I _O (OUT) \leq 5 mA			0.25	V
V _{OH} (high) Output voltage, high-level	I _O (OUT) \leq 5 mA	4.75			V

2.3.3 基准输入 (REFIN)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _I Input voltage		0	V _{DD} -2		V
r _I Input resistance		10			M Ω
C _I Input capacitance			5		pF

2.3.4 数字输入 (DIN, SCLK, \overline{CS})

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{IH} High-level digital input voltage		2.4			V
V _{IL} Low-level digital input voltage				0.8	V
I _{IH} High-level digital input current	V _I = V _{DD}			+1	μ A
I _{IL} Low-level digital input current	V _I = 0			\pm 1	μ A
C _I Input capacitance			8		pF

2.3.5 数字输出 (DOUT)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{OH} Output voltage, high-level	I _O = -2 mA	V _{DD} -1			V
V _{OL} Output voltage, low-level	I _O = 2 mA			0.4	V

2.3.6 电源

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{DD} Supply voltage		4.5	5	5.5	V
I _{DD} Powersupply current	V _{DD} = 5.5 V No load, All inputs = 0 V or V _{DD}		150	250	μ A
	V _{DD} = 5.5 V No load, All inputs = 0 V or V _{DD}		230	350	μ A

2.3.7 模拟输出动态性能

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Signal-to-noise + distortion, S/(N+D)	V _{ref} = 1 V _{pp} at 1 kHz + 2.048 V _d c, code = 11111 1111, See Note 9	60			dB

注释9：1V_{pp}时极限频率值由输出放大器的斜升率决定

2.3.8 数字输入定时要求 (见图1)

PARAMETER	MIN	NOM	MAX	UNIT
t _{su} (DS) Setup time, DIN before SCLK high	45			ns
t _h (DH) Hold time, DIN valid after SCLK high	0			ns
t _{su} (CSS) Setup time, \overline{CS} low to SCLK high	1			ns
t _{su} (CS1) Setup time, \overline{CS} high to SCLK high	50			ns
t _h (CSH0) Hold time, SCLK low to \overline{CS}	1			ns
t _h (CSH1) Hold time, SCLK low to \overline{CS}	0			ns
t _w (CS) Pulse duration, minimum chip select pulse width high	20			ns
t _w (CL) Pulse duration, SCLK low	25			ns
t _w (CH) Pulse duration, SCLK high	25			ns

2.3.9 输出开关特性

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
$t_{pd}(DOUT)$ Propagation delay time, DOUT	$C_L = 50\text{ pF}$			50	ns

2.4 在推荐工作温度范围内(自然通风), $V_{DD}=5V \pm 5\%$, $V_{ref}=2.048V$ 时的工作特性(除非另有说明)

2.4.1 模拟输出动态性能

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
SR Output slew rate	$Q_L = 100\text{ pF}$ $T_A = 25^\circ\text{C}$ $R_L = 10\text{ k}\Omega$	0.3	0.5		$V/\mu\text{s}$
t_s Output settling time	To 0.5 LSB, $R_L = 10\text{ k}\Omega$ $Q_L = 100\text{ pF}$ See Note 10		12.5		μs
Glitch energy	DIN = All 0s to all 1s		5		$nV\cdot\text{s}$

注释10：建立时间是对于数字输入代码从000 hex至3FF hex或从3FF hex至000 hex的变化，输出信号留在最终测量值的 $\pm 0.5\text{LSB}$ 之内的时间

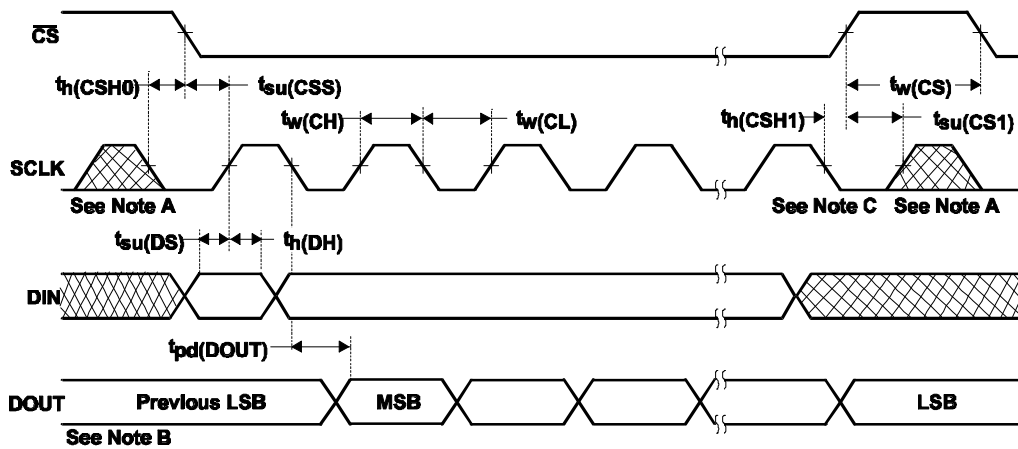
2.4.2 基准输入 (REFIN)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
Reference feedthrough	$REFIN = 1\text{ V}_{pp}$ at 1 kHz + 2.048 Vdc (see)Note 1		-80		dB
Reference input bandwidth (f-3dB)	$REFIN = 0.2\text{ V}_{pp} + 2.048\text{ Vdc}$ $REFIN = 0.2\text{ V}_{pp} + 2.048\text{ Vdc}$		30		kHz

注释11：基准馈通 (feedthrough) 是在输入代码=000 hex和 V_{ref} 输入=2.048Vdc+1Vpp (1kHz) 情况下在DAC输出端测量。

2.5 时序图

TLC5615的时序图如图1所示。



注释：A、为了使时钟馈通为最小，当 \overline{CS} 为高电平时加在SCLK端的输入时钟应当呈现低电平。

B、数据输入来自先前转换周期。

C、第16个SCLK下降沿

图1 时序图

2.6 典型特性曲线

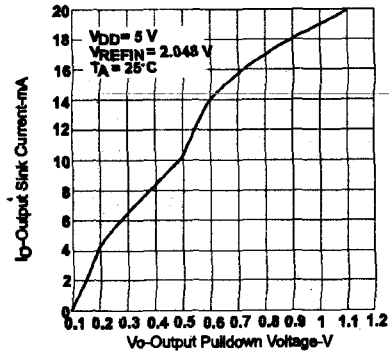


图2 输出吸收电流与输出下拉电压的关系

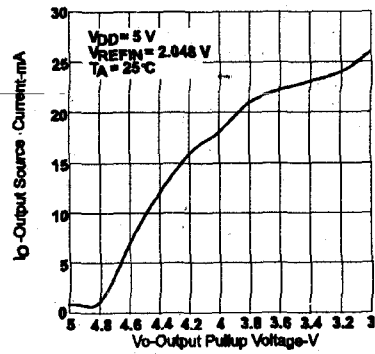


图3 输出供给电流与输出上拉电压的关系

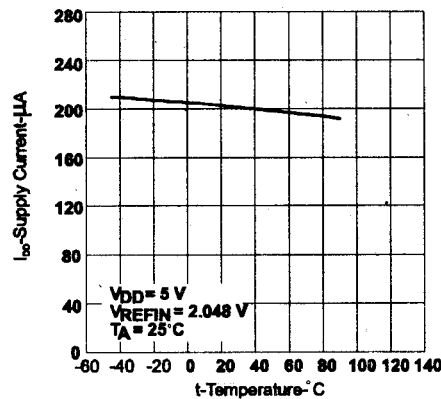


图4 电源电流与温度的关系

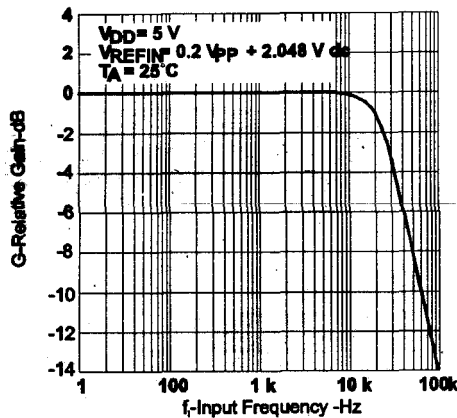


图5 V_{REFIN} 至 $V_{(OUT)}$ 相对增益与输入频率的关系

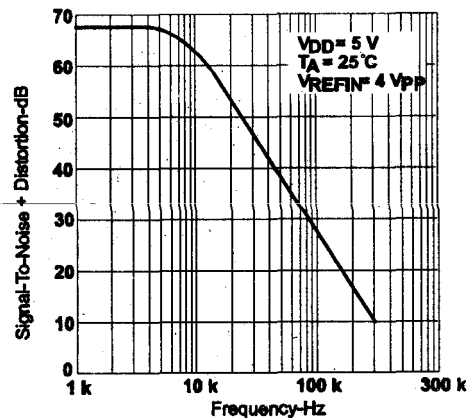


图6 信号与噪声+失真之比与REFIN端输入频率的关系

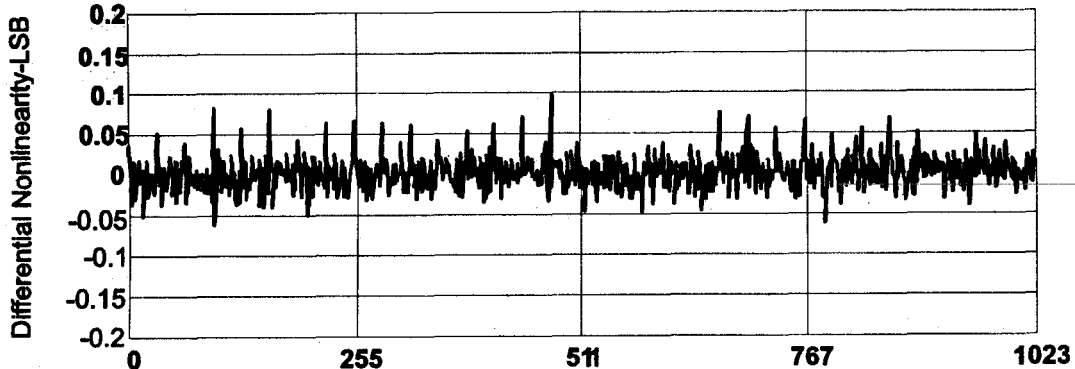


图7 差分非线性度与输入代码的关系

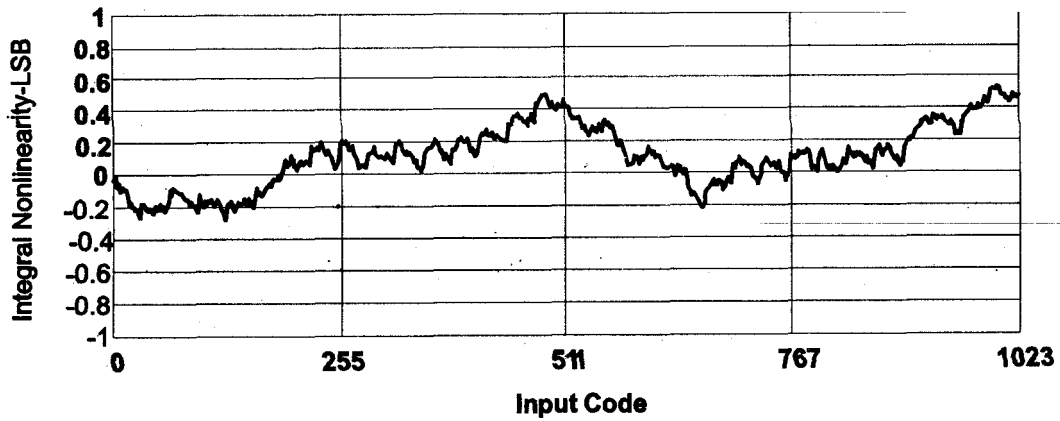


图8 积分非线性度与输入代码的关系

三、应用资料

3.1 一般功能

TLC5615使用通过固定增益为2的运放缓冲的电阻串网络，把10位数字数据转换为模拟电压电平（见功能方框图和图9）。TLC5615的输出具有与基准输入相同的极性（见表1）。上电时内部电路把DAC寄存器复位至全零。

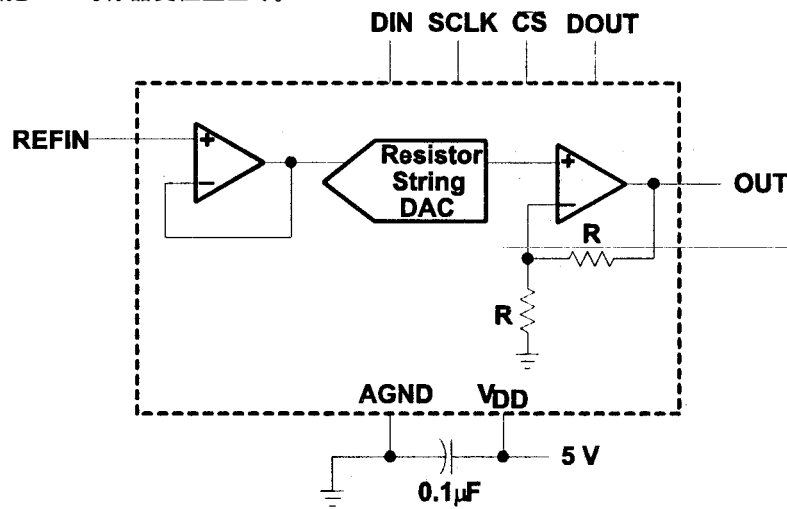


图9 TLC5615典型运用电路

表1 二进制代码表（0V至 $2V_{REFIN}$ 输出），增益=2

输入	输出
1111 1111 11 (00)	$2 (V_{REFIN}) 1023/1024$
⋮	
1000 0000 01 (00)	$2 (V_{REFIN}) 513/1024$
1000 0000 00 (00)	$2 (V_{REFIN}) 512/1024 = V_{REFIN}$
0111 1111 11 (00)	$2 (V_{REFIN}) 511/1024$
⋮	
0000 0000 01 (00)	$2 (V_{REFIN}) 1/1024$
0000 0000 00 (00)	0V

* 因为DAC输入锁存器为12位宽，所以在10位数据字中必须写入数值为0的两个低于LSB的位（sub-LSB，次最低有效位）。

3.2 缓冲放大器

输出缓冲器具有满电源电压幅度 (rail-to-rail) 输出，它带有短路保持并能驱动有100pF负载电容的2k负载。至最终值0.5LSB之内的建立时间的典型值为12.5 μ s。

3.3 外部基准

基准电压输入经过缓冲，这使得DAC输入电阻与代码无关。因此REFIN输入电阻为10m Ω，REFIN输入电容典型值为5pF，它们与输入代码无关。基准电压决定DAC的满度输出。

3.4 逻辑接口

逻辑输入端可使用TTL或CMOS逻辑电平。但是使用满电源电压幅度 (rail-to-rail) CMOS逻辑可得到最小的功耗。当使用TTL逻辑电平时功率需求增加约2倍。

3.5 串行时钟和更新速率

图1显示TLC5615时序关系。最大串行时钟速率为：

$$f_{(SCLK) \max} = 1 / (t_w(CH) + t_w(CL))$$

或近似为14MHz。数字更新速率 (digital update rate) 受片选 (chip-select) 周期限制，它由下式计算。

$$t_p(CS) = 16 \times (t_w(CH) + t_w(CL)) + t_w(CS)$$

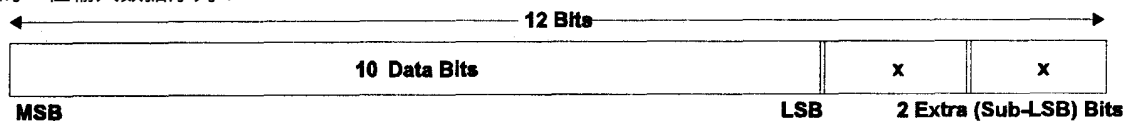
且等于820ns，更新速率为1.21MHz。但是，对于满度输入阶跃跳变，10位DAC建立时间为12.5 μ s，这把更新速率限制至80kHz。

3.6 串行接口

当片选CS为低电平时，输入数据读入16位移位寄存器，它由时钟同步且最高有效位在前。SCLK输入的上升沿把数据移入输入寄存器。

接着CS的上升沿把数据传送至DAC寄存器。当CS为高电平时，输入数据不能由时钟同步送入输入寄存器。所有CS由跳变应当发生在SCLK输入为低电平时。

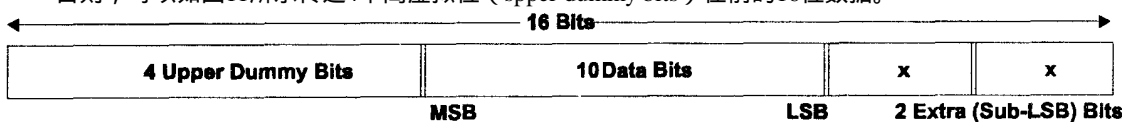
如果不使用菊花链 (级联) 功能 (见 “菊花链接器件” 一节)，那么可以如图10所示那样使用MSB在前的12位输入数据序列：



X=不关心

图10 12位输入数据序列

否则，可以如图11所示传送4个高虚拟位 (upper dummy bits) 在前的16位数据。



X=不关心

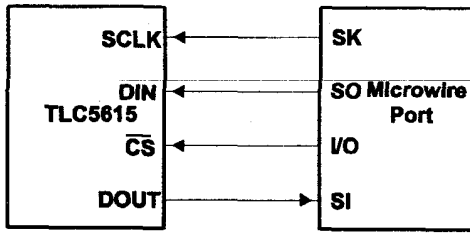
图11 16位输入数据序列

来自DOUT的数据需要输入时钟的16个下降沿，因此，需要额外的时钟宽度。当菊花链接 (级联) 多个TLC5615器件时，因为数据传送需要16个输入时钟周期加上一个额外的输入时钟下降沿使数据在DOUT端输出 (见图1)，所以数据需要4个高虚拟位 (upper dummy bits)。

为了提供与12位数据转换器传送的硬件与软件兼容性，两个额外 (次-LSB) 位总是需要的。

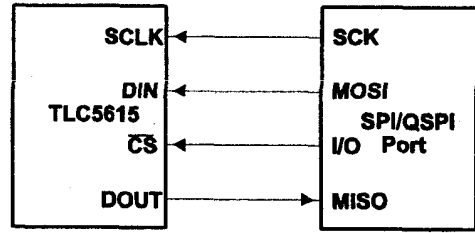
TLC5615三线接口与SPI、QSPI*以及Microwire串行标准相兼容。硬件连接示于图12和图13。

SPI和Microwire接口传送8位字节形式的数据。因此，要把数据输入到DAC需要两个写周期。QSPI接口具有从8位至16位的可变输入数据长度，可以在一个写周期之内装载DAC输入寄存器。



注释A：对于写TLC5615，DOUT-SI的连接并不需要，但是，如果需要的话这可用于校验数据的传送。

图12 Microwire连接



注释A：对于写TLC5615，DOUT-MISO的连接并不需要，但是可以用于校验数据的传送。

图13 SPI/QSPI连接

* CPOL=0，CPHA=0，QSPI协议规定

3.7 菊花链接 (daisy-chaining) 器件

假如时序关系合适，建立时间 $t_{su}(CS)$ (\overline{CS} 为低电平至SCLK为高电平)大于建立时间 $t_{su}(DS)$ 加传输延迟时间 $t_{pd}(DOUT)$ (见数字输入时序要求一小节)，那么可以通过在一个链路 (chain) 中把一个器件的DOUT端连接到下一个器件的DIN端实现DAC的菊花链接 (级联)。DIN处的数据延迟16个时钟周期加一个时钟宽度后出现在DOUT。DOUT是低功率的图腾柱 (totem-poled, 即推拉输出电路) 输出。当 \overline{CS} 为低电平时，DOUT在SCLK下降沿变电。当 \overline{CS} 为高电平时，DOUT保持在最近数据位的值并不进入高阻状态。

3.8 使用单端电源的线性度、失调和增益误差

当放大器用单电源工作时，电压失调 (voltage offset) 可以为正或负。在正失调情况下，输出电压根据第一个代码的改变而改变。在负失调的情况下，根据失调电压的大小，输出电压可以不随第一个代码而改变。输出放大器试图把输出驱动至负电压。然而，由于大多数负电源电压为地，所以输出不可能驱动至低于地而是把输出箝拉在0V。

因此输出电压保持为零直到输入代码值产生足够的输出电压以克服负失调电压为止，其结果将产生如图8所示的转换函数。

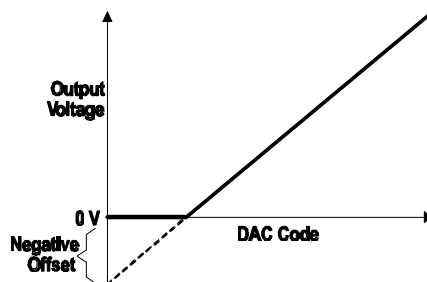


图14 负失调的影响 (单电源)

此失调误差 (不是线性度误差) 产生这种断点 (breakpoint)，如果输出缓冲器可以驱动至低于地电平，那么转换函数将根据虚线所示规律变化。

对于DAC，在校正了失调 (offset) 和满度 (full scale) 或用某种方法考虑其影响之后，在零输入代码 (所有输入为0) 和满度代码 (所有输入为1) 之间测量线性度 (linearity)。但是，当失调为负时，由于转移函数中的断点，单电源工作不容许调整。因此，在满度代码和产生正输出电压的最小代码之间测量线性度。对于TLC5615，零度 (失调) 误差为正或负3LSB (最大值)。依据负失调的最大指标计算代码。

3.9 电源旁路和接地安排

使用分离的模拟和数据地平面的印制电路板提供最佳的系统性能。绕线 (wire-wrap) 的电路板工作得不好且不当使用。两个地平面应当在低阻抗电源处连接在一起。通过把DAC AGND端连接到系统模拟地平面 (该平面能确保模拟地电流流动良好且地平面上的电压降可以忽略) 可以实现最佳的接地连接。

在 V_{DD} 和AGND之间应当连接一个 $0.1\ \mu\text{F}$ 的陶瓷旁路电容且应当用短引线安装在尽可能靠近器件的地方。使用缺氧体环 (ferrite beads) 可以进一步隔离系统模拟电源与数字电源。

图15表示接地平面的布局和旁路技术。

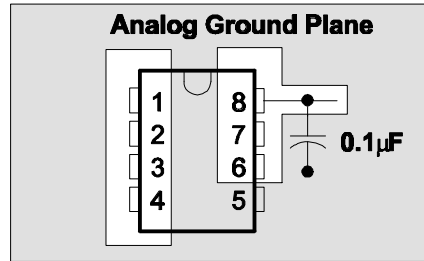


图15 电源旁路

3.10 节省功率

当系统不使用DAC时，把DAC寄存器设置为全0可以使基准电阻阵列和输出负载的功耗为最小。

3.11 有关交流的考虑

3.11.1 数字锁通 (digital feedthrough)

即使 \overline{CS} 为高电平，任何数字输入或输出端的高速串行数据也可能通过DAC封装内部的杂散电容进行耦合合并作为数字馈通出现在DAC模拟输出端。数字馈通由保持 \overline{CS} 为高电平并从DIN发送0101010101至DOOUT来测量。

3.11.2 模拟馈通 (analog feedthrough)

较高频率的模拟输入信号可能通过内部杂散电容耦合到输出。模拟馈通由保持 \overline{CS} 为高电平，设置DAC代码至全0，扫描 (sweeping) 加至REFIN的频率并监视DAC的输出来测量。