

固态电路设计的未来：融合与健康

——2004年~2008年 ISSCC 论文统计预见

李文石^{1,2,3}

1 苏州大学电子信息学院微电子学系 苏州 215021 中国

2 东南大学国家专用集成电路系统工程技术研究中心 南京 210096 中国

3 东北大学大学院生物工程与机器人学系先进生物纳米器件实验室 仙台 9808579 日本

摘要：针对集成电路设计技术的前瞻预测问题，主要信息源采用 2004 年~2007 年度的 IEEE 国际固态电路会议技术论文集，分析基本统计数据，总结当前技术成果，提炼新兴发展趋势，综合国际级设计专家的技术预测，最后，应用图解与公式建模，预见集成电路设计技术的未来方向。

关键词：集成电路，设计，统计，预测

0 引言

研究的精神慢跑的高级哲学，就是针对任何未知问题，都沿着三个不同的解决方案路径，寻找收敛于同一结果的目的地（Otto Schmitt, 1979）。

硅工业迅跑的新范式的未来，不是被预测出来的，而是被创造出来的，最终指向人脑的完全模拟（Chang-Gyu Hwang, 2006.12.11）。

作者利用在日本东北大学做访问研究员的合作机会，比较研究了 2004 年~2007 年的 IEEE 国际固态电路会议技术论文集，吸纳提取了文献精华，集成创作了本文。应《中国集成电路》杂志之约，奉献给祖国的微纳电子学界的专家与青年学者。

感谢江苏省教育厅 2005 年海外留学基金的资助，感谢苏州市 2006 年科技发展计划项目“集成电路核心技术自主创新进程预测”（编号：ZR0601）的经费支撑。

论文组织包括 6 部分：标题 1 面向 2010 年讨论完美技术论文的参考标准，标题 2 中比较统计了 2004 年~2007 年的 ISSCC 论文集，预测了 2008 年的 ISSCC 论文总趋势，简介 IC 设计技术的最近演进成就（标题 3），汇集归纳专家论坛观点（标题 4），通篇总结理论预见放在标题 5 中，应用图解并且建立模型。

笔者总的统计预见结论，已经概括在本文标题之中。

1 完美论文标准

2010 年的 ISSCC 将会录用怎样的技术创新与规范论文？！

针对某一具有比较常规功能的电路，提出一个新的电路框架，引入一个非常巧妙的晶体管级设计技巧，给出完备的电路特性测量结果数值，其超过旧有解决方案的关键指标多达 10dB，所有此类由研究生撰写的目标清晰的技术论文，都可以讲授于世界技术论坛。任何国际会议的组织专家、参加学者与工程师，必将拭目以待此类新技术的涌现（Axel Thomsen, Silicon Laboratories, 2005）。

2 文献比较统计

通过汇总与计算得到表 1~表 3，分别显示、比较和揭示新世纪开篇的集成电路设计的演进规律概貌。

2.1 表 1 趋势分析

(1) 工业界的论文贡献在下降，学术界的论文贡献在上升。2006 年是个转折点，学术界的论

文数量超过了工业界，这是总计举办 54 届 ISSCC 以来的首次。

(2) 2008 年的未知数据推算方法：

数据预测推算公式 = (前 4 年的平均数) * (1 ± 平均变化率)。

表 1 2004 年~2008 年 ISSCC 年度主题、论文录用与论文来源比较

年度主题		论文录用		论文来源	
年度	主题	论文数	录用率	工业界	学术界
2004	联结世界的嵌入式系统	204	44%	74%	26%
2005	进入纳米集成电路时代	233	40%	59%	41%
2006	手机世界的多媒体技术	255	38%	46%	54%
2007	四维度的集成电路创新	234	28%	49%	51%
2008	生命与时尚的系统集成	242	32%	49%	51%

表 1 注 1：2004 年的工业界与学术界的论文来源比重，系笔者统计自论文集集中的一次文献。

表 1 注 2：2007 年的论文录用率推算方法：

已知 2005 年和 2006 年的论文投稿增长率分别是 25%和 17%，计算出平均增长率为 21%。推测 2007 年投稿总数为 2006 年投稿数 680 的 (1+21%) 倍，即是 823 篇，最后，计算得到 2007 年论文录用率为 234/823 = 28%。

2.2 表 2 趋势分析

(1) 论文地域分布趋势为：由北美独领风骚，远东中坚，欧洲稳步，演进为，欧洲崛起，美亚欧三分天下局面。

(2) 专家地域分布趋势为：北美独领风骚，远东中坚，欧洲稳步。

表 2 2004 年~2007 年 ISSCC 论文与专家地域分布比较

年度论文		论文地域分布			专家地域分布			
年度	论文数	北美	远东	欧洲	专家数	北美	远东	欧洲
2004	204	41%	33%	25%	173	57%	26%	17%
2005	233	43%	34%	23%	146	42%	32%	26%
2006	255	45%	32%	23%	173	43%	33%	24%
2007	234	39%	31%	30%	181	44%	32%	24%

表 2 注 1：2004 年的专家地域分布比率，系笔者计算自该年度会议的专家委员会名单（总人数为 196）。

2.3 表 3 趋势分析

(1) 统计专题技术论文进入 SHMOO 图（年度/专题号/专题名/篇数），关键技术浮沉其中。

(2) 热点技术趋势包括：“无线一切”！“数字一切”！“模拟亚系统集成”，等等。

(3) 新兴技术的成长路标指向生物医学微系统！其核心技术首先就是：实现器件与神经互连接口的新器件与新电路。

表 3 2004 年~2007 年 ISSCC 专题论文基本数据 SHMOO 图比较

专题序号	2004 年 专题论文数	2005 年 专题论文数	2006 年 专题论文数	2007 年 专题论文数	专题序号
1	全会报告/3	全会报告/3	全会报告/3	全会报告/3	1
2	非挥发性存储器/7	非挥发性存储器/7	生物医学系统/7	光通信/9	2
3	处理器/7	背板收发器/7	过采样模数转换器/8	趋势： 新器件与电路/7	3

4	过采样 模数转换器/8	混合域系统/7	兆位收发器/8	射频子模块/8	4
5	无线局域网收发器/8	无线局域网收发器/8	处理器/7	微处理器/7	5
6	成像/8	高速与过采样 数模转换器/8	超带宽收发器/8	超带宽与 毫米波通信系统/8	6
7	技术方向: 等比例缩小趋势/8	多媒体处理/7	非挥发性存储器/7	显示电子学/7	7
8	数字系统的电路/7	高速链接电路与 时钟发生器/7	动态随机存储器与三进制 内容可寻址存储器/7	生物医学器件/9	8
9	兆位收发器/7	开关电容 Δ - Σ 调制器/7	显示驱动器/3	时钟设计/7	9
10	手机系统及其子模块/8	微处理器与 信号处理/8	毫米波与更高频/5	毫米波收发器与 子模块/8	10
11	动态随机存储器/8	超宽带解决方案/9	射频子模块与 锁相环/10	电视机调谐器/ 射频识别/7	11
12	生物微系统/6	光通信/8	奈奎斯特 模数转换器/8	兆位时钟和数据恢复 及平衡器/7	12
13	高速数字电路与多兆位/秒的 输入/输出/9	传感器/8	光通信/9	Δ - Σ 模数转换器与 转换器技术/7	13
14	高速模数转换器/7	低功耗无线通信与 先进集成/9	基带与通道处理/8	基带信号处理/7	14
15	无线消费电子学 集成电路/8	模数转换器、直流参考 电压源与转换器/7	有机器件与电路 8	多媒体与 并行信号处理器/7	15
16	技术方向: 新技术与电路/8	时钟分配与功率管理/7	微机电系统与 传感器/9	功率分配与管理/7	16
17	微机电系统与 传感器/7	射频手机集成电路/9	射频识别与 射频方向/8	模拟技术与 锁相环/9	17
18	消费电子学 信号处理/7	高速互连及其子模块/8	时钟与数据恢复/8	静态随机存储器/6	18
19	时钟产生与分配/8	成像器/10	模拟技术/8	手机与多模收发器/9	19
20	数模转换器/8	处理器子模块/7	无线局域网与 无线个域网/8	趋势: 芯片间距数据与 功率发射/7	20
21	射频集粹/11	射频趋势: 片上集成与毫米波/9	先进时钟、逻辑与 信号设计技术/7	传感器与 微机电系统/8	21
22	数字订户线与 多兆位/秒的输入输出/7	锁相环、锁延迟环与 压控振荡器/7	低功耗多媒体/7	数字电路创新/9	22
23	通道编码/7	消费应用的无线接收器/7	技术与架构方向/8	宽带射频与雷达/8	23
24	技术方向: 无线趋势: 低功耗与 60 GHz/8	基带处理/7	高性能数字电路/7	多兆位/秒的 收发器/7	24
25	高分辨率 奈奎斯特模数转换器/8	动态存储器/7	射频/媒介频率电路/8	奈奎斯特 模数转换技术/9	25
26	光与快输入/输出/10	静态存储器/8	手机子模块与 系统芯片/10	非挥发性存储器/6	26
27	静态随机存储器/9	滤波器与连续时间 Δ - Σ 转换器/8	图像传感器/9	动态随机存储器 与其嵌入式/6	27
28		时钟设计与 输入/输出/9	有线通信子模块/10	图像传感器/8	28
29		射频技术/10	功率管理与分配/8	模拟与 功率管理技术/9	29
30		显示与生物传感器/7	硅基生物学/6	高速收发器子模块/9	30
31		海量存储/3	甚高速模数与 数模转换器/9	无线局域网/蓝牙/4	31
32		先进阵列结构/3	锁相环、压控振荡器 与分频器/9	趋势: 无线系统技术/8	32
33			手机电视/7		33
34			静态随机存储器/6		34
专题 序号	2004 年 专题论文数	2005 年 专题论文数	2006 年 专题论文数	2007 年 专题论文数	专题 序号

3 技术演进成就

只要为物理定律所允许，集成电路持续缩微的特征尺寸，至少是 30nm 节点，也或 20nm~10nm (Gordon E. Moore, Nikkei Electronics, 2005.5.23)。

表现为摩尔定律的继续外延，本质是市场之手推动着集成电路的创造、制造与应用，从微电子学时代走入纳米电子学时代。

如下从 2004 年开始,分 4 步/年展现由 ISSCC 这一世界顶级 IC 设计橱窗/舞台所秀出的 IC 之光。

3.1 2004 年 ISSCC 技术进步要点

沿着摩尔定律里程碑,追求更高性价比的集成电路设计技术,汇聚成为联结世界的嵌入式系统。

90nm CMOS 工艺实现: GHz x86 CPU; 4 Gb 4 级 NAND 闪存; 7 GHz 低压摆率整数核。

0.13 μm CMOS 工艺实现: 双核 CPU, 应用 SOI 技术, 温控管理; 800 mW 10 Gb 以太网收发器, 共振缓冲; 108 Gb/s 4:1 多路复用器 (SiGe 双极工艺); 4 通道异步数字订户线模拟前端; 全数字锁相环, 应用于发射器。

0.18 μm CMOS 工艺实现: 蓝光碟记录头前端处理器, 带局部响应最大可能控制; 4 Mb 非挥发 toggle MRAM; 1.6 GS/s (800 MS/s 双通道) 折叠插值 ADC, 透明放大校准; 15b 40 MS/s 流水线 ADC, 静态误差后台校准; 14b 1.4 GS/s DAC, 电流操纵架构; 全集成多制式 802.11a/b/g 收发器; Δ - Σ 调制器, 10-12 MHz 带宽, 应用了级联的连续时间方法或离散时间方法; 可编程 Cu_2S 固态电解液纳米级开关。

0.25 μm CMOS 工艺实现: 2.5 μm ~ 3.9 μm 像素 CMOS 图像传感器。

0.35 μm CMOS 工艺实现: 电容传感阵列, 生物微粒检测; 极环发射器, 幅值与相位反馈, 全局演进增强数据率节能型 (BiCMOS 工艺)。

0.5 μm CMOS 工艺实现: 混合信号植入式心脏起搏器, 多阈值电压。

1.2 μm CMOS 工艺实现: 人工视网膜芯片, 功耗 50mW, 面积 28.9mm²。

其它技术进展亮色包括: 低功耗嵌入式 CPU, 动态电压和频率控制; 气体色谱无线微系统; 针对线延迟和功率限制的调制器新架构; 模拟电路的恒压比例缩小方法; 24 GHz 8 通道相位阵列接收器, 波束带形分辨率 22.5° (SiGe BiCMOS); 蓝牙接收芯片, 离散时间模拟信号处理。

3.2 2005 年 ISSCC 技术进步要点

总论: 进入纳米集成电路时代, 仍然渴望继续涌现出创新的电路概念。录用论文总数的约 1/4 比例合计 55 篇论文, 涉及 90nm 以下电路技术; 实现芯片集成度超过 10 亿只晶体管; 器件参数变动的挑战, 来自 100nm 以下且电源电压小于 1V 的集成电路设计。

分论 1, 模拟技术 30 篇论文。技术进步包括: 节能电路的 0.5V 供电演示; 90nm 芯片实现; Δ - Σ ADC 信号带宽演示 20MHz, 可达 80MHz。

分论 2, 数字电路与微处理器 24 篇论文。技术进步包括: 17 亿只晶体管集成双核处理器, 动态频率时钟, 恰当功率管理; 多核处理器, 6.4Gb/s/link, 并行 I/O 口。

分论 3, 成像、MEMS 与显示 25 篇论文。技术进步包括: 3.1 兆像素的帧传递 CCD; 1 兆像素 CMOS 成像芯片的三维集成; CMOS 温度传感器, 分辨率 $\pm 0.1^\circ\text{C}$, 工作范围 $-55^\circ\text{C} \sim +125^\circ\text{C}$ 。

分论 4, 存储器领域 22 篇论文。技术进步包括: 256Mb SRAM; 0.5V 以下供电的 SRAM; 内嵌于 CPU 的 24Mb 三级 Cache; 8Gb 容量 NAND 闪存; 2Gb 同步 DRAM, 双数据率 I/O 口的管脚速度达 800Mb/s。

分论 5, 信号处理 14 篇论文。技术进步包括: 1.3-TOPS 高清晰度视频解码芯片; 7mW 脉冲通信超带宽接收机; 无线局域网通信芯片, 包括波束形成与最大码率组合。

分论 6, 新的自主技术方向。研究进展包括: 混合域生物与电子系统; MEMS 时钟发生器; 60-70GHz 毫米波 CMOS 电路; 纳米时代的存储技术; 无线互连三维集成; 单芯片的 802.11 无线局域网收发器; 超宽带收发器的首次实现; 全数字锁相环与极调制, 应用于 GSM/EDGE (增强数据率) 发射; 无线视频接收; 6.4Gb/s 并-串/串-并转换芯片设计, 用于计算机底板配线的前馈与反馈平衡器; 20Gb/s 垂直腔表面发射激光器的驱动设计; 频分多用的射频/基带互连发射的可重构片到片 I/O 口。

3.3 2006 年 ISSCC 技术进步要点

总论: 兆位/秒全球传输, 兆位 IP 核集成进入 SoC, 从深亚微米挺进纳米特征尺寸集成的手机世界的多媒体技术。

分论 1, 模拟与射频 34 篇论文。技术特点包括: 节能的无线收发器、家庭影院视频与车载应用;

70GHz CMOS 电路；数字校准技术成为高精度模拟收发电路的主要特点。

分论 2，数据转换器 25 篇论文。技术特点包括：高速、高分辨率与高效设计；将 ADC 移动到距离无线和射频接收机的天线的更接近位置。

分论 3，数字电路与微处理器 29 篇论文。技术特点包括：16 个并行核的集成；65nm 工艺实现了高级集成与性能水准的处理器；高速 I/O 口的实现，使得多核处理成为真正的可能。

分论 4，成像、MEMS、医学和显示 28 篇论文。医学应用成就例如：4 通道的 32 针/通道的耳蜗植入电极阵列；1.3mW 低功耗植入式人工视网膜，数据传输率 100kb/s，幅移键控调制；6.5 兆像素 60 帧/秒图像质量的 CMOS 数字摄像芯片；满足惯性导航分辨率的 SOI-MEMS 加速计。

分论 5，存储器领域 20 篇论文。技术特点包括：基于 NROM 的闪存，单原胞可存储 4 比特；最小体积的 8Mb 多级 NAND 闪存；高性能 CPU 用的 5GHz SRAM。

分论 6，信号处理 15 篇论文。技术特点包括：直接序列传输谱的超宽带基带收发机，用于无线或专用网；极限速率可达 120M/s 的功率减半且提速 3 倍的 CPU。

分论 7，技术方向 30 篇论文。各方向分别是：有机器件与电路；射频识别与射频方向；架构方向；硅基生物学。技术成果包括：集成度为 2000 只有机管子的有机射频识别芯片，使用塑料衬底；盲人用盲文电子书，刷新速度 2 秒。

分论 8，无线通信 38 篇论文。技术特点包括：CMOS 全集成超宽带收发机与频率合成器，覆盖 14 个全波段；首款 802.11abg 单芯片，实现了前端至媒介入口控制的 CMOS 集成；执行 802.15.4 标准的低功耗芯片；0.13 μm CMOS 工艺实现的全集成 GSM/GPRS 芯片；19GHz 的个人手机系统单芯片。

分论 9，有线通信 8 篇论文。技术特点包括：6.4Gb/s 并-串/串-并转换芯片设计，用于计算机底板配线的前馈与反馈平衡；20Gb/s 垂直腔表面发射激光器的驱动设计；频分多用的射频/基带互连发射的可重构片到片 I/O 口。

分论 10，兆位收发与光通信 17 篇论文。收发与均衡技术涉及多种不同几何尺度芯片或系统的电互连；并行光纤通信正逐渐走出商用性价比的瓶颈。

3.4 2007 年 ISSCC 技术进步要点

对于独特的通信、计算、传感、显示、消费电子学以及多媒体世界，高密度、高性能和低造价的四维度的集成电路协作创新时代已经莅临。纳米时代的集成电路设计的精巧的最优化折中与平衡，在于统筹集成电路创新的寻优空间的 4 个维度：技术、器件、电路和系统架构，或曰，固态电路的创新，在于寻优于 4 个技术进步因素之间：工艺、电路、架构与系统技术。

分论 1，模拟电路领域 18 篇论文。技术增长点包括：功率管理技术，功率供给比例缩小，低相位噪声电路。

分论 2，数据转换器 16 篇论文。技术进步包括：进入 90nm 工艺 1V 供电； Δ - Σ ADC 覆盖宽带，提供多模式操作，针对多种无线电标准；奈奎斯特转换器的功率与面积节省；1V ~ 1.2V 的电路拓扑结构探索。

分论 3，数字电路领域 30 篇论文。技术进步包括：65nm 工艺实现处理器的提速，1GHz ~ 3GHz 速率，0.85V ~ 1.325V 电源；处理器的 5GHz 时钟设计实现；4GHz 时钟 1.28 太浮点数/秒的 80 网格网络芯片微处理器；8 核节能 CPU，同时跑 64 个程序；CPU 的独立核的频率控制与功率管理；新的时钟分配方案，应用磁连接时钟线网格，应用标准波分布；全数字的低电压节省面积的锁相环，低频抖低功耗，高时钟速率 6GHz；处理器性能优化应用了适用技术，例如，主动阻尼电路与多个片内传感器；纠正晶体管参数漂移与电源电压跌落分布监测电路。

分论 4，显示领域 7 篇论文。技术进步包括：手机显示屏增加色深与集成度，提高性价比。

分论 5，生物医学器件 9 篇论文。最新进展包括：232 通道可编程的视网膜芯片；256 路植入式脑电波记录微电极，提高了药物检测的数据吞吐率。

分论 6，传感器与 MEMS 以及成像传感部分 16 篇论文。技术进步包括：三轴磁传感的单芯片

电子罗盘，短时方向定位精度超过 0.5° ，满足手持需求；低功耗 MEMS 微陀螺仪，分辨率达到 $0.2^\circ/\text{小时}$ ；成像芯片分辨率提高，单像素缩小到 $1.75\ \mu\text{m}$ ；8.1 兆像素 1/2.5 英寸格式的 CMOS 摄像传感器，正在取代 5 兆像素芯片；1/2.7 英寸格式的低噪声 CMOS 摄像传感器，正提高 CCD 质量以满足便携式摄像机的清晰度需要。

分论 7，存储器领域 18 篇论文。技术进步包括：SRAM 进入亚阈值规格，亚阈值降至 330mV 以下，维持亚阈值达 200 mV；漏电流降低技术应用于手机存储器；相变存储器的集成度与性能继续提高，例如，65nm 工艺的 1Gb 的 2b/原胞的 NOR 闪存，达到最快读写吞吐率 2.25Mb/s，使用 400Mb/s 双数据接口；65nm 的 SOI 技术 DRAM；带宽为 4Gb/s/引脚的图像双数据率 DRAM。

分论 8，射频、毫米波收发与雷达 24 篇论文。技术进步包括：提高手机性价比的射频电路与革新概念；60GHz 的数字 CMOS 接收电路；100GHz 的 CMOS 压控振荡器；高集成度的硅基雷达芯片结合了波束形成技术，低价用于轿车防撞；医学与安全应用的高频无线电波成像。

分论 9，基带、多媒体与并行信号处理 14 篇论文。技术进步包括：下一代手机 SoC 包括音频、射频、数字、存储与功率管理子模块，这是低价 GSM 手机的单片集成的重要前奏；全集成 3×3 多入多出基带处理器，多数据流的吞吐率竟然高达 300Mb/s，演示了未来无线局域网的多媒体数据流；实时三维显示处理器，组合了三维图形透视引擎，合成分辨率为 1280×1024 像素，帧传输率 36f/s。

分论 10，技术方向 22 篇论文。代表着下一代后 CMOS 技术与系统的趋势有：节能是显示电子学的共同主题；无电池系统的超低功耗器件，应用了电路和泻能技术；碳纳米管电路提高超缩微 CMOS 电路性能；电容和电感的片到片互连，应用于超低功耗通信；降耗超过 40% 的适用的软件无线电架构；精致高分辨率的毫米波与亚毫米波摄像头，配 300GHz 带宽放大器，应用于透明成像。

分论 11，无线领域 15 篇论文。技术进步包括：65nm CMOS 全集成无线媒介超宽带收发器；90nm CMOS 全数字超低功耗双带脉冲发射电路，数据率 800Mb/s，引领合理成本的超宽带实现趋势；单片集成的超高频射频识别收发器，高数据率可扩展；直接转换的电视调谐器，覆盖全 48MHz ~ 860MHz 带宽，无谐波混叠问题；宽带码分多址发射电路拓扑，不用外置声表面波滤波器克服谱发射限制，针对低价位 3G 手机。

分论 12，有线领域 23 篇论文。技术进步包括：全集成 $4\times 10\text{Gb/s}$ 密集波分多路器光电子收发器，使用硅衬，4 通道马赫-曾德干涉仪驱动； $0.13\ \mu\text{m}$ CMOS 工艺 SOI 单片接收器；新时钟设计方案，低价晶振，亚皮秒抖动，适用于 10Gb/s 速率的同步光网；40Gb/s 的时钟数据恢复与均衡器，0.91W 功耗(模拟与数字电路电源提供分别为 1.4V 与 1.34V)；亚 90nm CMOS 工艺的全数字多路 Gb/s 级的低价收发器；100GHz 的 CMOS 时钟分频器，用于收发器；65nm SOI 技术分频器，52.4mW 功耗。

(未完待续)

4 专家论坛观点

IC 演进创新的历史浪潮肇始于全模拟，先是数字热，再是模拟热，如此波动竞争；混合信号微电子学的概念，正在取代模拟电路，因为加入了通信与数字信号处理内容。

我们正由 4 维设计空间融合打造出健康的半导体工业新范式与健康的地球人生活新方式。

4.1 模拟电路的黄金时代结束了吗？[2004 年卷]

1980 年代从大学研究室走进应用市场的成就包括：电荷再分布数据转换器，开关电容滤波器和 Δ - Σ 转换器。

1990 年代，CMOS RF-ICs 的创新，则快速由大学实验室转移至无线产品。

90nm 以下工艺和 1V 以下供电的条件，使得电路级设计失去创造的空间；唯一的革新将发生在架构级，其设计亮点例如 ADC 的自动校准技术。

“模拟电路总有太多的棘手问题。例如，低压操作、非线性、噪音增长以及技术革新的成本增加。大量的模拟电路将被数字电路所取代，即使剩余的模拟电路也需要由数字技术解决其模拟难题。纯模拟技术将失去其原有的重要性。然而，数字电路同样存在着技术挑战：低压、低漏电、大动态

范围、超高速通信、信号完整性、噪声辐射，以及干扰，解决方案需要新器件和新的设计技术。全局的混合模拟和数字技术，必定是卓越的替代技术——在模拟和数字电路之间，针对从器件到系统，基于全局设计 EDA 的优化与联合设计，这将为我们提供广阔的创新维度。并且，基于 3D 架构解决复杂的电磁兼容和功率分配难题，一定是另一个模拟设计的前沿方向。” [Aria Matsuzawa, 东京技术研究所]

“掌握数字电路的模拟行为更加重要，以便使其速度最大化和功耗最小化。对于特殊的有关理解、优化和监督的设计任务，模拟电路比数字电路更加节能，这有利于推进仿生人脑架构的长线研发计划。” [Eric A. Vittoz, 瑞士首席科学家]

“固态电路的发展资金，来自全球通信和计算硬件的创收。这个呈现 S 型的发展曲线，最初是指数的（摩尔定律），但趋于饱和成熟。5 年前，美国投入一半的研发经费给家用计算机和互连网构建，现在，有线通信系统已经过饱和。集成电路肯定能无限地革新，但微电子学的繁荣难以为继。下一个增长循环将是多学科交叉的，聚焦于系统而非电路，应用新的全局通信硬件基础，解决诸如政策的、经济的、社会的和生态的难题。” [Richard Walker, 硅谷咨询师]

“50 年前晶体管的发明，集成电路的发展，以及系统芯片的出现，已经本质地影响着当今的生活方式。下一个类似重要的革新，将出现在生物技术和生命科学领域。这里需要由半导体制造技术提供的新工具、智能传感器以及执行芯片。一个最好的例子是 DNA 微阵列芯片的发明。” [Roland Thewes, 德国]

4.2 2010 年的 IC 设计趋势如何？[2005 年卷]

电路的中心任务，总是关联任何器件。在 ISSCC 的早期岁月里，器件设计者是论坛的王者，而电路设计者则被贴上应用工程师的标签。晶体管级的电路创新将延续，但模块级的电路创新将增长。尽管存在管子级与模块级的差别，应该基于新概念创造简单的评价标准。SoC 前沿进展将重点使用数字技术辅助纠正性能失配，从而实现“大数字小模拟”类型的芯片。2010 年最有趣的技术进步，将来自混合电路的 CMOS/BiCMOS 工艺的紧凑优化。[Dennis Monticell, 美国国家半导体]

到 2010 年，模拟设计者将处于完全洗牌的中心，针对最基本的模拟信号处理，重新始于晶体管级，兼及电路架构。然而，现在的绝大多数模拟设计师尚未认知如此，反而自我感觉设计领地被测试工程师、数字 IC 设计师和信号处理团队所侵蚀或打压。伴随着时延变动增长、信噪比降低与随机抖动增加，模拟设计师将聚焦于支撑数字设计的加速努力。[Randall Geiger, 美国]

预测未来可知，模拟正走向数字（较低的电路精度，更多的修正技术/DSP），数字正走进模拟（高速芯片内信号，节能，失配）。数字电路的行为问题实际就是现在的软件。广意互连呈现出强烈的驱动，针对日益引发中心注目的有线或无线标准。生物医学将结伴成长。射频将呈现多模发射的系统革新，更多的贡献将出现在毫米波段。更深层地注目晶圆，2010 年的一个大问题，是将翻腾出来更多奇妙的数字技术；期盼涌现诸如多栅 SOI 晶体管等器件技术。虽然模拟 IC 仍旧是本质的需求，但必须重视其存在的固定沟道宽度、低压和 SOI 问题以及更大的性能变动。高端的模拟亚系统仍将不被集成进入 SoC 和 SiP，并且乐见基于成熟的 $0.18\ \mu\text{m}/0.35\ \mu\text{m}$ 工艺的创新增长。5GHz 以下的双极工艺将不再多见。不必屏息但拭目以待的计划中的技术突破将包括：完全新式的模拟拓扑架构的自动综合；真正通用的模拟测试电路；改进的乘法器电路；等等。[Bill Redman White, 英国]

摩尔定律的不可避免的集成趋势，引领模拟团队聚焦于真实模拟世界与巨量逻辑门之间的机器接口。机器接口的模拟部分，例如包括：有线与无线，存储，片上信号/数据转换，模拟信号整形。因为模拟接口将胜过人类感知，故而模拟技术的生命力将被瓜分。模拟技术将因地域结构而表现为：欧洲——无线；美国——有线；远东——消费电子学。纳米 CMOS 技术的挑战，将激励模拟团队开发新器件模型与新电路结构。[Bang Won Lee, 韩国]

4.3 IC 设计技术的现在与未来 [2006 年卷]

优秀电路发明的因素有那些？透过绝大多数例子，可抽取如下六条[Yannis Tsvividis, 美国]:

- ① 对电路原理的深刻理解，例如在有些案例中，系指器件物理；
- ② 对原有方法所存在错误的优良的体会；
- ③ 优雅且微型化的感觉；
- ④ 发散思维的能力；
- ⑤ 祝福计算机坍塌，并非增量基于计算机仿真的设计者自身思考；
- ⑥ 绝对的幸运。

众所周知，即使对于最奇妙的电路，预想获得卓越的结果，也需要 10%的灵感和 90%的发散。然而，这 10%的灵感经常是最迷人的部分。[Klass Bult, 荷兰]

设计线性电路就像使用语言。小巧简明概念的电路被组合产生出最后的结果。这些小电路正是模拟设计者的词汇。[Bob Dobkin, 美国]

目前，模拟集成的特征尺寸晚于数字集成特征尺寸 1 至 2 个技术代。例如，RF 产品主流工艺是 $0.13\ \mu\text{m} - 0.18\ \mu\text{m}$ 技术。

主要的模拟模块包括：电流镜、带隙稳压、开关放大器与 Δ - Σ ADC，等等。

模拟 IC 等比缩小的瓶颈在于：较低的输出压摆率；性能降低的工艺系统。

解决方案例如：模拟 IC 的高增益依赖于级联、增益推进、交叉耦合、自举与扼流，等等。

电池供电能力的改善进展不快，而呈现指数增长的 SoC 重要指标包括：数据率、算法复杂性与电路复杂性。

在稍微增加芯片面积的前提下，电路的节能技术包括：静态与动态的器件衬偏，操作隔离，时钟门控，供电电压等比缩小，I/O 能量管理，功耗优化的库单元。

最好的模拟领域的发明，将指向架构。在诸如此类的小电路中，一种真正卓越的电路是出奇简单的架构，其易于硅实现，革新基于最高性价比，解决设计者的共同难题。当然，其卓越也在于难觅替代者。[Takahiro Miki, 日本]

主流模拟 IC 的评价方法基于 FOM (Figure-of-Merits) 的可比性构建。

数字电路设计师的未来之路折断了么？困惑的原因源于器件极限与 EDA 工具发展，有专家担心数字 IC 设计师将演进成为‘不停敲击键盘的 ASIC 猴子’。

反思 1990 年代专家观望‘模拟之死’的时候，模拟的机会在于 PLLs、RAMs、ADC 和 DAC，而数字的机会则在于 I/O、时钟树、互连与系统整体方案。

“节能时时刻刻” [Mark Horowitz, 斯坦福大学]。

“应用有限开关动态逻辑和 8 管 SRAM，电源供电可以降低至 0.25V，且保持静态电路设计的优点” [Robert Montoye, IBM 公司]。

现在，工艺诱发的电路参数变动的负面影响，比之由器件等比缩小造成的电路性能下降还要严重 [Gary C. Moyer, Intel 公司]。

“人们不得不通过工作创始价值。没有价值的工作不会存在。例如，应用多米诺逻辑而制造高性能改良电路芯片的时代已经结束。数字 IC 设计师的选项有三：加入 SRAM 设计的行列，他们正忙于解决由工艺诱发的器件参数变动；加入模拟设计团队，他们是普遍存在的传感网络世界的价值创造者；也或停止直接接触电路，转而基于电路专长教授 CAD 用户” [Kazuo Yano, 日本]。

4.4 IC 设计技术的数字化趋势与集成电子学的最终极限 [2007 年卷]

基于数字技术增强性能的模拟与射频设计讨论话题包括：数据转换器，数字校准与 RF 收发线性补偿，数控无线电。

以高集成度和低功耗每单位操作为特点，现代 CMOS 技术提供着强大的数字信号处理能力。做出外延思考，应用数字信号处理技术来增强不可替代的和性能受限的模拟功能块，已经成为新兴的研究范式。数字辅助设计方法学需要仔细的模拟设计与电路/算法联合优化，具有针对信号与系统的节能优点。[Boris Murmann, 斯坦福大学]

即使请出无线电先驱 Armstrong 来评论 RF 集成电路的设计趋势，他无疑也会同意这样的观点

——走过 100 年长路的架构已经成为等比缩小的船锚，除了天线放大器仍需要模拟电路，其余电路正在被所喜爱的数字技术所吞噬（主要包括基于 DSP 的校准与补偿，还有自零比较与数据加权平均，等技术），这是因为集成经济学使然[Asad Abidi, 美国加州大学；Rudolf Koch, 德国；Krishnamurthy Soumyanath, Intel 公司；R. Bogdan Staszewski, TI 公司]。

硅墙是微纳电子学家必须正视的理论极限。美国学者 Meindl 的分层研究方法学认为：

(a) 基本极限

涉及①器件维度，②芯片能力，③热动力学，④多值逻辑存储器。

(b) 材料极限

关注①单电子极限飞行时间，涉及②Si, SiGe, 紧致 Ge, Hf 基的硅化物。

(c) 器件极限

聚焦①参数统计变动。

(d) 电路极限

针对①可控能耗，②速度或功率极限。

(e) 系统极限

中心论题是散热，具体比较①SoC 与 SiP，②同质与异质集成，③可编程与特殊应用，④软件与硬件。

“物理学告诉我们：CMOS 门等比缩小还将持续到下一个技术代。这意味着半导体工业已经走完了 70% 的缩微之路。迎接前路的挑战，寄希望于统计得到的创新规律，即是越来越多地组合工艺、设计与系统架构。” [Hans Stork, TI 公司]

“我们已经将处理器架构转移至并行结构，以此增加集成度和性能而非仅仅增加器件速度。功率密度的限制以及器件性能变动的增加，将持续迫使我们演进出来更加神奇的电路与架构。保持等比缩小法则有效的关键是，器件研发者与电路/系统设计者合作创新实用技术，寄予厚望于架构而非器件速度。” [Robert Brodersen, 加州大学伯克利分校]

21 世纪早期的微芯片之所以成为奇迹硕果，是因为融合了正/逆向设计方法从而进入纳米技术。自顶向下的正向设计纳米技术，已经建模和生产出来数 10 亿晶体管规模的芯片，其特征尺寸达到了 50nm。自底向上的纳米技术已经生产出自组装单晶棒，可切片出 300mm 晶圆。未来半个世纪芯片成长的最有力的信息革命驱动藏在哪里？！硅芯片发展的广泛的透视结果是，为了趋近硅极限或者找到替代技术，应该优雅地融合正/逆向设计技术，组合物理学、生物学和工程学的发现与发明，正好像 20 世纪中叶的晶体管与集成电路发明一样，奔向可以比拟的深刻的智能处理[J. D. Meindl, 美国]。

器件与电路世界有很多共通之处，若彼此疏离则不能生存。国际顶尖的设计与器件国际会议，于 2007 年首次合作，在 ISSCC 上开辟一个专题，介绍 IEDM2006 所展示的器件发明的 4 项前沿工作，包括了先进存储器技术。

3D 集成聚焦于架构与工艺革新[Mitsumasa Koyanagi, 日本东北大学]。3D 集成的优点包括：短互连、高密度与高性能；3D 集成的难点包括：良率与散热；3D 垂直互连技术包括：晶圆级工艺，芯片到晶圆工艺，芯片级工艺，片内 RF 互连，等等。

全局化的最优化，只可能来自对于工艺、器件、电路和系统设计的最佳平衡与折中。

5 未来图解建模

发明的哲学，西方重视形而上，东方重视形而象。电子产品研发周期的演进，早已比摩尔第二定律所总结的 17 年要短！

“汤浅现象”揭示了世界科技中心不断转移的统计规律：近、现代科学活动中心每隔 70 年转移的顺序约为：意大利→英国→法国→德国→美国。科技史学家预言 IC 技术转移的目光，从美国西海岸再往西投射，透过广袤的太平洋，关注东方这块古文明的大陆。

据科技咨询公司 iSuppli 的统计：已知 2005 年，美国依然是全球最大的芯片设计中心，其份额占 40.2%。第二位是日本，占 15.5%，中国台湾列第四为 10.1%。中国大陆正在成为全球半导体生产基地，例如中芯国际等；2006 年中国将成为世界第二大芯片设计中心。

世界集成电路工业 40 多年快速发展的有利的理论驱动，是两个著名理论的成功组合。其中，摩尔定律描述了集成度倍增的产业经济学规律[Intel 公司]，而 Dennard 等比缩小法则保持器件性能和功耗的优点[IBM 公司]。

5.1 半导体工业的创新循环图解

半导体工业发展规律的创新循环请见图 1 所示。图中描述，应用驱动着 IC 技术，新 ICs 满足着新应用。

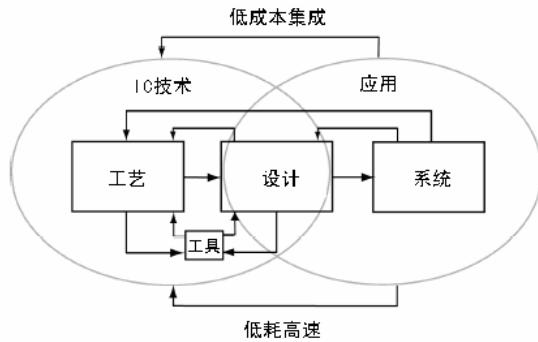


图 1 创新循环图解

5.2 芯片性能评价函数（CPI）的构建

对于数字芯片而言，利用集成的管子数量与功耗延迟积来构建（J. Meindl, ISSCC-1993）：

$$CPI(D) \equiv N/P*\tau [\text{Joule}^{-1}]$$

相应的数据图示如图 2 所示。技术代演进则 CPI(D)呈指数增长规律。

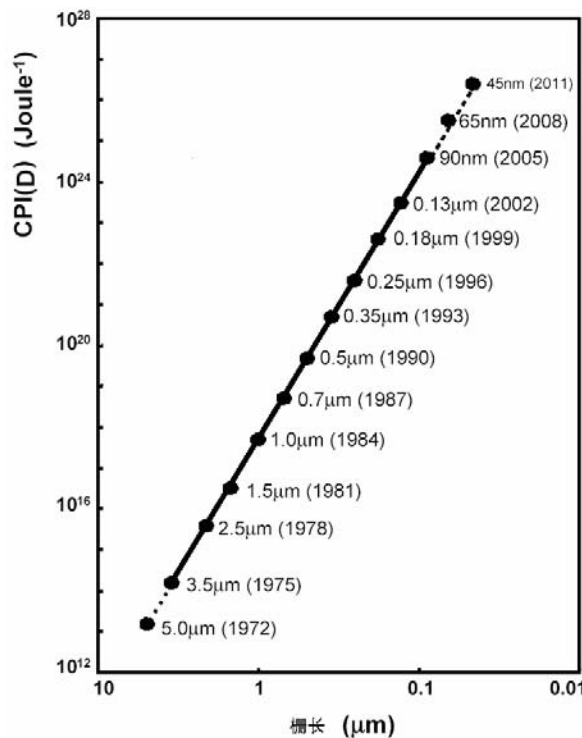


图 2 CPI(D) vs. 技术代（栅长）

对于模拟芯片而言，重视信噪比，利用简化的 FOM（性能数据化）来描述（ITRS-2001）：

$$CPI(A) \equiv (S/N)/(P*\tau) [\text{Joule}^{-1}]$$

相应的数据图示以流水线 ADC 为例示于图 3[J. Wu 和 N. Lu]。其中，技术代演进则 CPI(A) 改良，但在每个技术代内，对应最佳信噪比设计的 CPI(A)皆出现成长障碍极点。另外，减小采样间隔 τ 将迫使功率 P 增加，从而影响到信噪比的设计折中。

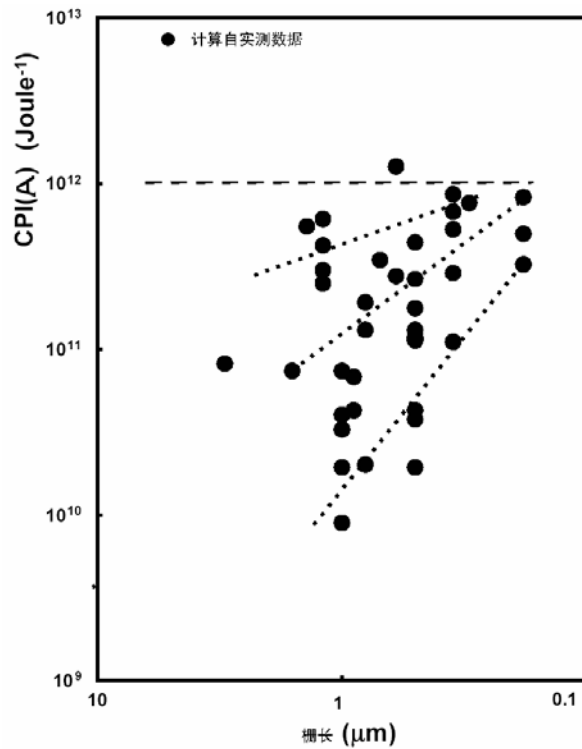


图 3 CPI(A) vs. 技术代（栅长）

对于射频芯片而言，重视输入输出噪声以及输入过剩噪声偏差 [$\Delta N = (N_{out}/Gain) - N_{in}$]:

$$CPI(RF) \equiv (N_{in} / \Delta N) / (P * \tau) \text{ [Joule}^{-1}\text{]}$$

图 4 所示为单片接收 IC 与低噪声放大器的 CPI(RF)数据[S. Lu, N. Lu, H. Chiu]: 技术代推进则 CPI(RF)改善; 但对噪声数 $NF \equiv (S/N)_{in} / (S/N)_{out}$ 的仔细控制, 将影响在同一裸芯上对不同类型电路的优化。

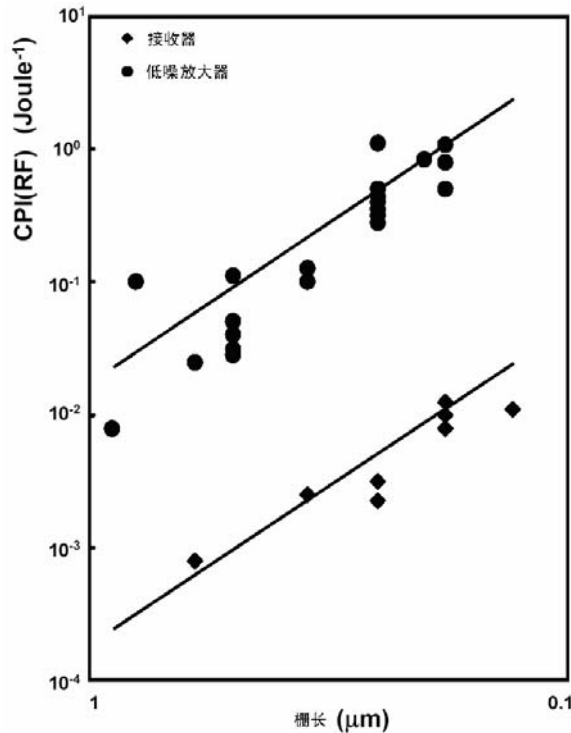


图 4 CPI(RF) vs. 技术代 (栅长)

对于存储器芯片而言，应用驱动 (ADM)，考察成本，简介 3 个评价函数模型：

① i 种存储裸芯的堆叠结构，利用位数 BC_i 、集成密度因子 α_i 、同种堆叠裸芯数量 n_i 与封装面积 A_p ，构建模型：

$$CPI_1(ADM) \equiv \sum(BC_i * \alpha_i * n_i) / A_p \text{ [bits/cm}^2\text{]}$$

其中， α_i 取值为 SRAM=16，NOR=4，PSRAM=3，NAND=1。

② DRAM 的 CPI 定义为：

$$CPI_2(DRAM) \equiv BC / A_p \text{ [bits/cm}^2\text{]}$$

③ 针对存储器的功耗与速度的 CPI 定义为：

$$CPI_3(ADM) \equiv \sum(BC_i / P) * (nIO / \tau) \text{ [bits}^2\text{/Joule]}$$

其中， nIO 为总管脚数量。

总体分析上述 4 类 IC 家族重要成员 (数字、模拟、RF 与存储) 的 CPIs，试想简单地做 SoC 或 SiP 集成，则难于整体寻优。折中方案是进行多维裸芯系统芯片 (MDSC) 集成。

统一的系统芯片集成 (针对 SoC、SiP 或 MDSC) 性能评价函数可以构建如下，主要针对合理成本的集优化成：

$$CPI(MDSC) \equiv f[CPI(D), CPI(A), CPI(RF), CPI_j(ADM)] / V_p$$

其中， V_p 是系统芯片的封装体积。

5.3 半导体工业发展总趋势建模

半导体工业的范式将移进融合时代，因为，未来的技术正在汇聚。

三星半导体在国际器件会议 IDEM2006 上预测半导体业发展的一个新模型是：

$$IT + NT + BT = FT$$

其中，IT 是信息技术，NT 是纳米技术，BT 是生物技术，FT 是融合技术。

美国吉迪斯院士高屋建瓴地将生物医学领域一分为二：D (计算数据) 和 I (发明仪器)。笔者预测：人脑保健微电子学需要未来的全脑模拟芯片的支撑。

“这是一个绝妙的生存时代。从来没有这么多的良机，使人们可以完成从前根本无法操做的事件。这的确是一个从未有过的最佳时代。” [摘自微软之父比尔·盖茨的《未来之路》]

敬请铭记：24 小时思考+锲而不舍+世界眼光。

鸣谢

鸣谢三位世界级专家的亲自指导。他们是：世界生物医学电子学泰斗 L. A. Geddes 院士（美国普度大学）；世界微电子学泰斗 S. M. Sze 院士（中国台湾交通大学）；世界三维集成之父 Mitsumasa Koyanagi 教授(IEEE Fellow)（日本东北大学）。

参考文献

- [1] 2004 IEEE Solid-State Circuit Conference Digest of Technical Papers-Volume 47, pp.1-568. February 15-19, 2007. San Francisco, US.
- [2] 2005 IEEE ISSCC-Volume 48, pp.1-644. February 6-10, 2005. San Francisco, US.
- [3] 2006 IEEE ISSCC-Volume 49, pp.1-704. February 5-9, 2006. San Francisco, US.
- [4] 2007 IEEE ISSCC -Volume 50, pp.1-656. February 11-15, 2007. San Francisco, US.
- [5] IEEE International Electron Devices meeting, December 11-13, 2006, San Francisco, US. pp.19-26, Chang-Gyu Hwang, “New Paradigms in Silicon Industry”.

Solid-State Circuit Design’s Future: Fusion and Health

——2004-2008 ISSCC Technical Paper Review

Wenshi Li

（正文结束）