

5、普通用途和可选择功能的 I/O（GPIO 和 AFIO）

5.1、GPIO 功能描述

每个普通用途 I/O 口有两个 32 位配置寄存器（GPIOx_CRL，GPIOx_CRH）两个 32 位数据寄存器（GPIOx_IDR,GPIOx_ODR），一个 32 位置位/复位寄存器（GPIOx_BSRR），一个 16 位复位寄存器(GPIOx_BRR)和一个 32 位锁存寄存器（GPIOx_LCKR）。

每个 I/O 口的特殊硬件特性都列表于数据手册里，GPIO 口的每个口可以被软件独立的配置许多模式：

- 输入悬浮
- 输入上拉
- 输入下拉
- 模拟输入
- 输出开漏
- 输出上拉
- 可选择功能上拉
- 可选择功能开漏

每一个 I/O 口可以自由的编程，但是，I/O 口寄存器必须以 32 位字访问（不允许半字或字节访问）。GPIOx_BSRR 和 GPIOx_BRR 寄存器的目的是可以以原子的读/修改来访问每一个 GPIO 寄存器。这种方式，在读和修改之间不会有发生 IRQ 这样的冒险。

Figure 9 说明了每个 I/O 的基本结构。

Figure 9. Basic structure of an I/O port bit

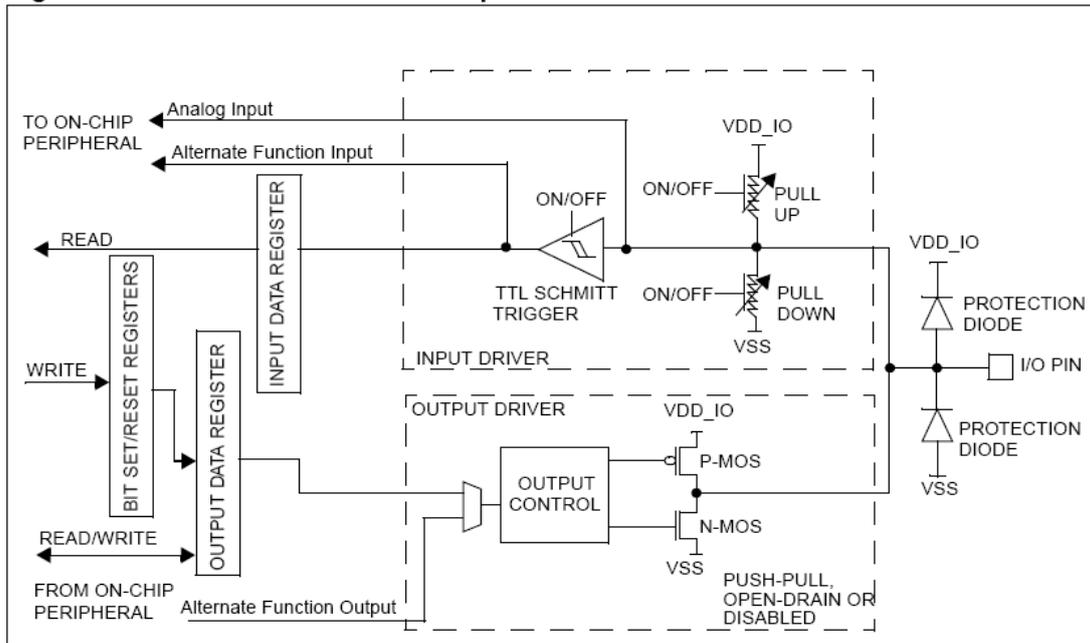


Table 11. 位口配置表

配置模式		CNF1	CNF0	MODE1	MODE0	PxODR Register
普通用途输出	上拉	0	0	See Table 12	01 10 11	0 or 1
	开漏		1			0 or 1
可选择功能输出	上拉	1	0			X
	开漏		1			X
输入	模拟输入	0	0	00	X	
	输入悬浮		1		X	
	输入下拉	1	0		0	
	输入上拉				1	

Table 12. 输出模式位

MODE[1:0]	Meaning
00	保留
01	最大输出速率为 10MHz
10	最大输出速率为 2 MHz
11	最大输出速率为 50 MHz

5.1.1、普通用途 I/O (GPIO)

当在复位期间和刚刚复位后，可选择功能没有激活，I/O 口默认配置成输入悬浮模式 (CNF_x[1:0]=01b,MODE[1:0]=00b)。

在复位后 JTAG 脚为上位/下拉输入：

PA15: JTDI 脚上拉

PA14: JTCK 脚下拉

PA13: JTMS 脚上拉

PB4: JNTRST 脚上拉

当配置为输出，写到输出数据寄存器 (GPIO_x_ODR) 的值输出到 I/O 脚，用作上拉模式或开漏模式 (仅 N-MOS 激活输出为 0) 是可以的。

输入数据寄存器 (GPIO_x_IDR) 在每个 APB2 时钟周期时捕获当前的 I/O 值。

所有的 GPIO 脚有一个内部弱上拉和一个弱下拉，当配置为输入时可选择性的激活。

5.1.2、原子的置位或复位

当以位标准编程 GPIO_x_ODR 时没必要用软件禁止中断。在单个原子的 APB2 写操作时修改一个或几个位是可能的。

编程 1 到置位/复位寄存器 (GPIO_x_BSRR, 或 GPIO_x_BRR 仅仅是复位) 就可以完成你想修改的相应位。没有写 1 的位就不会被修改。

5.1.3、外部中断/唤醒线

所有的端口有外部中断能力，为了使用外部中断线，相应的端口必须配置成输入模式。如需进一步了解外部中断，请参考：

- [Section 6.2: External interrupt/event controller \(EXTI\) on page 101](#) and
- [Section 6.2.3: Wake-up event management on page 102](#)。

5.1.4、可选择功能 (AF)

在使用默认可选择功能之前，有必要编程端口位配置寄存器。

可选择功能输入，端口可以配置成：

——输入模式 (悬浮，上拉或下拉)

——可选择功能输出模式。在这种模式下，输入驱动配置成输入悬浮模式。

可选择功能输出，端口必须配置成可选择功能输出模式（上拉或开漏）

可选择功能双向，端口必须配置成可选择功能输出模式（上拉或开漏）。在这种情况下，输入驱动配置成输入悬浮模式。

如果你配置一个位口作为可选择功能输出，它不会连接到输出寄存器，而是连接到芯片外设信号输出脚。

如果软件配置一个 GPIO 脚作为可选择功能输出，但是外设没有激活，它的输出会不确定。

5.1.5、可选择功能 I/O 软件映射

为了优化外围 I/O 功能号以适应不同的设备包，许多可选择功能映射到其它管脚是可能的。这个操作得靠软件，靠编程相应的寄存器（参考 91 页 AFIO 寄存器描述）在这种情况下，可选择功能不再映射到它们初始的地址。

5.1.6、GPIO 锁存机制

锁存机制允许 I/O 配置冻结。当一个锁存序列应用到一个位口时，直到下次复位这个位口时才可以修改这个位口的值。

5.1.7、输入配置

当 I/O 编程为输入：

输出缓冲被禁止

斯密特触发输入被激活

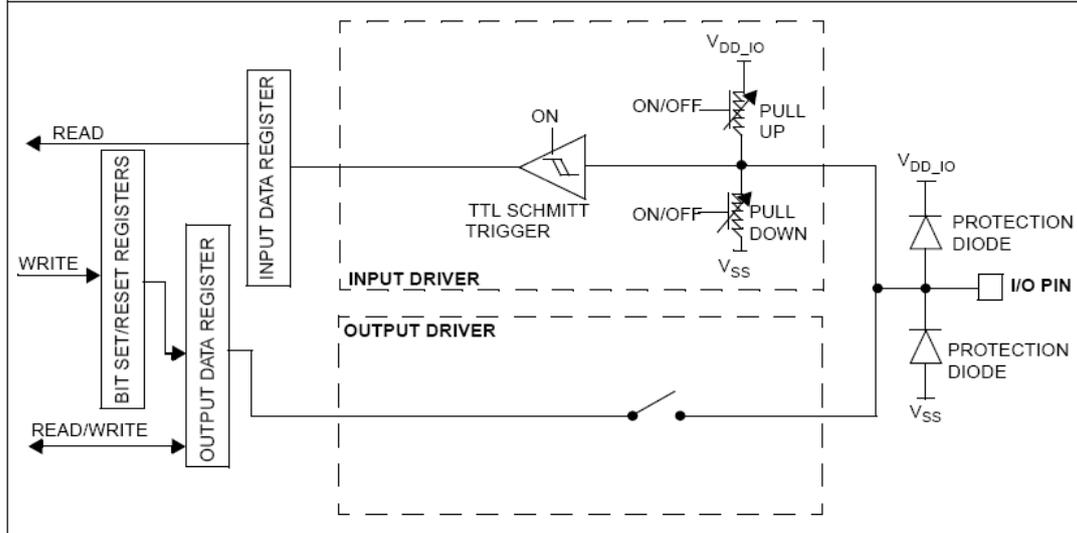
弱上拉和弱下拉电阻是否被激活依赖于输入配置（上拉，下拉或悬浮）

每一个 APB2 时钟周期会把当前 I/O 口的值采样到输入数据寄存器。

一个读访问输入数据寄存器将会得到 I/O 状态。

76 页的 Figure 10 说明了 I/O 位口输入配置。

Figure 10. Input floating/pull up/pull down configurations



5.1.8、输出配置

当 I/O 口编程为输出：

输出缓冲被使能：

——开漏模式：在输出寄存器里的“0”会激活 N-MOS，“1”会使端口为高阻态。（P-MOS 永远不会激活）

——上拉模式：在输出寄存器里的“0”会激活 N-MOS，“1”会激活 P-MOS。

斯密特触发输入被激活。

弱上拉或弱下拉电阻器被禁止。

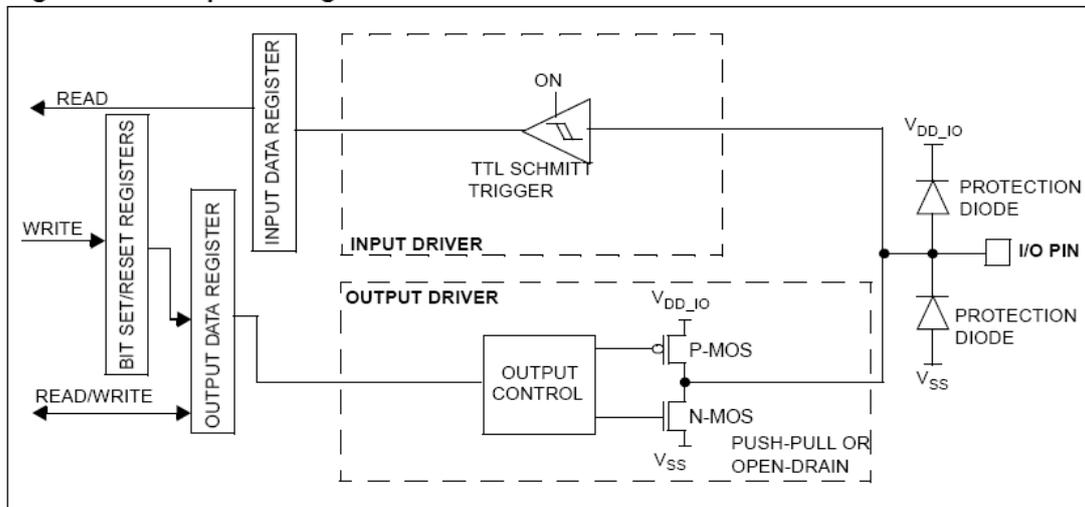
每一个 APB2 时钟周期会把当前 I/O 口的值采样到输入数据寄存器。

在开漏模式下，一个读访问输入数据寄存器将会得到 I/O 状态。

在上拉模式下，一个读访问输出数据寄存器将获得上次写的值。

77 页的 Figure 说明了位口输出配置。

Figure 11. Output configuration



5.1.9、可选择功能配置

当 I/O 编程为可选择功能：

输出缓冲转到开漏或上拉配置

输出缓冲被外设（可选择功能输出）信号驱动

斯密特触发输入被激活

弱上拉和弱下拉电阻器被禁止

每一个 APB2 时钟周期会把当前 I/O 口的值采样到输入数据寄存器

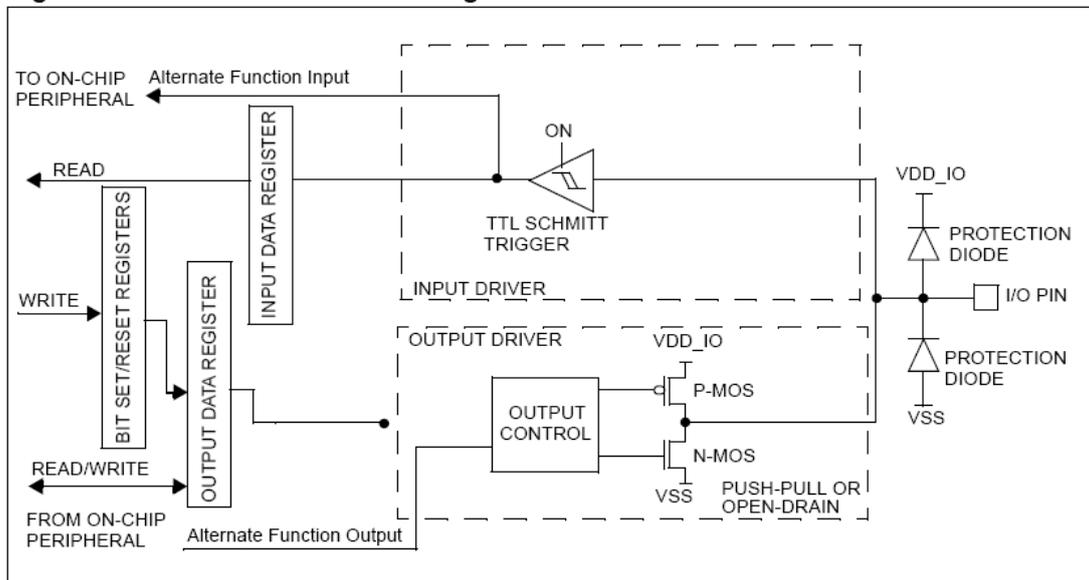
在开漏模式下，一个读访问输入数据寄存器将会得到 I/O 状态

在上拉模式下，一个读访问输出数据寄存器将获得上次写的值

78 页的 Figure 说明了位口可选择功能配置，如需进一步了解，请参考 91 页段 5.4: AFIO 寄存器描述。

可选择功能寄存器设置允许你映射一些可选择功能到不同的管脚。

Figure 12. Alternate function configuration



5.1.10、模拟输入配置

当 I/O 编程为模拟输入配置：

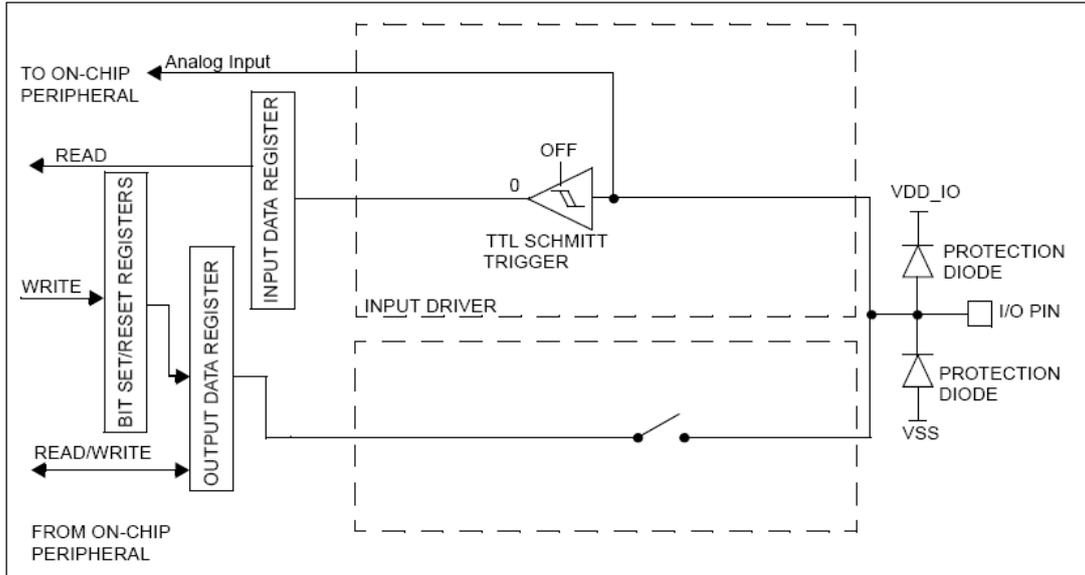
输出缓冲被禁止。

斯密特输入不激活，为每个 I/O 脚的模拟值准备 0 功耗。斯密特的输出被强制一个固定值(0)。

弱上拉和弱下拉电阻器被禁止。

读访问输入数据寄存器将会获得值 0。

79 页的 Figure 说明了位口高阻模拟输入配置。

Figure 13. High impedance-analog input configuration

5.2、GPIO 寄存器描述

本部分请参考原文相应段！

本章翻译主要是为了自己以后查阅,及能给像我一样还在 STM32 大门口的朋友们带来帮助,由于本人英语能力有限,难免出错,望朋友们不惜指正批评!