

## 新特器件应用

带串行控制和 11 路输入的模数  
转换器 TLC2543 及应用

株洲职业技术学院 肖伸平

With serial Control and 11 - ways Input Analog - to - digital converter  
TLC2543 and Its Applications

Xiao Shenping

摘要: TLC2543 是德州仪器公司生产的 12 位开关电容型逐次逼近模数转换器,它具有三个控制输入端,采用简单的 3 线 SPI 串行接口可方便地与微机进行连接,是 12 位数据采集系统的最佳选择器件之一。本文介绍了该芯片的功能、时序,并给出了 8051 单片机的接口电路。

关键词:模数转换器; SPI 串行接口; TLC2543

分类号: TH79<sup>+</sup>2

文献标识码: B

文章编号: 1006 - 6977(2000)01 - 0013 - 03

## 1. 概述

A/D、D/A 转换器是过程及仪器仪表、设备等检测与控制装置中应用比较广泛的器件。随着大规模集成电路技术的发展,各种高精度、低功耗、可编程、低成本的 A/D 转换器不断推出,使得微机控制系统的电路更加简洁,可靠性更高。

TLC2543 与外围电路的连线简单,三个控制输入端为  $\overline{CS}$ (片选)、输入/输出时钟(I/O CLOCK)以及串行数据输入端(DATA INPUT)。片内的 14 通道多路器可以选择 11 个输入中的任何一个或 3 个内部自测试电压中的一个,采样 - 保持是自动的,转换结束,EOC 输出变高。

TLC2543 的主要特性如下:

- 11 个模拟输入通道;
- 66ksp/s 的采样速率;
- 最大转换时间为 10 $\mu$ s;
- SPI 串行接口;
- 线性度误差最大为  $\pm 1LSB$ ;
- 低供电电流(1mA 典型值);
- 掉电模式电流为 4 $\mu$ A。

## 2. TLC2543 引脚功能与接口时序

## 2.1 TLC2543 引脚排列

TLC2543 的引脚排列如图 1 所示。引脚功能说明如下:

AIN0~AIN10: 模拟输入端,由内部多路器选择。对 4.1MHz 的 I/O CLOCK,驱动源阻抗必须小于或等于 50  $\Omega$ ;

$\overline{CS}$ : 片选端, $\overline{CS}$  由高到低变化将复位内部计数器,并控制和使能 DATA OUT、DATA INPUT 和 I/O CLOCK。 $\overline{CS}$  由低到高的变化将在一个设置时间内禁止 DATA INPUT 和 I/O CLOCK;

DATA INPUT: 串行数据输入端,串行数据以 MSB 为前导并在 I/O CLOCK 的前 4 个上升沿移入 4 位地址,用来选择下一个要转换的模拟输入信号或测试电压,之后 I/O CLOCK 将余下的几位依次输入;

DATA OUT: A/D 转换结果三态输出端,在  $\overline{CS}$  为高时,该引脚处于高阻状态;当  $\overline{CS}$  为低时,该引脚由前一次转换结果的 MSB 值置成相应的逻辑电平;

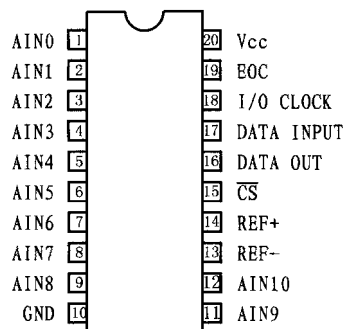


图 1 TLC2543 的引脚排列

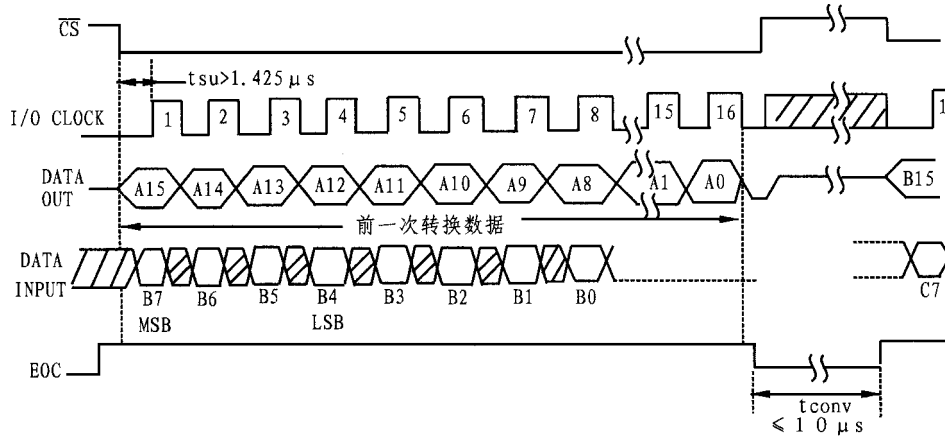


图 2 16 时钟传送时序图(使用  $\overline{CS}$ ,MSB 在前)

EOC: 转换结束端。在最后的 I/O CLOCK 下降沿之后, EOC 由高电平变为低电平并保持到转换完成及数据准备传输;

$V_{CC}$ 、GND: 电源正端、地;

REF +、REF - : 正、负基准电压端。通常 REF + 接  $V_{CC}$ , REF - 接 GND。最大输入电压范围取决于两端电压差;

I/O CLOCK: 时钟输入/输出端。

### 2. TLC2543 的工作时序

TLC2543 每次转换和数据传送使用 16 个时钟周期,且在每次传送周期之间插入  $\overline{CS}$  的时序。时序如图 2 所示。

从时序图可以看出,在 TLC2543 的  $\overline{CS}$  变低时开始转换和传送过程, I/O CLOCK 的前 8 个上升沿将 8 个输入数据位键入输入数据寄存器,同时它将前一次转换的数据的其余 11 位移出 DATA OUT 端,在 I/O CLOCK 下降沿时数据变化。当  $\overline{CS}$  为高时, I/O CLOCK 和 DATA INPUT 被禁止, DATA OUT 为高阻态。

### 3. TLC2543 与 80C31 的连接

#### 3.1 硬件接口

由于 MCS - 51 系列单片机不具有 SPI 或相同能力的接口,为了便于与 TLC2543 接口,采用软件合成 SPI 操作,为减少数据传送速率受微处理器的时钟频率的影响,尽可能选用较高时钟频率。接口电路如图 3 所示。

TLC2543 的 I/O 时钟、数据输入、片选信号由

P1.0、P1.1、P1.3 提供,转换结果由 P1.2 口串行读出。

#### 2.2 接口程序

设通道/方式控制字存放在 R4 中,程序在读出前一次转换结果的同时,将该通道/方式控制字发送到 TLC2543 中去,转换结果存放在相邻地址的存储器中。存储器地址从 30H ~ 45H,且高字节在前,低字节在后。

```

ORG 100H
START: MOV SP, # 50H ;堆栈指针初始化
      MOV P1, # 04H ;P1 口引脚初始化
      CLR P1.0
      SETB P1.3
      ACALL TLC2543
      ACALL STORE
      JMP START
TLC2543: MOV A, R4
      CLR P1.3
      JB ACC.1, LSB ;如果 A 的位 1 为 1,先做低字节
      MSB: MOV R5, # 08
      LOOP1: MOV C, P1.2 ;数据位读入进位位

```

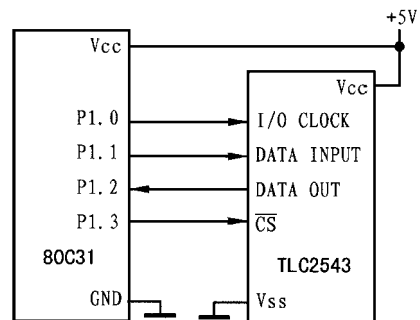


图 3 TLC2543 与 8051 单片机的接口

```

RLC A
MOV P1.1,C ;输出方式/通道位
SETB P1.0 ;产生 I/O 时钟
CLR P1.0
DJNZ R5,LOOP1 ;输入/输出另一位
MOV R2,A ;高字节送入 R2
MOV A,R4
JB ACC.1,RETURN
LSB: MOV R5,#08
LOOP2:MOV C,P1.2
RLC A
MOV P1.1,C
SETB P1.0
CLR P1.0
DJNZ R5,LOOP2
MOV R3,A
MOV A,R4
JB ACC.1,MSB
RETURN:RET
STORE:MOV A,R4
ANL A,#0F0H
SWAP A
MOV B,#02
MUL AB
ADD A,#030H
MOV R1,A
MOV A,R2
MOV @R1,A
INC R1
MOV A,R3
MOV @R1,A
RET
END

```

以上程序用累加器和带进位的左循环移位的指令来合成 SPI 功能,读入转换结果的第一个字节的第一位到进位(C)位。累加器内容通过进位位左移,通道选择和方式数据的第一位通过 P1.1 输出。然后由 P1.0 先后高低的翻转来提供串行时钟。这个时序再重复 7 次,完成转换数据的第一个字节的传送。第二个字节由重复 8 次时钟脉冲和数据传送的整个序列来传送。

咨询编号:000106

(上接第 8 页)必将造成定时抖动积累。于是,从网同步的角度考虑,为了保证 SDH 组网后能够正常运行,同步传输链路应尽量短,整个链路的 G.812 时钟节点数应不超过 10 个,每一个 SDH 节点至少应有 2 个独立的外定时输入,以保证足够的定时可靠性。

用 2 片 GW7680 构成的线路定时网同步方式颇具特色,跟 SDH 网同步方式相比,它在线路定时提取过程中几乎没有任何时钟抖动积累。线路定时提取原理如图 5 所示。

当接收到上一站传来的 42.24 Mbit/s 的线路信号时,1 片 GW7680(A 单元)将其分接成 16 个 2Mbit/s 的信号,再经另一片 GW7680(B 单元)复接、线路编码成 42.24Mbit/s 的信号输出,这时

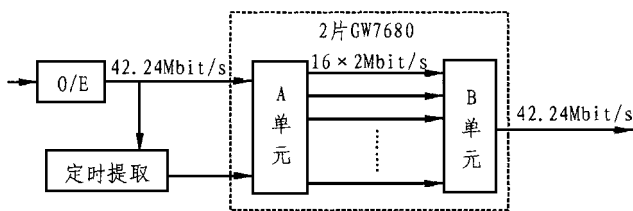


图 5 独特的本地线路定时提取原理图

的时钟信号不是由定时提取电路提出来的,而是由 B 单元同步复接出来的,它不需要参考别的时钟(如 PRC),也不需作任何频偏调整。因此,当多个站采用这种本地线路定时提取方式组联成链状网或环网时,每个站的线路定时都独立,不存在时钟的转发问题,因而不会造成整个链状网或环网的定时抖动积累。这是一般的 SDH 和 PDH 设备无法做到的。

#### 4. 结束语

综上所述,根据不同的设计要求来选择复接芯片时,首先应对各种复接芯片的功能进行分析,然后分析采用该芯片完成电路设计时的外围电路实现的难易程度,最后考虑复接芯片的性价比。这样设计的电路既能满足要求,又能达到事半功倍的效果。另外,在使用某一芯片时,要尽量挖掘该芯片的潜能,进行灵活搭配使用,这样往往能够开发出意想不到的、性能优异的电路或设备,如本文提到的用 2 片 GW7680 构成一种独特的本地线路定时提取方案便是如此。

咨询编号:000103