

基于 TMS320DM642 的网络摄像机设计

网络摄像机的解决方案有多种选择，但是市场主流产品一般选择两种方案：(1)采用 CPU+ASIC。(2)采用双 CPU 结构，即一个嵌入式 CPU 和一个专用信号处理芯片 DSP。受专用 DSP 芯片处理能力的限制，现有的嵌入式网络摄像机中使用的视频处理算法基本是 H.263 以下的标准。

本文介绍一种基于 TMS320DM642 DSP 的网络摄像机设计方案。其操作系统、通信协议、网络协议、音视频处理软件均在一颗 TMS320DM642 上实现，降低了开发的难度。

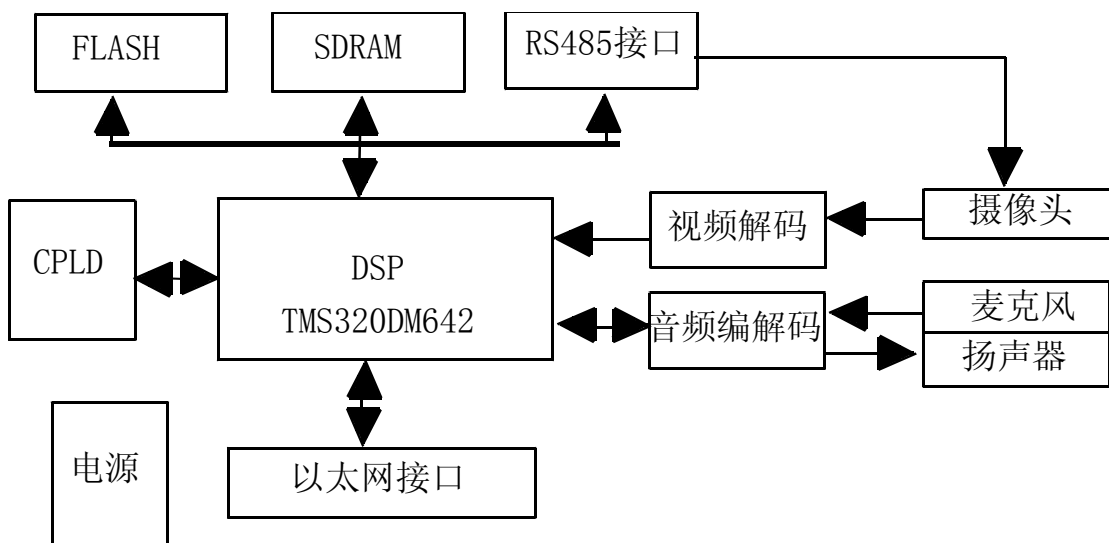
TMS320DM642 芯片简介

TI 公司的 TMS320DM642 (以下简称 DM642)是一款专门面向多媒体应用的专用 DSP。该 DSP 时钟高达 600MHz，8 个并行运算单元，处理能力达 4800MIPS；采用二级缓存结构；具有 64 位外接存储器接口；兼容 IEEE-1149.1(JTAG)边界扫描；为了面向多媒体应用，还集成了 3 个可配置的视频端口、面向音频应用的 McASP(Multi Channel Audio Serial Port)、10/100Mb/s 的以太网 MAC 等外设。鉴于 DM642 的上述优点，本网络摄像机系统就以 DM642 为核心，完成音视频信号的实时采集、压缩及传输功能。

硬件设计

系统电路组成如图所示。从摄像机输入的视频信号和从麦克风输入的音频信号经采集、A/D 转换为数字信号后送入 DSP。DSP 在信源处对音视频信号进行压缩编码和合流，然后通过局域网或因特网将数据

传输给视频监控中心。监控中心可同时监视多个现场，接收或发送报警信号，并根据需要通过异步串行总线 RS-485 实时控制云台，调整摄像头的方向和位置。

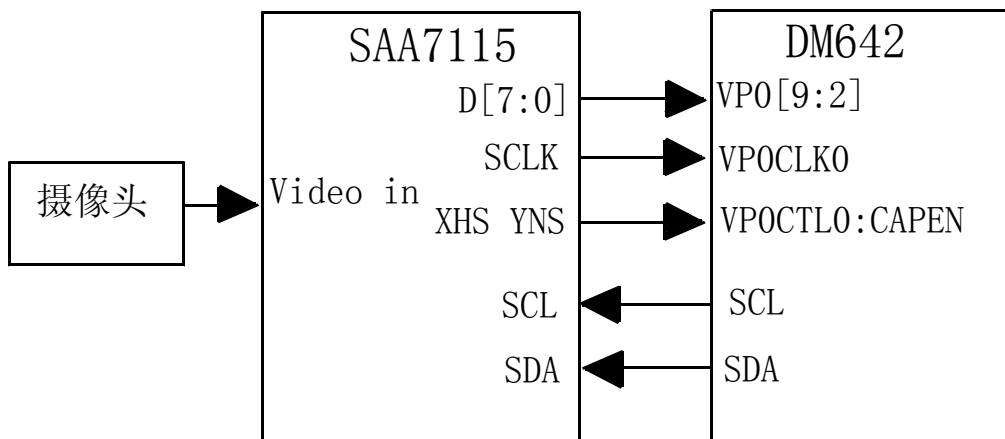


网络摄像机硬件原理图

视频采集电路

本系统采用的视频解码芯片是 Philips 公司的 SAA7115。从模拟视频输入口输入的全电视信号在 SAA7115 内部经过钳位、抗混叠滤波、A/D 转换、YUV 分离电路之后，在 YUV 到 YCrCb 的转换电路中转换成 BT.656 视频数据流，输入到压缩核心单元 DM642 中。DM642 的 3 个视频口 VP0、VP1、VP2 与视频编解码芯片相接。

在本系统中，只有一路视频输入，故 VP1、VP2 端口未用，VP0 通道配置为 8 位 BT.656 视频输入口。视频数据的行/场同步信号包含在 BT.656 数字视频数据流的 EAV(end of active video)和 SAV(start of active video)时基信号中，视频口只需视频采样时钟和采样使能信号即可。SAA7115 内部寄存器参数的配置和状态的读出通过 I2C 总线进行。视频接口的原理如图所示。



视频接口原理图

音频输入/输出电路

本系统采用 TI 的高性能立体声编解码器 TLV320AIC23(以下简称 AIC23)实现音频信号的采集和播放。AIC23 与 DM642 的 I/O 电压兼容，可以实现与 DM642 的 McASP 接口无缝连接。

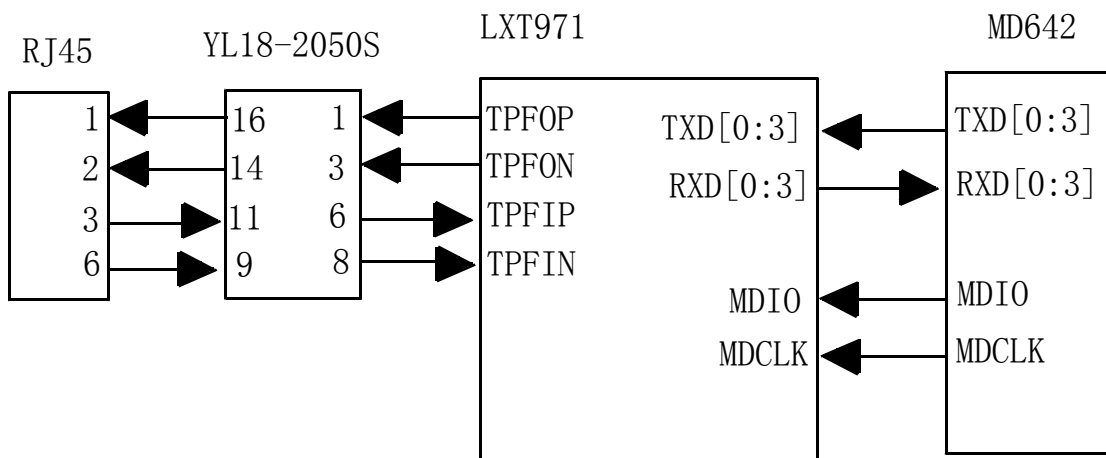
在本系统中，AIC23 工作于主模式，左右声道的采样字宽均为 16bit。数据接口为 DSP mode 模式。通过 I2C 总线设置内部寄存器的工作参数和反馈状态信息。

因为网络传输的固有特点，音频数据和视频数据从网络摄像机端到达监控中心不可能是均匀的，如果网络摄像机端不做任何纠正处理，则很难保证音视频的同步输出。为了实现音频和视频的采样同步，本文利用锁相环 PLL1708，从 SAA7115 的 LLC 引脚输出 27MHz 时钟，经 PLL1708 产生 AIC23 的主时钟 MCLK。由于音视频采样信号采用同一个时钟源，就不会出现音视频不同步的问题。PLL1708 的 SCKO3 引脚输出默认时钟频率 18.433MHz，作

为 AIC23 的输入主时钟 MCLK。AIC23 内部采用的时钟可通过设置寄存器由主时钟 MCLK 分频得到。

以太网接口电路

本系统用 LXT971 作为快速以太网物理层自适应收发器。由于 LXT971 支持 IEEE 802.3 标准，提供 MII(media independent interface)接口，可以支持 MAC，而 DM642 内部正好集成有以太网媒体存取控制器，所以 LXT971 可以和 DM642 实现无缝连接。连接电路如图所示，其中 YL18-2050S 为 1:1 的隔离变压器（该网络变压器为裕泰公司的，电话 0574-63620701，www.yutai-elec.com）。从 DM642 传输过来的数据通过 LXT971 转换为以太网物理层能接收的数据后，通过 RJ-45 头传输到因特网。



以太网接口电路图

存储器扩展电路

DM642 内部有 16KB 的一级程序缓存，16KB 的一级数据缓存和 256KB 的程序数据共享二级缓存。但这对于直接处理图像数据是不够的，因此扩展了两片 32MB 的 SDRAM 来存放原始图像数据，4 MB 的 FLASH 来存放应用程序。二者都映射到 DM642 的外部数据空间。

CPLD 电路

本系统采用的 CPLD 是 Xilinx 公司的 XC9572XL。该芯片具有 72 个宏单元，1600 个逻辑门；5ns pin-to-pin 的逻辑延迟；178MHz 的系统频率。CPLD 的功能主要是：为 FLASH、UART 和 CPLD 异步寄存器空间作地址解码；为 FLASH 产生 3bit 的页选信号；监控来自 UART 的电平中断信号，转换为边沿触发中断信号送给 DSP。

RS-485 接口电路

该接口连接到摄像机的云台，用来控制云台的转动，调整摄像头的方向和位置。RS-485 总线抗干扰能力强，能实现多站点远距离通信。本压缩卡拟采用 UART 芯片 SC16C550 和 MAXIM 公司的 MAX487E 来实现 RS-485 信号的传输。SC16C550 主要功能是把 DSP 传送

过来的并行信号转换为串行信号。SC16C550 内部的接收器和发送器各有 16B 的 FIFO，能处理的串行信号的速率高达 3Mbps。MAX487E 是 RS-485 总线接口芯片，可以工作在全双工、半双工模式。传输速率可达 2.5Mbps。

电源电路

整个压缩卡用一个 5V 的直流变压器供电。由这个 5V 的电压器产生 1.4V 和 3.3V 电压分别给 DSP 内核和 I/O 端口供电，产生另外一个 3.3V 给视频编解码及其他芯片供电。注意这两个 3.3V 电源要分开设计，以免电源噪声相互干扰。

由于 DSP 需要两种电压，所以要考虑供电系统的配合问题。加电过程中，应当保证内核电源先上电，最晚也应当与 I/O 电源一起加。关闭电源时，先关闭内核电源，再关闭 I/O 电源。讲究供电次序的原因在于：如果仅 CPU 内核获得供电，周边 I/O 没有供电，对芯片不会产生损害，只是没有输入/输出能力而已。如果反过来，周边 I/O 得到供电而 CPU 内核没有加电，那么芯片缓冲/驱动部分的晶体管将在一个未知状态下工作，这是非常危险的。

为了解决这个问题，本文采用了开关电源芯片 TPS54310PWP，把 1.4V 模块的电源输出有效引脚 PG(power good)连接到 3.3V 模块的允许电压输入引脚 EN。这样，只有当 1.4V 电压有效之后，3.3V 电压才开始上电，这就保证了 DM642 的内核电压先于 I/O 电压上电。

软件设计

在本系统中，图像压缩采用 H.264 标准。H.264 具有很高的编码效率，在相同的重建图像质量下，能够比 H.263 节约 50%左右的码率。H.264 的码流结构网络适应性强，增加了差错恢复能力，能够很好地适应 IP 和无线网络的应用。音频编解码采用 G.729 算法。网络传输采用 RTP/RTCP 协议以及组播方式，这样可以保证传送的质量。在操作系统方面，采用基于 DSP/BIOS 的 TI 参考架构 5(RF5)。基于 RF5 操作系统的应用程序模块主要包括：音视频采集模块、压缩编码模块、UART 控制模块和网络传输模块。

本方案能在一颗 DM642 芯片上实现网络摄像机的几乎全部功能，能对音视频进行实时的编解码和实时的网络传输。图像质量高、开发难度低、易于升级，是一种比较理想的网络摄像机解决方案，可广泛应用于视频监控系统中。