

# 鲜为人知的相位噪声特性

## Little Known Characteristics of Phase Noise

■ 美国模拟器件公司 Paul Smith

关于相位噪声专题的信息有很多，包括相位噪声特性、相位噪声测量方法以及它对系统性能的影响。众所周知，振荡器和时钟的相位噪声已成为导致现代无线电系统性能降低的因素之一。然而，大多数传统相位噪声分析仅将重点放在单载波无线电系统中正弦波信号的降低，而相位噪声对多载波接收机、宽带系统或数字无线电的影响则很少涉及。本文将讨论一些与采样数据系统相位噪声有关的一些鲜为人知的问题，主要是多载波无线电、宽带信号和欠采样无线电体系结构等。

**相位噪声涵盖范围很广，包括相位噪声特性、相位噪声测量方法以及它对系统性能的影响。传统相位噪声分析的重点仅放在单载波无线电系统中正弦波信号的降低，而相位噪声对多载波接收机、宽带系统或数字无线电的影响则很少涉及。一些鲜为人知的相位噪声问题现在越来越引起设计人员的关注。**

### 采样数据系统的相位抖动

计算采样数据系统中由相位噪声引起的信噪比(SNR)性能降低的最简单的方法是将相位噪声转换成相位抖动。利用在给定频率条件下，时间延迟与相位延迟相同的原理很容易实现这一转换。扩展这一原理并以噪声功率的形式写出，得到公式(1)：

$$\sigma_{\theta}^2 = \omega_{clk}^2 \sigma_{\tau}^2 \quad (1)$$

其中， $\sigma_{\theta}$  = 相位噪声有效值，单位为弧度(rad)

$\sigma_{\theta}$  = 相位抖动有效值，单位为秒(s)

$\omega_{clk}$  = 时钟频率，单位为弧度/秒(rad/s)

也就是说，对于一个给定的时钟抖动误差，信号频率越高则相位误差越大。 $\sigma_{\theta}$ 项是时钟的总积分相位噪声，并通过下式定义时钟 SNR：

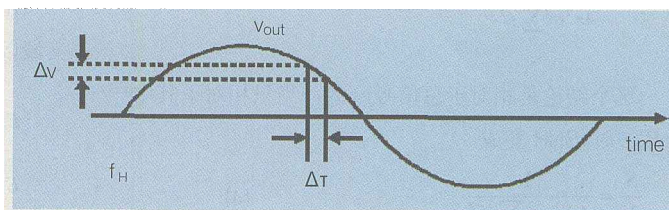
$$SNR_{clk} = -10 \log(\sigma_{\theta}^2)$$

这样，(1)式将总积分相位噪声，或时钟 SNR 与总时

钟抖动联系起来。相位噪声和时钟抖动是同一现象的两种不同表述方式。

传统采样数据 SNR 分

析采用图 1 作为确定时钟噪声在采样数据中产生误差的辅助方法，由此可以得到下面几个公式。



► 图 1

$$\begin{aligned} \Delta v(t) &= \Delta t \times v'_{out}(t) \\ E\{\Delta v^2(t)\} &= E\{\Delta t^2 \times v'_{out}(t)^2\} \\ E\{\Delta v^2(t)\} &= E\{\Delta t^2\} \times E\{v'_{out}(t)^2\}, \text{ 零均值, 独立性} \end{aligned}$$

因此,  $\sigma_{err}^2 = \sigma_t^2 \times E\{v'_{out}(t)^2\}$ ,

其中  $\sigma_t^2$  是有效值的平方, 单位为  $s^2$ 。

由此得到噪声功率是抖动功率和信号功率导数的函数。

用一个带有抖动的时钟对信号采样后的 SNR 定义为:

$$\frac{S}{N} = \frac{\text{信号功率}}{\text{噪声功率}} = \frac{\sigma_{out}^2}{\sigma_{err}^2} = \frac{1}{\sigma_t^2} \frac{E\{v_{out}^2(t)\}}{E\{v'_{out}(t)^2\}} \quad (2)$$

例如, 在一个单正弦波中,

$$v_{out}(t) = A \sin \omega_0 t$$

$$v'_{out}(t) = A \omega_0 \cos \omega_0 t$$

因此,

$$E\{v_{out}^2(t)\} = v_{out}(t) \text{ 的功率} = \frac{A^2}{2}$$

$$E\{v'_{out}(t)^2\} = v'_{out}(t) \text{ 的功率} = \frac{\omega_0^2 A^2}{2}$$

利用(2)式, 得到

$$\frac{S}{N} = \frac{1}{\sigma_t^2} \frac{A^2/2}{\omega_0^2 A^2} = \frac{1}{\sigma_t^2} \frac{1}{\omega_0^2}$$

$$\frac{S}{N} = \frac{1}{4\pi^2 f_0^2 \sigma_t^2}, \text{ 用于单载波系统。} \quad (3)$$

这是用一个带有抖动的时钟对一个单正弦波信号采样后的标准 SNR 公式, 这一公式可在很多著作中见到。直觉上信号频率越高则转换速率越大, 这导致采样时间改变时电压变化会增大。应当记住, 为了得到数据转换器产生的总噪声, 在此基础上还必须加上量化噪声和热噪声。

将上述结论扩展到多载波信号是一件很容易的事。采用与前面相同的过程, 只是将  $v_{out}$  定义为  $n$  个等幅正弦波的和,

$$\begin{aligned} E\{v_{out}^2(t)\} &= \frac{nA^2}{2} \\ E\{v'_{out}(t)^2\} &= \frac{A^2(\omega_1^2 + \omega_2^2 + \dots + \omega_n^2)}{2} \\ \frac{S}{N} &= \frac{1}{\sigma_t^2} \frac{A^2/2}{A^2(\omega_1^2 + \omega_2^2 + \dots + \omega_n^2)/2} = \frac{1}{\sigma_t^2} \frac{n}{(\omega_1^2 + \omega_2^2 + \dots + \omega_n^2)} \\ &= \frac{n}{4\pi^2 \sigma_t^2 \sum_{i=1}^n f_i^2} \end{aligned}$$

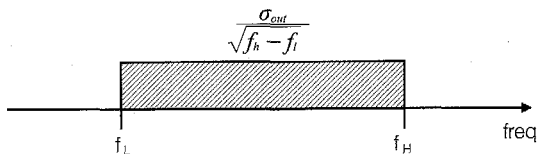
这个结论是相对于总信号  $v_{out}$  的。当只相对于其中一个载波时, SNR 变成

$$\frac{S}{N} = \frac{1}{4\pi^2 \sigma_t^2 \sum_{i=1}^n f_i^2} \quad (4)$$

该式用于多载波系统中的单载波。

与单载波情况(3)式相比, (4)式中的分母含有  $n$  个频率项。每个载波基底的 SNR(dBc) 已经降低大约  $10\log(n)$ 。然而, 在数据转换器中, 每一个载波可能都需要根据信号统计量降低  $10\log(n) \sim 20\log(n)$ , 以避免削弱量化器。这相当于将量化噪声和热噪声本底提高  $20\log(n)$ , 从而使多载波时钟抖动对总 SNR 的影响比单载波情况下小。这时量化噪声和热噪声可能起到更大的作用。

许多现代无线电系统不使用窄带载波。调制后的数据经常占有相当宽的频谱。为了确定这些系统中时钟抖动对 SNR 的影响, 为方便起见假设数据具有零均值, 并且平坦的频谱均匀地分布在  $f_L$  和  $f_H$  之间 ( $f_L < f_H$ ), 如图 2 所示。将幅度平方并对带宽积分, 可得到总信号功率  $\sigma_{out}$ 。



► 图 2

帕斯瓦尔定理的一种表述方式指出一个信号在时域的能量与该信号在频域的能量相等, 也就是,

$$\int_{-\infty}^{+\infty} |v(t)|^2 dt = \frac{1}{2\pi} \int_{-\infty}^{+\infty} |g(\omega)|^2 d\omega = \int_{-\infty}^{+\infty} |g(f)|^2 df$$

其中  $|g(f)|^2$  是功率谱密度, 单位为 W/Hz。

此外, 使用傅立叶变换的微分定理, 即一个导数的傅立叶变换等于原函数的傅立叶变换乘以  $i\omega$ , 如下所示:

$$\mathfrak{F}\{v'(t)\} = i\omega \mathfrak{F}\{v(t)\}$$

将上式代入帕斯瓦尔定理, 得到  $v(t)$  的功率与  $i\omega g(\omega)$  的功率相等, 如下式所示:

$$\begin{aligned} \int_{-\infty}^{+\infty} |v'(t)|^2 dt &= \frac{1}{2\pi} \int_{-\infty}^{+\infty} |i\omega g(\omega)|^2 d\omega = \frac{1}{2\pi} \int_{-\infty}^{+\infty} \omega^2 |g(\omega)|^2 d\omega \\ &= \int_{-\infty}^{+\infty} (2\pi f)^2 |g(f)|^2 df \end{aligned}$$

由于  $g(f) = \frac{\sigma_{out}}{\sqrt{f_H - f_L}}$  定义域在  $f_L$  和  $f_H$  之间 (并且此定义域以外为 0), 上式变为:

$$\begin{aligned} E\{v'_{out}(t)^2\} &= \int_{f_L}^{f_H} (2\pi f)^2 \frac{\sigma_{out}^2}{(f_H - f_L)} df \\ E\{v'_{out}(t)^2\} &= \frac{\sigma_{out}^2}{f_H - f_L} \int_{f_L}^{f_H} (2\pi f)^2 df \\ E\{v'_{out}(t)^2\} &= \frac{4\pi^2 (f_H^3 - f_L^3) \sigma_{out}^2}{3(f_H - f_L)} = \frac{4\pi^2 (f_H^2 + f_H f_L + f_L^2) \sigma_{out}^2}{3} \end{aligned}$$

代入(2)式,

$$\frac{S}{N} = \frac{1}{\sigma_i^2} \frac{3}{4\pi^2(f_H^2 + f_H f_L + f_L^2)}$$

这是一个在  $f_L$  和  $f_H$  之间均匀分布的宽带信号经带有抖动  $t$  的时钟采样后的 SNR。为了检测其是否正确, 设  $f_L=f_H=f_0$ (所有能量都位于一个单频率  $f_0$  处), 得到的表达式与单频率情况(3)式相同。

假设  $f_L=f_0-BW/2$ ,  $f_H=f_0+BW/2$  我们可以得到另一个表达式。这种情况下该表达式变为

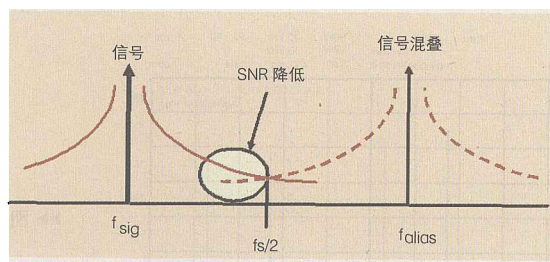
$$\frac{S}{N} = \frac{1}{4\pi^2 \sigma_i^2 \left( f_0^2 + \frac{BW^2}{12} \right)} \quad (5)$$

用于中心频率为  $f_0$  带宽为  $BW$  的均匀信号。

再做一次正确性检查, 当  $BW=0$  时其结果与单载波情况下的(3)式相同。

上述所有推导得到的一个结论是, 只要  $f_0 > 10BW$ , 信号的带宽就几乎可以忽略。将已调制信号作为单载波信号处理会得到本质上相同的结果。然而, 如果该条件不成立, 则采用单载波近似将给出过于乐观的结果。

本文所讨论的重点为采样数据系统, 但文中没有提到混叠的影响。上述推导出的全部公式都假设没有混叠现象。抖动的带宽被认为完全(并且方便地)落在一个奈奎斯特区内。如果考虑时钟抖动相当坏, 并且信号与奈奎斯特区边界足够接近, 则由抖动产生的噪声会在带内形成混叠, 从而进一步降低 SNR。图 3 示出了这种影响。时钟馈通信号会产生类似的问题。如果信号和时钟频率很接近, 则时钟产生的相位噪声会直接渗透到输出端, 使噪声本底变坏。



▶▶图 3

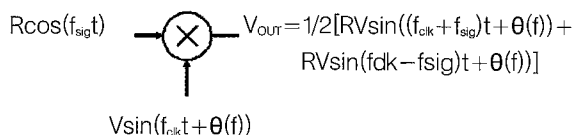
### 采样数据系统中的相位噪声

前面的讨论中也没有考虑到时钟相位噪声对频谱的影响。只是考虑了利用(1)式从总积分相位噪声计算出总的抖动(有效值, 单位为秒)。为了了解时钟相位噪声频谱

如何影响采样数据频谱, 最便捷的方法是利用一个单正弦波信号。将(1)和(3)结合推导出(6)。

$$\frac{S}{N} = \frac{1}{\sigma_\theta^2} \left( \frac{f_{clk}}{f_{sig}} \right)^2 \quad (6)$$

采样信号的 SNR 与时钟的 SNR 相同, 只是相差一个比例系数, 即时钟和信号频率比。当信号频率变高时, SNR 会以  $20\log$  的形式降低。这就说明为什么欠采样系统(即带通信号频率仅占据高于奈奎斯特频带的一小部分)要求时钟比基带采样系统具有好得多的相位抖动性能。事实上, 中频采样数字无线电结构的性能通常受到时钟相位噪声而非数据转换器性能的限制。



▶▶图 4

虽然从(6)式中没有看出, 但是如图 3 所示, 时钟相位噪声的频谱形状会加在采样数据之上。这可以通过使用混频器模拟采样过程的方法直观地看到。如图 4 所示, 当将一个具有相位噪声  $\theta$  的时钟施加到混频器时, 其输出会包含两个混频的乘积, 每一个都包含时钟的完全相位噪声  $\theta$ 。虽然这一简化的模型没有显示出(6)式所描述的比例系数, 但它可用来显示出时钟相位频谱如何影响作为结果的信号。

通过相位调制时钟并将其输入一个 ADC 很容易测试。通过施加不同的信号频率, 还可以验证(6)式。当 AD9430 ADC 的时钟频率为 61.44 MHz 时调制时钟相位使其第一边带为  $-60\text{dBc}$ 。图 5a, 5b 和 5c 显示了这一实验的结果。

图 5a 示出的是输入信号频率为 3.84 MHz 时得到的结果。时钟调制分量可以看成是靠近基频信号的两个杂散频率或毛刺。根据(6)式, 时钟调制毛刺应为  $-60 - 20\log(61.44/3.86) = -84\text{dBc}$ 。这与图 5a 所示的结果非常接近。

图 5b 示出的是输入信号频率为 65.28 MHz 时得到的结果。这是第 3 奈奎斯特区。FFT 显示基带混叠与图 5a 中 3.84 MHz 信号的位置相同(即,  $65.28\text{MHz} - 61.44\text{MHz} = 3.84\text{MHz}$ )。这里  $f_{clk} - f_{sig}$  和  $-60\text{dBc}$  时钟杂散频率可以很容易的被看成是杂散频率加在信号之上, 也是  $-60\text{dBc}$ 。这正是按照(6)式所期望的结果。

图 5c 示出的是输入信号频率为 124.72 MHz 时第 5 奈奎斯特区的结果。该频率大约是图 5b 所示频率的 2 倍, 并且根据(6)式, 杂散频率应该增加大约 6 dB, 这从图中也可以看到。

这样就说明时钟频谱确实出现在采样信号附近并且具有一个由(6)式决定的比例系数。但是, 到目前为止上述讨论并未区分 ADC 和 DAC。DAC 表现出的特性会和 ADC 相同吗? 可以在 AD9744 DAC 上做相似的实验, 时钟频率为 61.44 MHz, 通过相位调制给出 -40 dBc 边带, 从而生成 11 MHz 正弦波, 5 个奈奎斯特频带的结果如图 6 所示。

可以清楚地看出 DAC 输出固有的 Sinc 函数。但是时钟杂散频率发生了什么变化? 这可以在每一个输出图形中清楚地看出, 只是其振幅不像在 ADC 中那样增加。相对于满度值, 其杂散频率成分的幅度保持不变。

可以从几个方面来解释这一点。当从 dBc 角观看时, 随着信号频率增大, 调制杂散频率按照(6)式所描述的相同方式变坏。Sinc 函数同时作用于信号幅度和产生的时钟相位噪声。计算与每个载波相关的杂散频率幅度(以 dBc 的形式), (6)式是个很好的描述。

另一方面, Sinc 函数特性定义为

$$\frac{\sin\left(\frac{\pi f_{sig}}{f_{clk}}\right)}{\frac{\pi f_{sig}}{f_{clk}}}$$

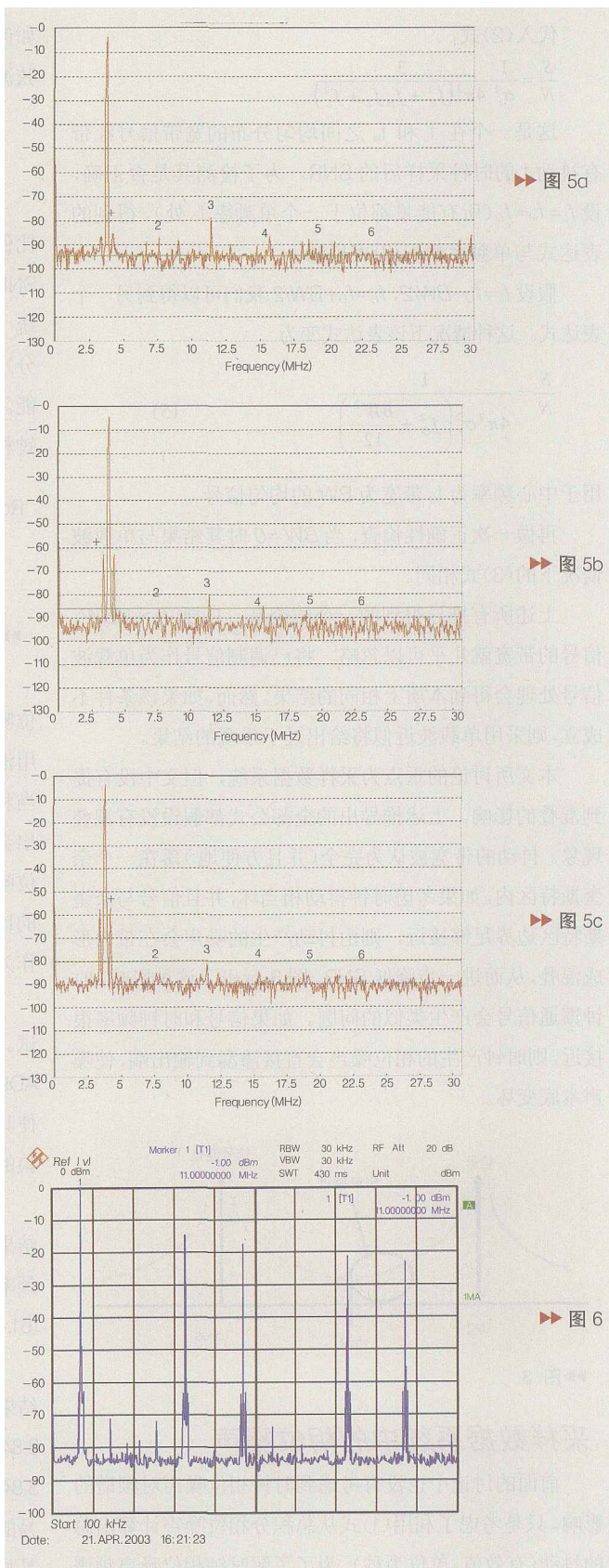
噪声的幅度由(6)式的倒数给出

$$\frac{N}{S} = \sigma_n^2 \left(\frac{f_{sig}}{f_{clk}}\right)^2$$

也就是说, 噪声直接与时钟相位噪声和信号频率成比例。将 Sinc 函数平方(因为检测的是功率谱密度)并将两者相乘以得到 DAC 产生的合成噪声传递函数:

$$\frac{N}{S} = \sigma_n^2 \frac{\sin^2\left(\frac{\pi f_{sig}}{f_{clk}}\right)}{\pi^2}$$

正弦函数引起的周期零点特性仍然存在。然而, Sinc 函数的分母是产生高频滚降的原因。这一



幅度的减弱恰好与(6)式所描述的在高频处增加的相位噪声相抵消。这样一来, DAC产生的相位噪声不会在高频部分增长。

### 在系统调试中的应用

上述结论除了能够解决与系统设计相关的一些明显问题以减小信号降低,还具有其他一些值得一提的作用。这与发现未知毛刺和噪声源有关。例如,如果DAC输出端的本底噪声升高,则绝大多数情况下不是由时钟相位噪声引起的,可能是由于数字信号耦合到输出电路引起。

如果在采样信号中存在毛刺,检验毛刺是否是由时钟引起的一个比较好的测试方法就是改变信号幅度。模拟失真项的变化率将是信号幅度变化率的2倍(2阶失真)或3倍(3阶失真)。当信号幅度改变时,由数据转换器量化过程的非线性产生的毛刺可能完全不会变化,或者如果它们变化,也将是不可预测的变化。另一方面,由

时钟产生的毛刺会以dB为单位随信号呈线性变化。

为了确定采样数据信号中毛刺的来源,不仅要看看可能由信号直接耦合到输出端所产生明显的杂散频率处的毛刺,还要看偏移该信号频率处的毛刺。例如,如果毛刺与载波相差10 MHz,要检查系统中是否存在10 MHz振荡器。如果存在,该频率很可能通过时钟渗透到输出信号。

### 结论

本文讨论了相位噪声和时钟抖动之间的关系,推导出当用带有抖动的时钟对信号采样时所出现的SNR降低,并将这一结论扩展到多载波和宽带调制数据系统。随后讨论了时钟相位噪声频谱问题,并且通过ADC和DAC输出信号频谱验证了这些结论。最后,将这些结论用于调试可能存在非正常毛刺的系统,除了上述结论其他理由可能都无法解释。**GBC**

## 第三代基于Flash的 FPGA 成本优势显著

Actel公司日前推出第三代以Flash为基础的可编程逻辑方案ProASIC3和ProASIC3E系列,据称是全球最低成本的现场可编程门阵列(FPGA)器件。该系列FPGA针对全功能、高成本效益FPGA的强劲需求而设计,主要面向消费、汽车及其它成本敏感的应用领域。

新的ProASIC3器件起始价仅1.5美元,可提供安全、低功耗、上电即行和可重编程的解决方案,实现FPGA产品能快速推出市场的优势,有助舒缓大批量市场对ASIC需求的压力。

除了单位成本低之外,ProA-

SIC3/E系列还可通过去除系统板上的多种器件,节省线路板空间,从而提高可靠性、简化库存管理,以及降



低总系统成本。

ProASIC3/E系列提供1024位(128x8页)片上非挥发性用户Flash存储,以及基于6个板上锁相环

(PLL)的时钟调节电路。该器件还带有504 kb嵌入式真实双端口SRAM,以及604个用户I/O,66 MHz、64位PCI性能。

与基于SRAM的FPGA不同,ProASIC3/E带有安全机制,可防止外界对所有编程信息进行访问,而且采用业界标准的128位AES算法,确保重编程可以安全地在系统内实行。该系列器件还集成了FlashLock,无需额外成本即可提供可重编程和设计安全的独特组合。内置的解密引擎和基于Flash的AES密钥使ProASIC3/E功能更加齐全。**GBC**