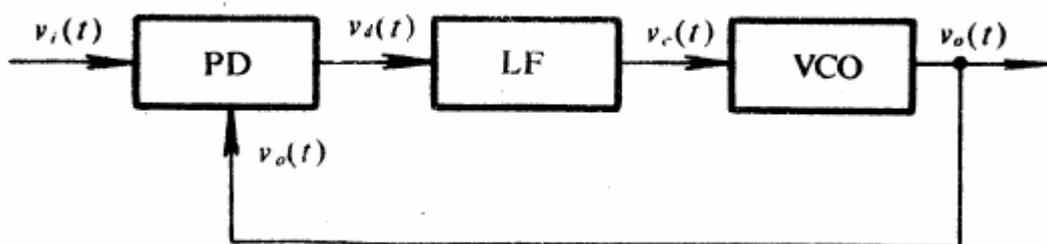


锁相环电路原理概述

By jluhong

锁相环的英文全称是 **Phase-Locked Loop**, 简称 **PLL**。它是由鉴相器 (PD)、环路滤波器 (LPF) 和压控振荡器 (VCO) 三部分构成的一种信号相差自动调节反馈电路 (环)。PLL 电路框图如下, 其具体工作过程为, 当输入信号 $V_i(t) = 0$ 时, 环路滤波器的输出 $V_c(t)$ 为某一固定值。这时, 压控振荡器按其固有频率 $f_v = f_0$ 进行自由振荡。当有频率为 f_i 的 $V_i(t)$ 输入时, $V_i(t)$ 和 $V_o(t)$ 同时加到鉴相器进行鉴相。如果二者相差不大, 鉴相器输出一个与二者相位差成正比的误差电压 $V_d(t)$, 再经过环路滤波器滤去 $V_d(t)$ 中的高频成分, 输出一个直流控制电压 V_c , V_c 将使压控振荡器的频率 f_v (和相位) 发生变化, 向输入信号频率 f_i 靠拢, 最后使 $f_v = f_i$, 环路锁定。环路一旦进入锁定状态后, 压控振荡器的输出信号与环路的输入信号 (参考信号) 之间只有一个固定的稳态相位差, 而没有频差存在, 而且当输入信号频率在捕捉带范围内变化时或相位变化时, VCO 输出信号跟踪输入信号的频率和相位。(跟踪是有条件的, 即输入信号频率变化在一定范围内, 否则 PLL 失锁)。

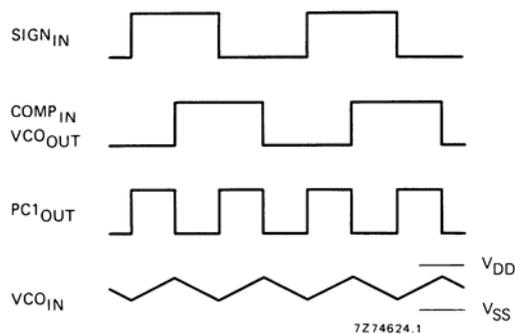
大家要注意, 若鉴相器输入信号和 VCO 本振频率 ω_0 频差很大时, 鉴相器输出的差拍频率很高, 则差拍频率经过环路低通滤波器被滤除了。只有很小的分量漏加到压控振荡器的输入端。由于控制电压太小, 压控振荡器输出仍然是它的固有振荡频率 ω_0 , 整个系统输出信号基本没有发生变化, PLL 失去其作用, 因此要注意一个 PLL 电路对输入信号频率范围的限制 (取决于 ω_0)。



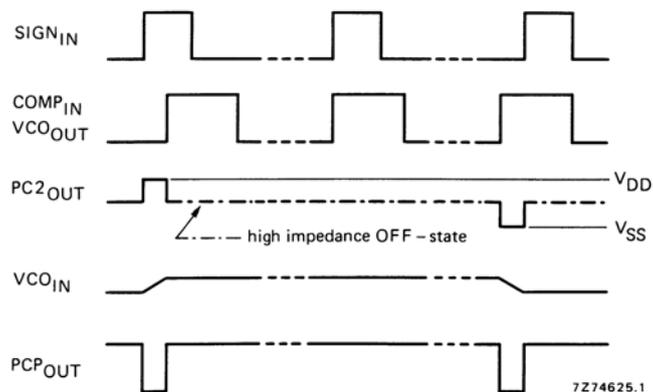
鉴相器: 鉴相器类型很多。按鉴相特性分类有: 正弦形鉴相器、锯齿形鉴相器、三角形鉴相器、梯形鉴相器等等; 按电路性质分类有: **模拟鉴相器**、**数字鉴相器**、模拟乘法鉴相器等等。

环路滤波器可分为**有源**和**无源**二类。

压控振荡器的类别很多, 常用的有 LC 压控振荡器, RC 压控振荡器, 晶体压控振荡器 (VCXO) 在锁相环中压控振荡器实现压控主要采用如下两种方法: 直接改变决定振荡频率的振荡回路元件 (如 C、或 R) 的数值; 控制多谐振荡器中定时元件的充放电电流或电压。压控振荡器电路形式与一般常用的振荡电路无多大差异。控制元件除常用的变容二极管外, 还有使用场效应管做成的压控电阻、压控电抗或者用双极晶体管做成的压控电抗管等。LC 压控振荡器与负阻压控振荡器的频率可以做得很高, 从几百千赫到几百兆赫, 甚至上千兆赫, 频率可控范围可达 20%~80%, 但控制线性较差, 频率稳定度不如 VCXO 好。RC 压控振荡器的优点是频率控制范围最宽, 可达到 100%, 线性度也很好。但频率稳定度差, 工作频率较低, 一般从几十千赫到几十兆赫。晶体压控振荡器的优点是频率稳定度极高, 目前应用最多的是 32.768MHz 和 24.576MHz 高精度晶体。最高晶体频率现在只能做到一百多兆赫。它的缺点是频率覆盖小, 只能在万分之几到千分之几的范围内变化, 压控灵敏度低。



相位比较器 2 是一个由信号的**上升沿控制的数字存储网络**。它对输入信号占空比的要求不高，允许输入非对称波形，它具有很宽的捕捉频率范围，而且不会锁定在输入信号的谐波。它提供数字误差信号和锁定信号（相位脉冲）两种输出，当达到锁定时，在相位比较器 2 的两个输入信号之间保持 0° 相移。对相位比较器 2 而言，**当 14 脚的输入信号比 3 脚的比较信号频率低时**，输出为逻辑“0”；反之则输出逻辑“1”。**如果两信号的频率相同而相位不同**，当输入信号的相位滞后于比较信号时，相位比较器 2 输出的为正脉冲，当相位超前时则输出为负脉冲。在这两种情况下，从 1 脚都有与上述正、负脉冲宽度相同的负脉冲产生。从相位比较器 2 输出的正、负脉冲的宽度均等于**两个输入脉冲上升沿之间的相位差**。而当**两个输入脉冲的频率和相位均相同时**，相位比较器 2 的输出为高阻态，则 1 脚输出高电平。上述波形如图 5 所示。由此可见，从 1 脚输出信号是负脉冲还是固定高电平就可以判断两个输入信号的情况了。



CD4046锁相环采用的是RC型压控振荡器，必须外接电容C1 和电阻R1 作为充放电元件。当PLL对跟踪的输入信号的频率宽度有要求时还需要外接电阻R2。由于VCO是一个电流控制振荡器，**对定时电容C1 的充电电流与从 9 脚输入的控制电压成正比，使VCO的振荡频率亦正比于该控制电压**。当VCO控制电压为 0 时，其输出**频率最低**；当输入控制电压等于电源电压VDD时，输出频率则线性地增大到**最高输出频率**。VCO振荡频率的范围由R1、R2 和C1 决定。由于它的充电和放电都由同一个电容C1 完成，故它的**输出波形是对称方波**。一般规定CD4046的最高频率为 1.2MHz (VDD=15V)，若VDD<15V，则f_{max}要降低一些。

CD4046内部还有线性放大器和整形电路，可将 14 脚输入的 100mV左右的微弱输入信号变成方波或脉冲信号送至两相位比较器。源跟踪器是增益为 1 的放大器，VCO的输出电压经源跟踪器至 10 脚作**FM解调用**。齐纳二极管可单独使用，其稳压值为 5V，若与TTL电路匹配时，可用作辅助电源。

综上所述，CD4046工作原理如下：频率为 f_1 输入信号 U_i 从 14 脚输入后，经放大器A1 进行放大、整形后加到相位比较器 1、2 的输入端，原理图中开关K拨至 2 脚，则比较器 1 将从 3 脚输入的比较信号 U_o 与输入信号 U_i 作相位比较，从相位比较器输出的误差电压 U_Ψ 则反映出两者的相位差。 U_Ψ 经R3 及C2 滤波后得到一控制电压 U_d 加至压控振荡器VCO的输入端 9 脚，调整VCO的振荡频率 f_2 ，使 f_2 迅速逼近信号频率 f_1 （3，4 脚直接相连时），最终使 $f_2= f_1$ 。若 3，4 脚通过一个 $1/N$ 倍倍频器连接，则PLL稳定时， $f_2=Nf_1$ ，两者的相位差为一定值，实现了相位锁定。若开关K拨至 13 脚，则相位比较器 II 工作，过程与上述相同，不再赘述。
总之，无论哪种情况，PLL稳定时，3 脚和 14 脚输入信号频率一定精确相等。

上文简述了锁相环电路的工作原理，它具有广泛的应用场合，例如无线通信系统收发模块，数据及时钟恢复电路，频率综合，时钟同步等电路中都有 PLL 的身影。

本文部分资料来源于网络，向原作者表示感谢。