

LVDS 原理与应用简介

1 LVDS 信号介绍

LVDS : Low Voltage Differential Signaling, 低电压差分信号。

LVDS 传输支持速率一般在 155Mbps (大约为 77MHz) 以上。

LVDS 是一种低摆幅的差分信号技术, 它使得信号能在差分 PCB 线对或平衡电缆上以几百 Mbps 的速率传输, 其低电压幅和低电流驱动输出实现了低噪声和低功耗。

IEEE 在两个标准中对 LVDS 信号进行了定义。ANSI/TIA/EIA-644 中, 推荐最大速率为 655Mbps, 理论极限速率为 1.923Mbps。

1.1 LVDS 信号传输组成

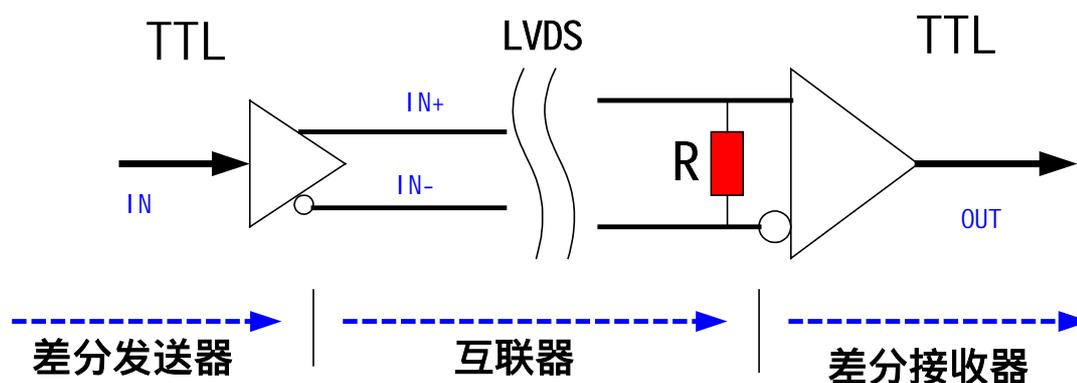


图 1 LVDS 信号传输组成图

LVDS 信号传输一般由三部分组成: 差分信号发送器, 差分信号互联器, 差分信号接收器。

差分信号发送器: 将非平衡传输的 TTL 信号转换成平衡传输的 LVDS 信号。通常由一个 IC 来完成, 如: DS90C031

差分信号接收器: 将平衡传输的 LVDS 信号转换成非平衡传输的 TTL 信号。通常由一个 IC 来完成, 如: DS90C032

差分信号互联器: 包括联接线 (电缆或者 PCB 走线), 终端匹配电阻。按照 IEEE 规定, 电阻为 100 欧。我们通常选择为 100, 120 欧。

1.2 LVDS 信号电平特性

LVDS 物理接口使用 1.2V 偏置电压作为基准, 提供大约 400mV 摆幅。

LVDS 驱动器由一个驱动差分线对的电流源组成 (通常电流为 3.5mA), LVDS 接收器具有很高的输入阻抗, 因此驱动器输出的电流大部分都流过 100 的匹配电阻, 并在接收器

的输入端产生大约 350mV 的电压。

电流源为恒流特性,终端电阻在 100 120 欧姆之间,则电压摆动幅度为 : $3.5\text{mA} * 100 = 350\text{mV}$; $3.5\text{mA} * 120 = 420\text{mV}$ 。

下图为 LVDS 与 PECL (光收发器使用的电平) 电平变化。

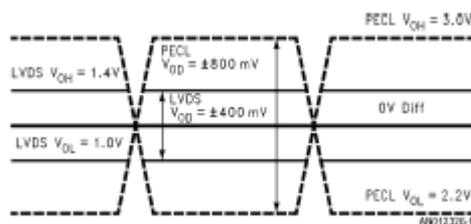


图 2 LVDS 与 PECL 电平图示

由逻辑“0”电平变化到逻辑“1”电平是需要时间的。

由于 LVDS 信号物理电平变化在 0.85 1.55V 之间,其由逻辑“0”电平到逻辑“1”电平变化的时间比 TTL 电平要快得多,所以 LVDS 更适合用来传输高速变化信号。其低压特点,功耗也低。

采用低压技术适应高速变化信号,在微电子设计中的例子很多,如:FPGA 芯片的内核供电电压为 2.5V 或 1.8V;PC 机的 CPU 内核电压,PIII800EB 为 1.8V;数据传输领域中很多功能芯片都采用低电压技术。

1.3 差分信号抗噪特性

从差分信号传输线路上可以看出,若是理想状况,线路没有干扰时,在发送侧,可以形象理解为:

$$IN = IN+ - IN-$$

在接收侧,可以理解为:

$$IN+ - IN- = OUT$$

所以:

$$OUT = IN$$

在实际线路传输中,线路存在干扰,并且同时出现在差分线对上,在发送侧,仍然是:

$$IN = IN+ - IN-$$

线路传输干扰同时存在于差分对上,假设干扰为 q ,则接收侧:

$$(IN+ + q) - (IN- + q) = IN+ - IN- = OUT$$

所以:

$$OUT = IN$$

噪声被抑止掉。

上述可以形象理解差分方式抑止噪声的能力。在实际芯片中，是在噪声容限内，采用“比较”及“量化”来处理的。

LVDS 接收器可以承受至少 $\pm 1V$ 的驱动器与接收器之间的地的电压变化。由于 LVDS 驱动器典型的偏置电压为 $+1.2V$ ，地的电压变化、驱动器偏置电压以及轻度耦合到的噪声之和，在接收器的输入端相对于接收器的地是共模电压。这个共模范围是： $+0.2V \sim +2.2V$ 。建议接收器的输入电压范围为： $0V \sim +2.4V$ 。

抑止共模噪声是 DS（差分信号）的共同特性，如 RS485,RS422 电平，采用差分平衡传输，由于其电平幅度大，更不容易受干扰，适合工业现场不太恶劣环境下通讯。

2 LVDS 系统设计

LVDS 系统的设计要求设计者应具备超高速单板设计的经验并了解差分信号的理论。设计高速差分板并不困难，下面将简要介绍一下各注意点。

2.1 PCB 板

(A) 至少使用 4 层 PCB 板（从顶层到底层）：LVDS 信号层、地层、电源层、TTL 信号层；

(B) 使 TTL 信号和 LVDS 信号相互隔离，否则 TTL 可能会耦合到 LVDS 线上，最好将 TTL 和 LVDS 信号放在由电源 / 地层隔离的不同层上；

(C) 使 LVDS 驱动器尽可能地靠近连接器的 LVDS 端，即尽可能减小线路距离；

(D) 保证 LVDS 器件电源质量；使用分布式的多个电容来旁路 LVDS 设备，表面贴电容靠近电源 / 地层管脚放置；

(E) 电源层和地层应使用粗线；

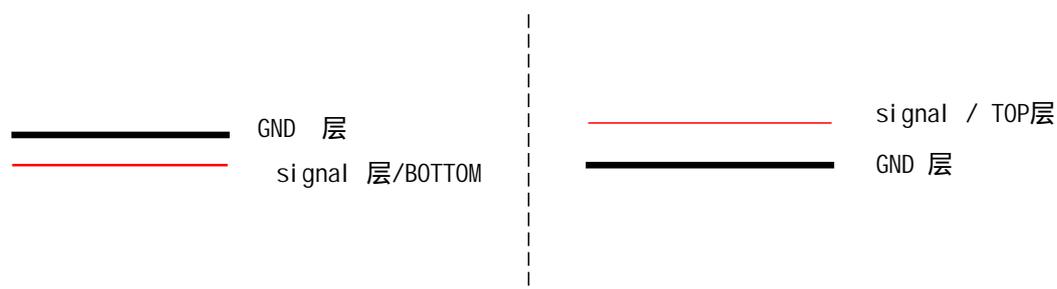
(F) 保持 PCB 地线层返回路径宽而短；

(G) 连接两个系统的地层；

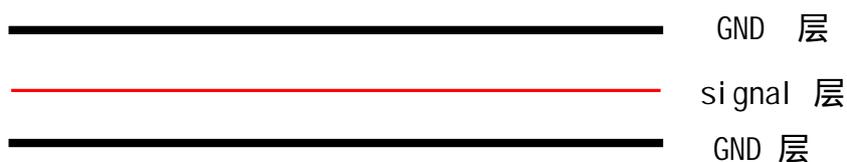
2.2 板上导线

(A) 微带传输线 (microstrip) 和带状线 (stripline) 都有较好性能；

(B) 微带传输线的优点：一般有更高的差分阻抗、不需要额外的过孔；



(C) 带状线在信号间提供了更好的屏蔽，两层地将信号层屏蔽住。



带状信号示意图

2.3 差分线

(A) 使用与传输媒质的差分阻抗和终端电阻相匹配的受控阻抗线，并且使差分线对离开集成芯片后立刻尽可能地相互靠近（距离小于 10 mm），这样能减少反射并能确保耦合到的噪声为共模噪声；

(B) 使差分线对的长度相互匹配以减少信号扭曲，防止引起信号间的相位差而导致电磁辐射；

(C) 不要仅仅依赖自动布线功能，而应仔细修改以实现差分阻抗匹配并实现差分线的隔离；

(D) 尽量减少过孔和其它会引起线路不连续性的因素；

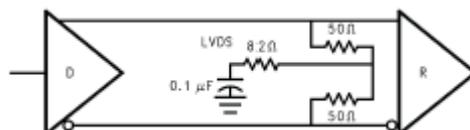
(E) 避免将导致阻值不连续性的 90° 走线，使用圆弧或 45° 折线来代替；

(F) 在差分线对内，两条线之间的距离应尽可能短，以保持接收器的共模抑制能力。在印制板上，两条差分线之间的距离应尽可能保持一致，以避免差分阻抗的不连续性。

2.4 终端

(A) 使用终端电阻实现对差分传输线的最大匹配，阻值一般在 90 ~ 130 之间，系统也需要此终端电阻来产生正常工作的差分电压；

(B) 最好使用精度 1 ~ 2% 的表面贴电阻跨接在差分线上，必要时也可使用两个阻值各为 50 的电阻，并在中间通过一个电容接地，以更好滤去共模噪声。如采用电缆传输信号时候，若环境干扰大，就可以用此方式。



2.5 未使用的管脚

所有未使用的 LVDS 接收器输入管脚悬空，所有未使用的 LVDS 和 TTL 输出管脚悬空，将未使用的 TTL 发送 / 驱动器输入和控制 / 使能管脚接电源或地。

2.6 媒质（电缆和连接器）选择

(A) 仅就减少噪声和提高信号质量而言，平衡电缆（如双绞线对）通常比非平衡电

缆好；

(B) 电缆长度小于 0.5m 时, 大部分电缆都能有效工作; 距离在 0.5m ~ 10m 之间时, CAT 3(Category 3) 双绞线对电缆效果好、便宜并且容易买到; 距离大于 10m 并且要求高速率时, 建议使用 CAT 5 双绞线对。

2.7 在噪声环境中提高可靠性设计

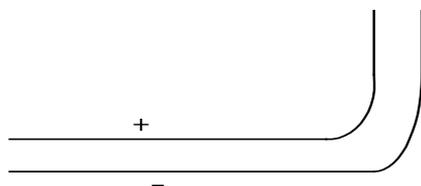
LVDS 接收器在内部提供了可靠性线路, 用以保护在接收器输入悬空、接收器输入短路以及接收器输入匹配等情况下输出可靠。但是, 当驱动器三态或者接收器上的电缆没有连接到驱动器上时, 它并没有提供在噪声环境中的可靠性保证。在此情况下, 电缆就变成了浮动的天线, 如果电缆感应到的噪声超过 LVDS 内部可靠性线路的容限时, 接收器就会开关或振荡。如果此种情况发生, 建议使用平衡或屏蔽电缆。

根据实际情况, 正确分析设计发送/接收器的“门控端”, 使发送接收数据器受控, 当不需要建立发送/接收链路时候, 关闭接收器是避免干扰的有效途径。

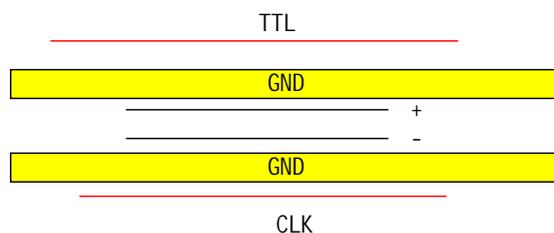
3 实际应用中常见问题

3.1 PCB 走线问题

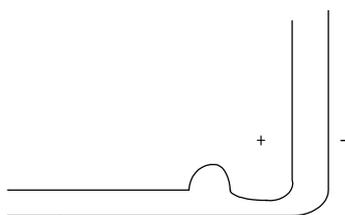
- 差分线对互相靠近, 平滑弯折



- 与 TTL 隔离, 与时钟信号隔离



- 差分线对等长度走线, 越是高速信号, 越要求严格等长



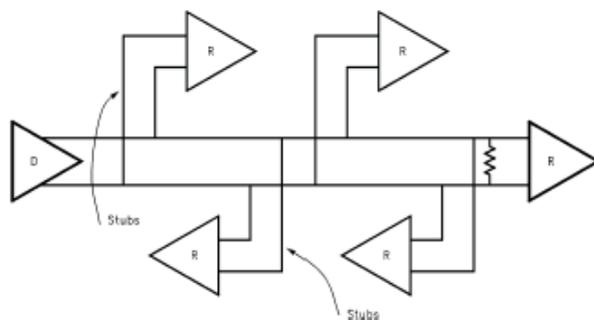
3.2 过孔问题

- 一般原则：对于高速信号，尽量减少过孔；信号速度低于 155Mbps，使用过孔也无妨。
- 对于表面贴片器件，其管脚的 LVDS 信号走线在 PCB 表层或者底层，尽量使用“微带布线”方式，避免使用过孔联接信号。
- 对于插件器件，由于不使用过孔，其信号线本就可以联接到 PCB 的“中间层”，这样一来，尽量使用“带状走线”，其性能更好。

3.3 信号分发问题

对 LVDS 信号进行分发处理，即将一路 LVDS 信号发送到多个接收器件，是我们经常会用到的。

- 直接联接方式

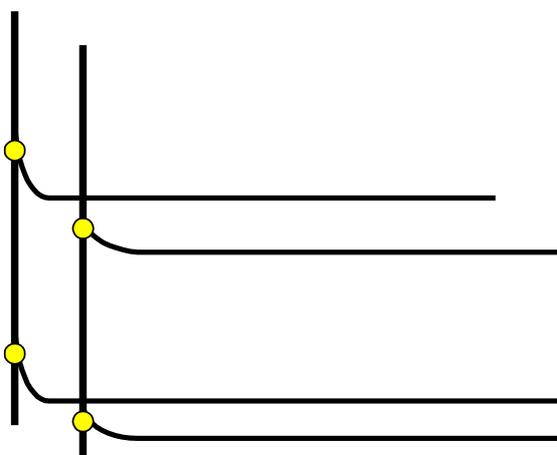


实践证明，在信号速率不高（<155Mbps）时，这种联接方式是可以的。在 PCB 布线时候，尽量按照总线走线来布线比较好，如下图示。

当信号速度过高时候，容易导致信号反射；由于避免不了过孔的存在，也影响传输质量，高速时不要采用这种方式。

另外，要注意的一点是，终端匹配电阻应该是一个电阻，100 欧左右，这个电阻一定要在最远的接收器输入端。若每个接收器输入端都短接上一个 100 欧的匹配，将大大降低抗噪容限，抗干扰能力将下降。

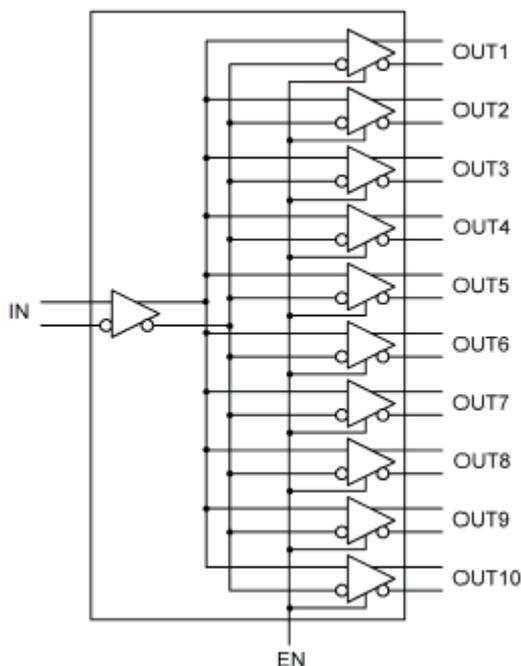
接收器数量不超过 10 个。



- 采用专用芯片对 LVDS 信号进行分发处理

与上述直接总线方式联接相比较,此种做法显得保守一些,但对于提高硬件系统可靠性,保障信号传输质量而言,其优点是不言而喻的。

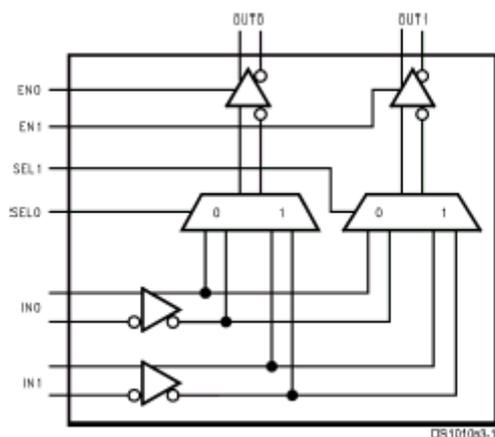
公司推荐的 LVDS 分发芯片 DS90LV110T,具有最大为 1:10 分发能力,10 路输出共用一个门控端。



在需要进行 1 : N 信号分发时候,我们建议采用这种设计方式。

3.4 LVDS 交叉开关矩阵

有时候,我们在设计中,需要对 LVDS 信号进行交叉接续,如,对 LVDS 形式的时钟,通讯进行多路选择控制。此时,可以运用 LVDS 交叉矩阵芯片来完成设计。这里,简单介绍 DS90CP22。



- 最大支持 800Mbps 速率 ;
- 3.3V 供电电压

- 选择控制端与输出门控端都为 3V3 电平控制
- 330mW 功耗

3.5 LVDS 在公司单板设计中的应用

较 TTL 电平而言，LVDS 电平信号之间的干扰，明显小于 TTL 信号之间的干扰。

- 进出单板插座上的 HW 线，多数采用 LVDS 电平收发。如交换机的各交换网板的 HW 线。
- 高速时钟信号，更适合采用 LVDS 电平进行收发。如各时钟板对外输出时钟。
- 板与板之间的通讯联接及媒体业务信号，也适合采用 LVDS 接口进行设计。如 ADSL 系统中，CORE 板与 ATUC 板之间的 32 路 LVDS 联接。

3.6 LVDS 与 RS422/RS485 的应用设计比较

公司产品中，有些时钟传输使用 LVDS 电平，有些使用了 RS422 电平。

其实，RS422 电平也是差分形式，其电平幅度比 LVDS 要大一些，抗干扰能力比 LVDS 强一些，在 RS422 电平规范中，支持的最大速率为 10Mbps（传送 15 米）。当时钟或者数据低于 10Mbps，但对抗干扰要求严格一些的时候，使用 RS422 方式比 LVDS 优点就明显一些。这在公司的产品中不难发现，如：交换机中，处于不同背板层的单板之间传送时钟，就是使用的 RS422 方式。有的系统，机架上不同层的板与板之间的同步通讯，速度不高时，数据与时钟都采用了 RS422 电平接口。与 RS485 相比，RS422 电路中，只能有一个发送器，最多可有 10 个接收器。

RS485 电平也是差分形式，其电平幅度比 RS422 还大，可以兼容掉 RS422 接口。支持的最大速率为 10Mbps（传送 15 米）。RS485 抗干扰能力更强，而且支持多个发送器（32 个）多个接收器（32 个）联接在一起。与 RS422 相比，RS485 更适合距离远，环境条件差的多点通信设计。如一个集中监控单元，对同时摆在机房内的各个交换机的多个电源板进行监控，组成分布式监控。

选择 RS422 接口，进行同步串行通讯设计，既有时钟传送，又有数据传送，一般只在系统内，如同一个背板上槽位相距远一点的单板间进行；或者在同一个机架上，不同背板层的单板间通过双绞线电缆进行。若在同一背板上，槽位相距不远，把通讯设计成 LVDS 接口，也是完全可以的。

在不同系统，不同机架上，一般不进行同步串行通讯设计，主要是从可靠性角度而言的。不同系统，不同机架，数据速率不高，设计成 RS485 形式的异步串行通讯，更显得合适一些。