



\*-----

\* Description: This is a module for frequency division project.

\* It has a single module:

\* ----clk\_div.v

\* use a counter to divide frequency

\*-----

\*pin assign : PIN\_N2 --clk\_Sys;

\* PIN\_C2 --reset

\*-----

\* Revision History:

\*-----

\* Revision Number : 1

\* Version : 1.0

\* Date : 2009/03/14

\* Modifier : yadog@163.com

\* Description : Created

\* Known bugs :

\* To Optimize :

\*-----

\*\*\*\*\*

\*\*\*/

module clk\_div (

input clk\_in, //frequency to be divided

input reset\_n, //asynchronous,negedge active

output reg clk\_out //output

);

reg [9:0] j;

```

//-----Frequency Divider-----

//use a 10-bit up counter

always @(posedge clk_in, negedge reset_n)

if(!reset_n) //negedge trig, asynchronous reset
    begin
        clk_out <= 1'b0;
        j <= 10'b0;
    end
else
    begin
        if(j==10'd23) //here use 24(Note--divider is 48),you
            can change to any 10-bit number
            begin
                j <= 10'd0;
                clk_out <= ~clk_out;
            end
        else
            begin
                j <= j + 1'b1; //up counter
            end
        end
    end

endmodule

```

2. modelsim 仿真文件 clk\_div\_tb.v。

输入以下代码，保存文件为 clk\_div\_tb.v。源码如下：

```

/*****

```

```

****

```

```

* Copyright (c) 2008 YADOG

```

\* All rights reserved  
\* Pls keep this header anywhere,anytime  
\* Any question,pls feel free to contact  
\* yadog@163.com

\*-----  
\* Title : modelsim testbench for frequency division project  
\* Project : demo for using tcl in modelsim

\*-----

\* File : clk\_div\_tb.v  
\* Author : yadog (yadog@163.com)

\* Organization: PRIVACY

\* Created : 2009/03/14

\* Last update : 2009/03/14

\* Platform : STRATIX II GX

\* Simulators : Modelsim se 6.4/WindowsXP

\* Synthesizers: QII 8.1/WindowsXP

\* Language : Verilog-2001/2005

\* Target :

\* Dependency : clk\_div.v

\*-----

\* Description: This is a modelsim testbench for frequency division project.

\*-----

\*pin assign : PIN\_N2 --clk\_Sys;

\* PIN\_C2 --reset

\*-----

\* Revision History:

\*-----

\* Revision Number : 1

\* Version : 1.0

\* Date : 2009/03/14

\* Modifier : yadog@163.com

\* Description : Created

\* Known bugs :

\* To Optimze :

\*-----

\*\*\*\*\*

\*\*\*/  
`timescale 1 ns/ 1 ps

module clk\_div\_tb;

reg clk\_in;

reg reset\_n;

wire clk\_out;

//----- set up clocks-----

parameter ck\_period = 20; // 50Mhz

always #(ck\_period/2) clk\_in = ~clk\_in;

//-----initial signals-----

initial begin

clk\_in = 1'b0;

reset\_n = 1'b0;

#(10\*ck\_period) reset\_n = 1'b1;

end

```
//-----module instantiation-----
```

```
clk_div top_inst(  
  
    .clk_in (clk_in),  
  
    .reset_n (reset_n),  
  
    .clk_out (clk_out)  
  
);
```

```
endmodule
```

### 3. Tcl 脚本文件

①gui\_sim.bat, 批处理文件, 用于在 windows cmd 下运行整个 modelsim 仿真;

输入以下代码, 保存文件为 gui\_sim.bat。源码如下:

```
vsim -do clk_sim.do
```

②clk\_sim.do, tcl 脚本文件, 用于启动 Modelsim 仿真;

输入以下代码, 保存文件为 clk\_sim.do。源码如下:

```
# Create the work library
```

```
vlib work
```

```
vmap work work
```

```
# Now compile the Verilog files one by one
```

```
vlog -work work clk_div.v
```

```
vlog -work work clk_div_tb.v
```

```
# Now run the simulation
```

```
vsim \
```

```
-voptargs=+acc \
```

```
+transport_int_delays \
```

```
+transport_path_delays \
```

```
+notimingchecks \
```

```
-t ps \
```

```
-noglitch \  
-multisource_delay latest \  
clk_div_tb  
set NumericStdNoWarnings 1  
set StdArithNoWarnings 1  
onbreak { resume }  
do wave.do  
run 100000ns
```

③wave.do,tcl 脚本文件，用于向 Modelsim 中添加信号，并对 Modelsim 的 wave 窗口做一定的调整；

输入以下代码，保存文件为 wave.do。源码如下：

```
onerror {resume}  
quietly WaveActivateNextPane {} 0  
  
add wave -noupdate -divider INPUT  
add wave -noupdate -format Logic /clk_div_tb/top_inst/reset_n  
add wave -noupdate -format Logic /clk_div_tb/top_inst/clk_in  
  
add wave -noupdate -divider OUTPUT  
add wave -noupdate -format Logic /clk_div_tb/top_inst/clk_out  
  
TreeUpdate [SetDefaultTree]  
WaveRestoreCursors {{Cursor 1} {2000 ns} 0} {{Cursor 2} {5000 ns} 0}  
configure wave -namecolwidth 150  
configure wave -valuecolwidth 100  
configure wave -justifyvalue left  
configure wave -signalnamewidth 0  
configure wave -snapdistance 10  
configure wave -datasetprefix 0  
configure wave -rowmargin 4
```

```
configure wave -childrowmargin 2  
configure wave -gridoffset 0  
configure wave -gridperiod 1  
configure wave -griddelta 40  
configure wave -timeline 0  
update  
WaveRestoreZoom {0 ns} {100000 ns}
```

## 二、开始仿真

Ok, 做完上述所有的准备工作, 下面我们开始正式的仿真流程, 非常简单。注意, 在上述所有准备工作中, 你不必打开 modelsim, 仅仅只需要用文本编辑器比如 UE 或者 windows 自带的文本文档输入上面的代码, 并保存为相应的文件名即可 (注意后缀名不要变)。

假设上述所有文件都保存在 E 盘根目录 clk\_div 文件夹中, 检查一下此文件夹中应有以下 5 个文件: clk\_div.v、clk\_div\_tb.v、gui\_sim.bat、clk\_sim.do、wave.do。

在开始下面的工作前, 请一定保证你安装了 Modelsim 软件!!!

1. 打开 windows 自带的 cmd 窗口, 进入 clk\_div 文件夹。

开始→运行→输入 cmd, 弹出窗口如下:

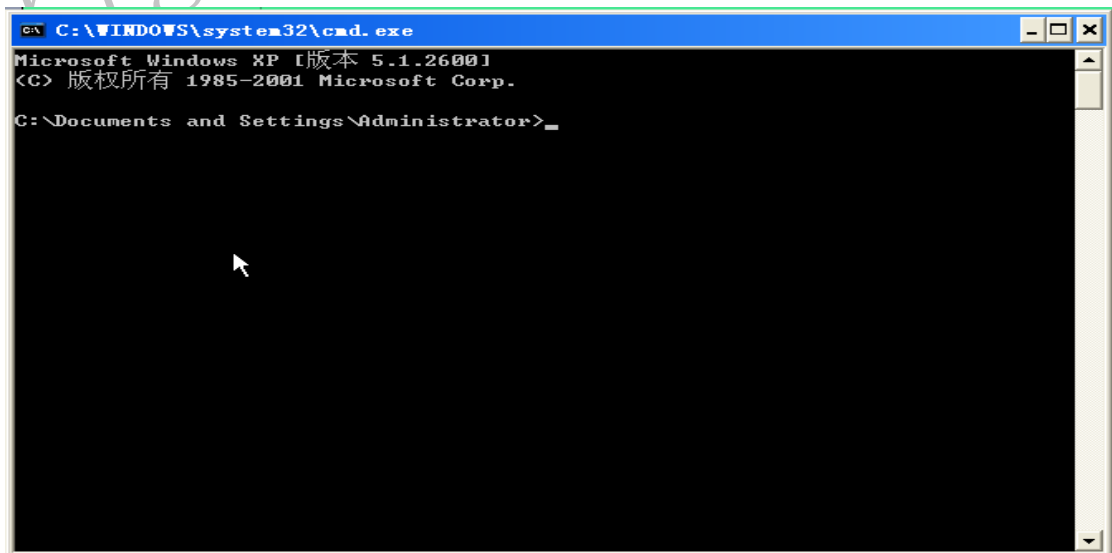
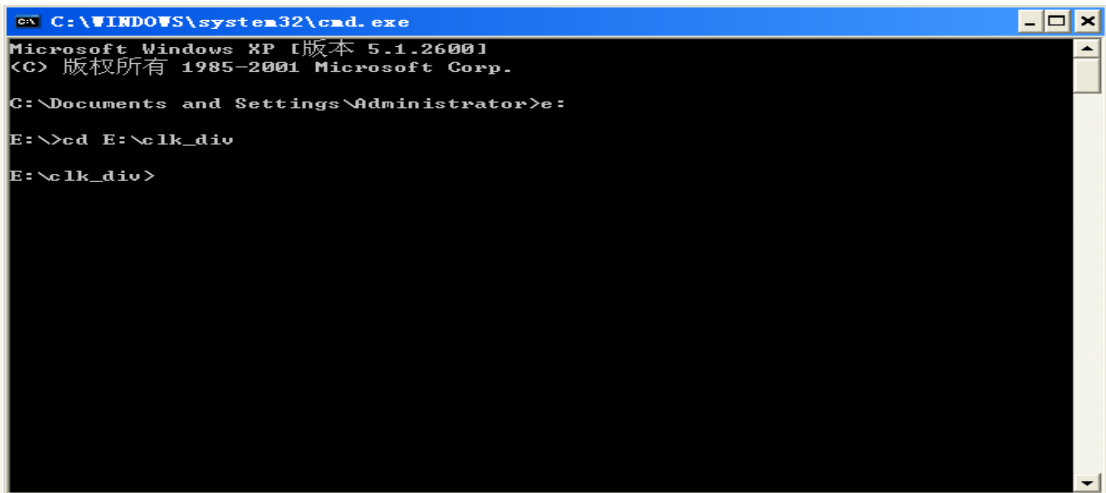


图 1

切换目录至 clk\_div 文件夹中, 输入命令如下:





```
C:\WINDOWS\system32\cmd.exe
Microsoft Windows XP [版本 5.1.2600]
(C) 版权所有 1985-2001 Microsoft Corp.

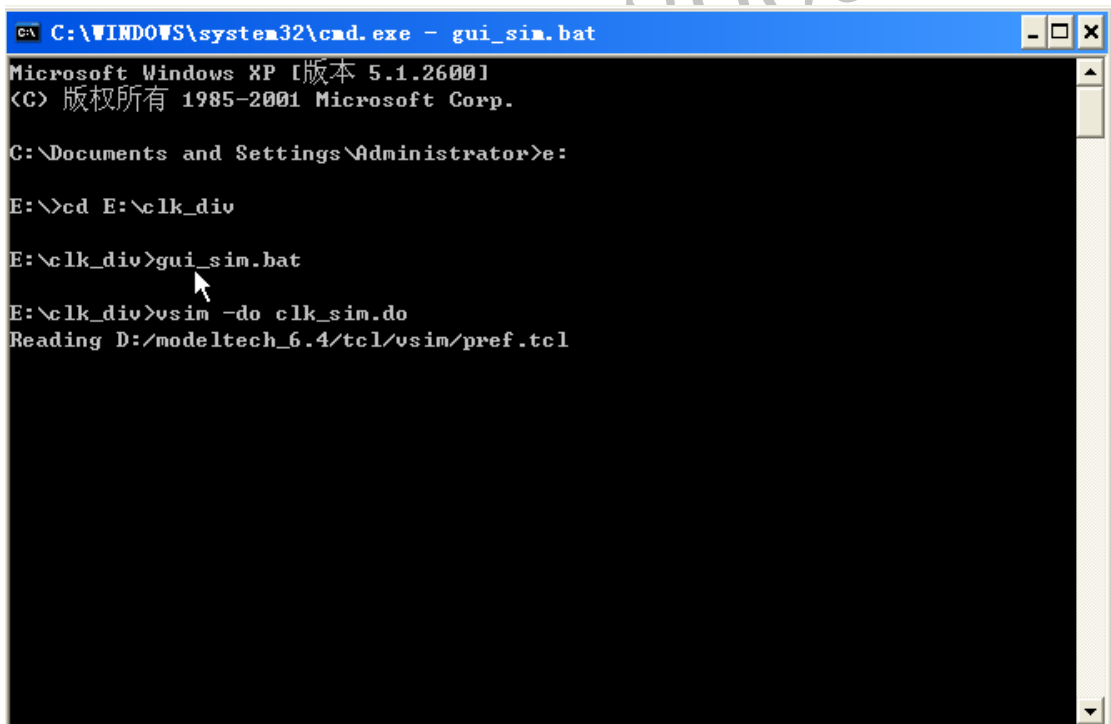
C:\Documents and Settings\Administrator>e:
E:\>cd E:\clk_div
E:\clk_div>
```

图 2

## 2. 运行仿真。

在上面的窗口中继续键入命令 `gui_sim.bat`，并回车；

cmd 窗口如下所示：



```
C:\WINDOWS\system32\cmd.exe - gui_sim.bat
Microsoft Windows XP [版本 5.1.2600]
(C) 版权所有 1985-2001 Microsoft Corp.

C:\Documents and Settings\Administrator>e:
E:\>cd E:\clk_div
E:\clk_div>gui_sim.bat
E:\clk_div>vsim -do clk_sim.do
Reading D:/modeltech_6.4/tcl/vsim/pref.tcl
```

图 3

而 Modelsim 的 wave 窗口几乎会在 1、2s 内弹出如下所示窗口：

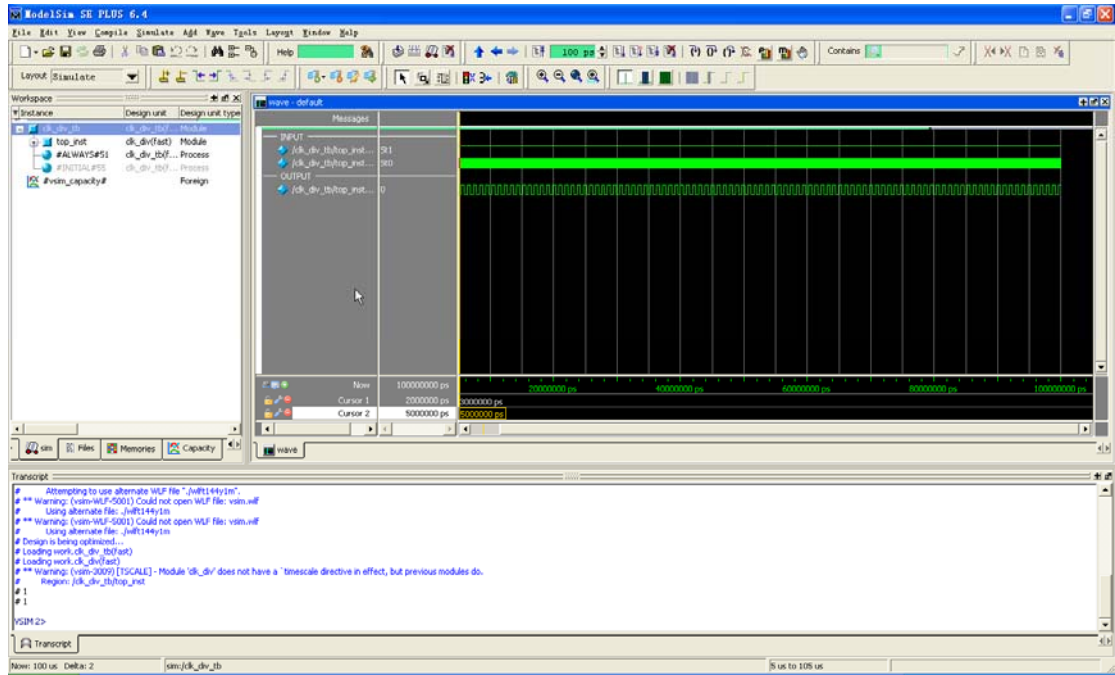


图 4

仔细看看 Modelsim 的命令栏都干了什么，如下所示：

```

Transcript
# // ModelSim SE 6.4 Jun 18 2008
# //
# // Copyright 1991-2008 Mentor Graphics Corporation
# // All Rights Reserved.
# //
# // THIS WORK CONTAINS TRADE SECRET AND
# // PROPRIETARY INFORMATION WHICH IS THE PROPERTY
# // OF MENTOR GRAPHICS CORPORATION OR ITS LICENSORS
# // AND IS SUBJECT TO LICENSE TERMS.
# //
# do clk_sim.do
# Modifying modelsim.ini
# Model Technology ModelSim SE vlog 6.4 Compiler 2008.06 Jun 18 2008
# -- Compiling module clk_div
#
# Top level modules:
#   clk_div
# Model Technology ModelSim SE vlog 6.4 Compiler 2008.06 Jun 18 2008
# -- Compiling module clk_div_tb
#
# Top level modules:
#   clk_div_tb
# vsim +notimingchecks +transport_int_delays +transport_path_delays -voptargs=+acc -multisource_delay latest -noglitch -t ps clk_div_tb

```

图 5

3. ok，看到这一步，是时候亲自动手了！

三、进一步的动作，在 Modelsim 中使用 Tcl 继续调试你的工程。

假设，你想把分频因子改为 25 即 50 分频，如下修改 clk\_div.v 中的

if(j==10'd23)

为

if(j==10'd25)

保存修改，此时需要重新运行整个仿真。

如何做最快呢？

答案是在 Modelsim 的命令窗口输入 `do clk_sim.do` 并回车，如下：



图 6

看看波形的变化把！

同样的，如果想要增减信号或是其它操作，只需要按照上面命令的格式修改脚本文件后，

在 Modelsim 命令窗口输入执行脚本命令即可！

以上，就是所说的用在 Modelsim 中用 Tcl 控制仿真了！

Copyright (c) 2009 yadog