

高速 ECL 逻辑入门

1 概述

1.1 定义

ECL(Emitter Coupled Logic), 中文译名“射极耦合逻辑”，是一种适合于高性能高速设计的数字逻辑，其工艺如下图，由一个恒流源式差放电路的输入端接收输入信号，由差放电路的输出端接射随器形成输出。

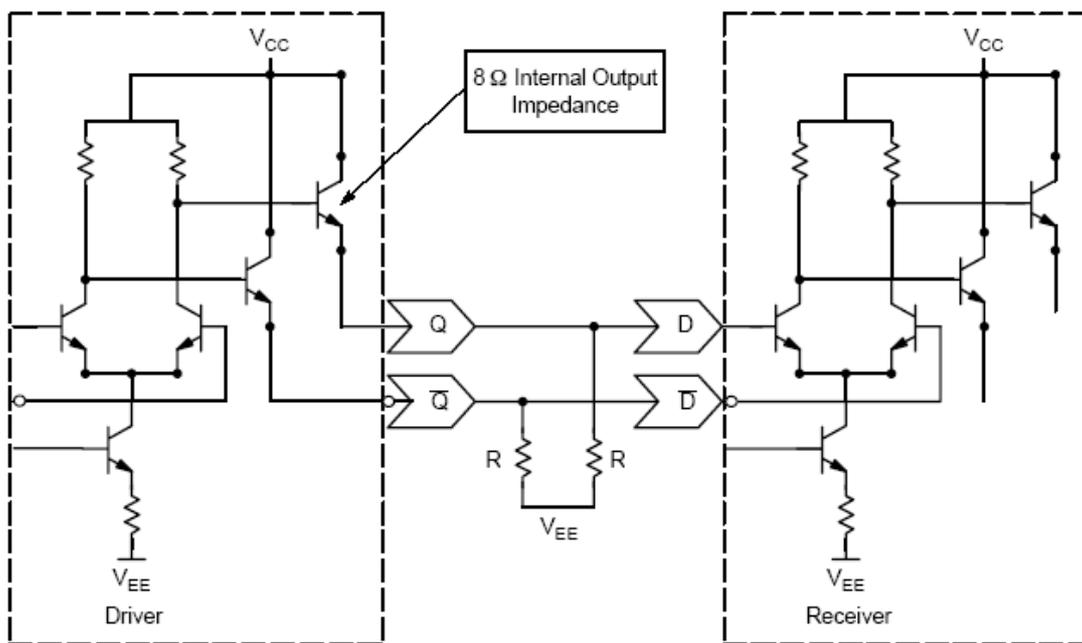


图 1 ECL 工艺原理图

【注意】图中的下拉电阻R必不可少，它在射随器输出与一个小于输出低电平 V_{OL} 的电压之间，提供一个使射随器工作于放大区的直流偏置。很多工程师在设计ECL电路时会漏掉这个电阻，导致ECL输出电路无法工作。

1.2 ECL 逻辑的分类

ECL器件有两个供电电压 V_{CC} 和 V_{EE} 。当 V_{EE} 接地时， V_{CC} 接正电压，这时的逻辑称为PECL(Positive ECL)；当 V_{CC} 接地时， V_{EE} 接负电压，这时的逻辑称为NECL(Negative ECL)，一般狭义的ECL指的就是NECL。

起初的PECL器件是将 V_{CC} 接+5V，后来为了直接利用广泛使用的3.3V和2.5V电压,出现了 $V_{CC}=3.3V$ 的LVPECL(Low Voltage PECL)和 $V_{CC}=2.5V$ 的2.5VPECL，有时把 $V_{CC}=3.3V$ 和2.5V的情况统称为LVPECL。

NECL 也有同样的情况。

下面给出 ONSEMI 对 ECL 的电压分类的表：

表 1 根据电压供应对 ECL 的分类

PECL	$V_{CC} = 5.0V, V_{EE} = 0.0V$
LVPECL	$V_{CC} = 3.3V, V_{EE} = 0.0V$
2.5VPECL	$V_{CC} = 2.5V, V_{EE} = 0.0V$
2.5VNECL	$V_{CC} = 0.0V, V_{EE} = -2.5V$
LVNECL	$V_{CC} = 0.0V, V_{EE} = -3.3V$
NECL	$V_{CC} = 0.0V, V_{EE} = -5.0V$

需要指出的是，PECL和ECL并不是指两种不同的ECL器件，而是同一个ECL器件在不同电压供应下的表现。也就是说，一个ECL器件，当你给它的电压供应是 $V_{CC}=5V$ ， $V_{EE}=0V$ 时，它就称为PECL，当你给它的电压供应是 $V_{CC}=0V$ ， $V_{EE}=-5V$ 时，它就称为NECL，如此而已。

1.3 ECL 逻辑适合高速设计的特点

相对于传统的 CMOS 和 TTL 工艺，ECL 具有以下适合高速电路的特点：

1. ECL 的低输出阻抗(6~8ohm)和高输入阻抗(可以看作无穷大)使之可以适合于驱动长的可控阻抗传输线。它可以驱动 50~130ohm 特征阻抗的传输线而交流特性并没有明显的改变。
2. ECL 逻辑的 swing 小(典型 800mV)，高低电平之间的转换迅速；带来的交流功耗更小；而且可以减少在高速应用中串扰(crosstalk)和 EMI 带来的问题。
3. ECL 器件的工艺使之能够提供差分信号，这是 TTL 和 CMOS 工艺所不具备的。而差分信号的优点众所周知——抗共模干扰能力强，接收容差大，无须额外参考电平来作为判决门限。
4. ECL 比 TTL 或 CMOS 消耗更多的直流功耗，但是 ECL 的交流功耗相对于频率来说近似为常数，而 TTL 和 CMOS 的交流功耗是随频率的增加而增加的。也就是说，在高速应用中，ECL 器件并不比 TTL 或 CMOS 器件在功耗问题上处于劣势。
5. 在时钟分配的应用方面，由于 ECL 器件对电压和温度的变化不如 TTL 和 CMOS 器件敏感，由 ECL 时钟驱动产生的时钟并发性更好，也就是说，输出时钟之间的 skew 更小。

相对于同为差分逻辑的 LVDS，ECL 具有以下特点：

1. 支持更高的速度。受工艺的限制，LVDS 逻辑很少有高于 1.5GHz 的应用，而 ECL 逻辑可以应用高于 3GHz 的场合。
2. 支持更远距离的传输。在大背板或较长线缆的高速信号传输场景下，ECL 显然比 LVDS 更加胜任。
3. 对传输线阻抗的适应范围更宽。LVDS 属于电流型驱动，其终端 100ohm 匹配电阻兼有产生电压的功能。因此，为了不改变信号摆幅，该电阻的阻值一般不能取 100ohm 以外的值。这意味着为了保证较好的信号完整性，LVDS 传输线的阻抗只能控制在 50ohm 附近。而 ECL 可以驱动传输线阻抗范围要宽得多。
4. 功耗较 LVDS 高。

2 ECL 逻辑的直流特性

ECL逻辑的高低电平之差一般为 800mV，其中心参考电平 V_{BB} 根据 V_{CC} 变化，一般为 $V_{CC}-1.3V$ 。因此，ECL的电平随 V_{CC} 的不同而不同。如：

PECL, $V_{BB}=5V-1.3V=3.7V$, $V_{OH}=4.1V$, $V_{OL}=3.3V$;

LVPECL, $V_{BB}=3.3V-1.3V=2V$, $V_{OH}=2.4V$, $V_{OL}=1.6V$;

对于所有的NECL ($V_{EE}=-5V$ 、 $-3.3V$ 、 $-2.5V$)，均是 $V_{BB}=0V-1.3V=-1.3V$, $V_{OH}=-0.9V$, $V_{OL}=-1.7V$ 。

以上的直流特性只是对一般而言，实际上到具体的器件上还是会稍有不同，同一器件的输入和输出也不一样。设计者应该认真参考器件的 DATASHEET 来获得其准确的直流特性。

V_{CC} 的大小不但决定了 V_{BB} 的大小，而且任何 V_{CC} 上的变化都会以 1:1 的形式影响一个 ECL 器件输出电平的变化，因此，对于一个 ECL 器件来说，保持 V_{CC} 的干净很重要。

关于直流特性，还有很重要的一点就是两个 ECL 器件之间的接口，也就是说，我们要特别关注 Driver 的输出是否在 Receiver 的输入的容差范围之内。我们称这个容差范围为“接收窗口”。如果 Driver 的输出没有落在这个接收窗口之内，就有可能造成接收端的误判，从而造成设计上的失败。

因此看两个 ECL 器件是否能够互连，对于 Driver，只要是从 DATASHEET 中得到其输出高电平 V_{OH} 和输出低电平的 V_{OL} 的范围；对于 Receiver，只要看其关于接收窗口的一些指标，分两种情况：

2.1 单端信号

对于单端信号我们要关注的是输入高电平 V_{IH} 和输入低电平 V_{IL} 的最大和最小值， V_{IH} 的最大和最小值构成了 V_{IH} 的接收窗口， V_{IL} 的最大和最小值构成了 V_{IL} 的接收窗口，如下图：

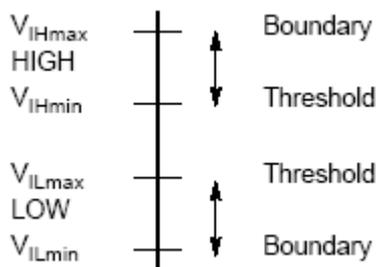


图 2 单端信号接收窗口

当 Driver 的 V_{OH} 范围全部落入 Receiver 的 V_{IH} 窗口之内，Driver 的 V_{OL} 范围全部落入 Receiver 的 V_{IL} 窗口之内时，可以保证 Receiver 可以正确接收 Driver 的输出，否则会有潜在的互连不正确的可能。

2.2 差分信号

对于差分信号，要关注的指标是 V_{IHCMR} (输入高电平共模范围)和差分信号的峰峰值 V_{PP} 范围。如某器件工作在 PECL 模式下，

其指标如下：

$$V_{IHCMR(MIN)} = 2.0V \leq V_{IH} \leq V_{IHCMR(MAX)} = 5.0V$$

$$V_{PP(MIN)} = 150mV \leq V_{PP} \leq V_{PP(MAX)} = 1200mV$$

那么其接收窗口如下图所示：

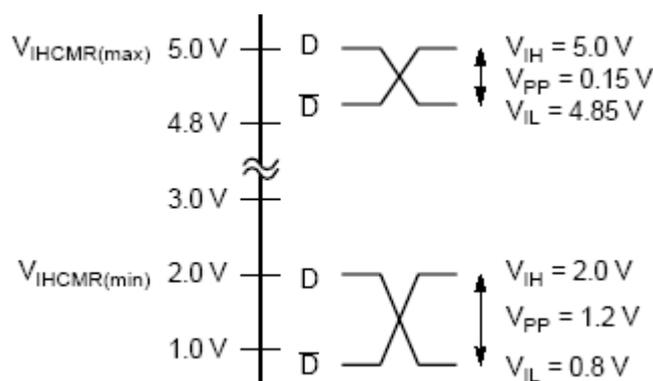


图 3

只要落在这个范围内的差分信号，即同时满足：

1. 输出 V_{PP} 位于 150mV和 1200mV之间；
2. 输出高电平 V_{OH} 位于 2.0V到 5.0V之间。

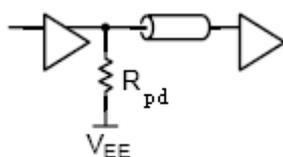
这样的差分信号都可以被正确接收。

可见，差分信号有着比单端信号宽得多的接收窗口，这也是高速应用中差分信号被普遍采用的原因之一。

3 ECL 逻辑的端接

端接是保证信号完整性的可靠手段。

下图是未端接的 ECL 输出：



图

图 4 未端接的 ECL 输出

图中的 R_{pd} 不是一个端接(Termination)电阻，而是称为下拉电阻 (Pull-Down Resistor)。它连接在输出端与 V_{EE} 之间，用来提供一个直流偏置以保证ECL的输出Buffer中的射随器晶体管不进入截止区。

提供直流偏置的电压不一定要是 V_{EE} ，但它一定要比ECL输出低电平 V_{OL} 要小。

R_{pd} 的选择也不是一个固定值，但它有一个范围。 R_{pd} 的值不能太小，以保证输出电流不会超过 50mA，也不能太大，否则 R_{pd} 和输出的负载电容 C_l 构成的RC网络在信号的下降时间内放电不够而导致逻辑低电平过高，从而违反设计规则。如下图所示，对ONSEMI的产品MC100LVEP111 的 $V_{EE} = -3.3V$ 的IBIS模型在 200MHz信号条件下进行仿真，蓝线对应的 $R_{pd}=150\Omega$ ，红线对应的 $R_{pd}=300\Omega$ 。可见， $R_{pd}=300\Omega$ 时输出低电平明显过高，容易造成接收端的误判。

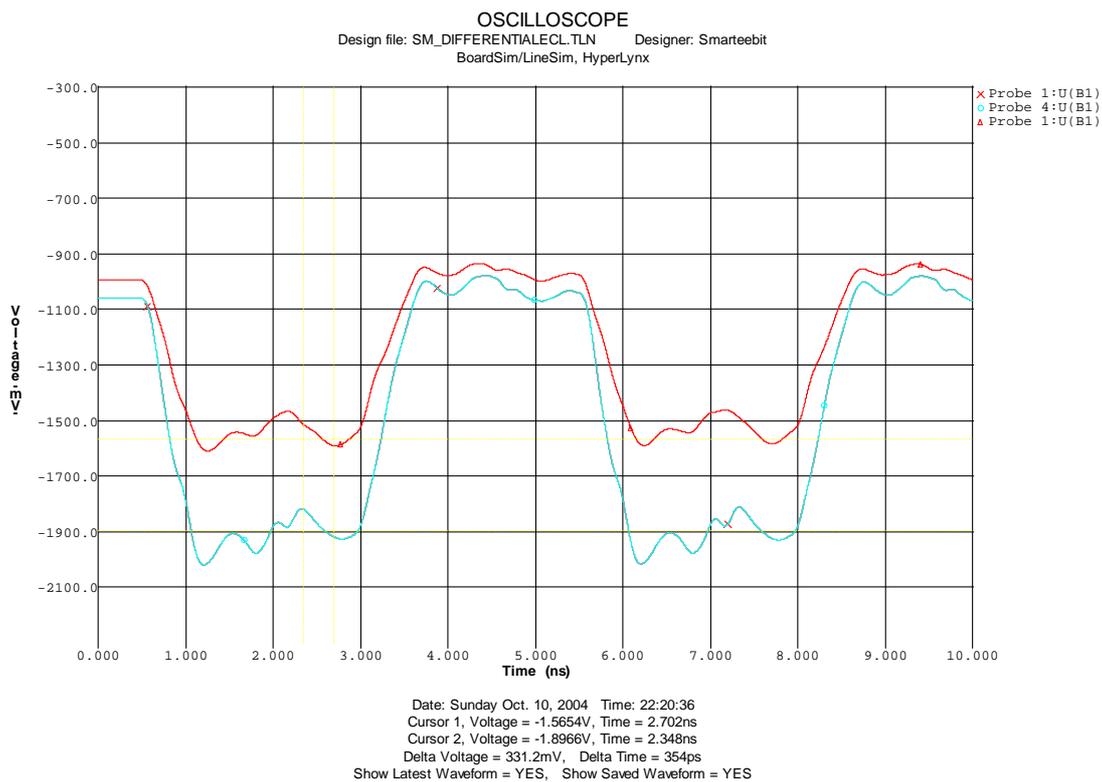


图 5 过大的 Rpd 造成 ECL 输出低电平不足

R_{pd(min)}的值由下式确定:

$$R_{pd(min)} = \frac{V_{OH}}{I_{max}}$$

其中V_{OH}是输出高电平，I_{MAX}是输出电流的最大值，经验值取 50mA。

R_{pd(max)}的值由下式确定:

$$Z_0 \frac{V_{OH} - V_{EE}}{R_{pd(max)} + Z_0} = 0.6$$

ONSEMI 对其各 ECL 系列的 R_{pd} 最小值如下表所示:

表 2

Line	VOH	Rt (min)
PECL	4.0 V	80
LVPECL	2.4 V	48
2.5VPECL	1.6 V	32

ONSEMI 对其各 ECL 系列的 R_{pd} 推荐值如下表所示:

表 3 ONSEMI 各系列的 Rpd 推荐值

Series	VOH	VCC	Rpd(ohm)
10LVEP	1.5	2.5	75
100LVEP	1.6	2.5	80
10EP	2.4	3.3	150
100EP	2.3	3.3	140
100LVEL	2.3	3.3	140
10EL	4.1	5.0	290
100EL	4.05	5.0	287
10E	4.1	5.0	209
100E	4.05	5.0	287

MICREL 将 Rpd 的值取为 180~250ohm。

下面讨论一下 ECL 的各终端接方式。

3.1 标准并行端接

其示意图如下：

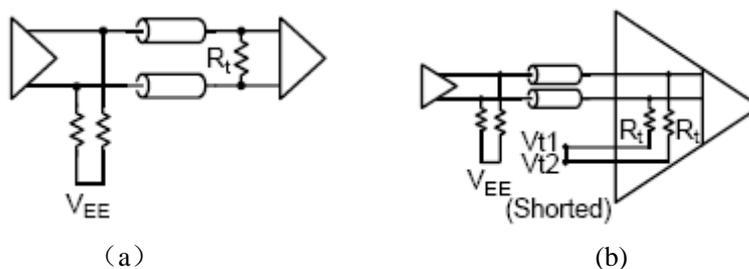


图 6 标准并行端接

这种情况一般适用于差分输出，在输出端用一对下拉电阻保证对射随器的直流偏置，用两个并行端接电阻 $R_t=Z_0$ 分别连接在输入端的差分线两端，两个电阻另外一头短路，如 (b)。其作用相当于用一个端接电阻 $R_t=2Z_0$ 连接在输入端的差分线两端，如(a)。

ATMEL 在其高速 ECL 器件的标准并行端接提议中还在两个 R_t 电阻的短路中点加入了一个 10pF—40pF 的中点去耦电容 (middle point decoupled capacity)，如下图所示：

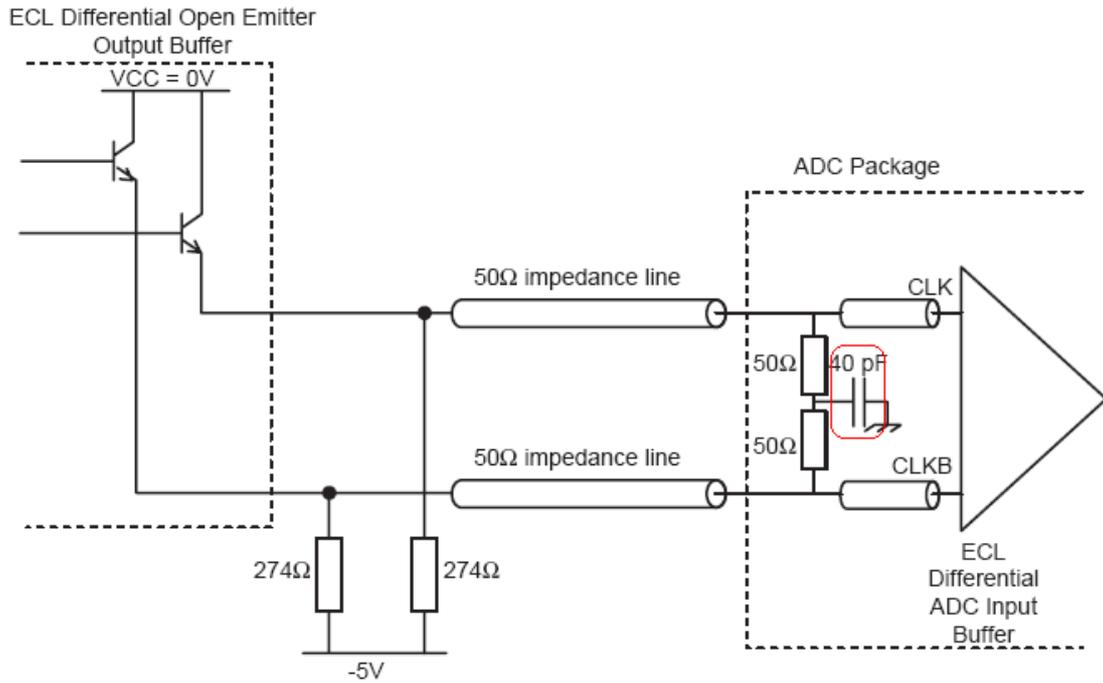


图 7 带去耦电容的标准串行端接

将上述差分线的端接方法用于单端（即将单个 R_t 通过去耦电容接地）也是可行的，这样就成了 AC 端接（AC Termination）。Hyperlynx 仿真证明如下图。仿真模型如上，蓝线为戴维南端接仿真波形，红线为标准并行端接的单端形式，波形为 200MHz 时钟，滤波电容为 0.01 μ F。不过波形的好坏随滤波电容的值有关，电容值取决于传输线的延迟及其等效电容。

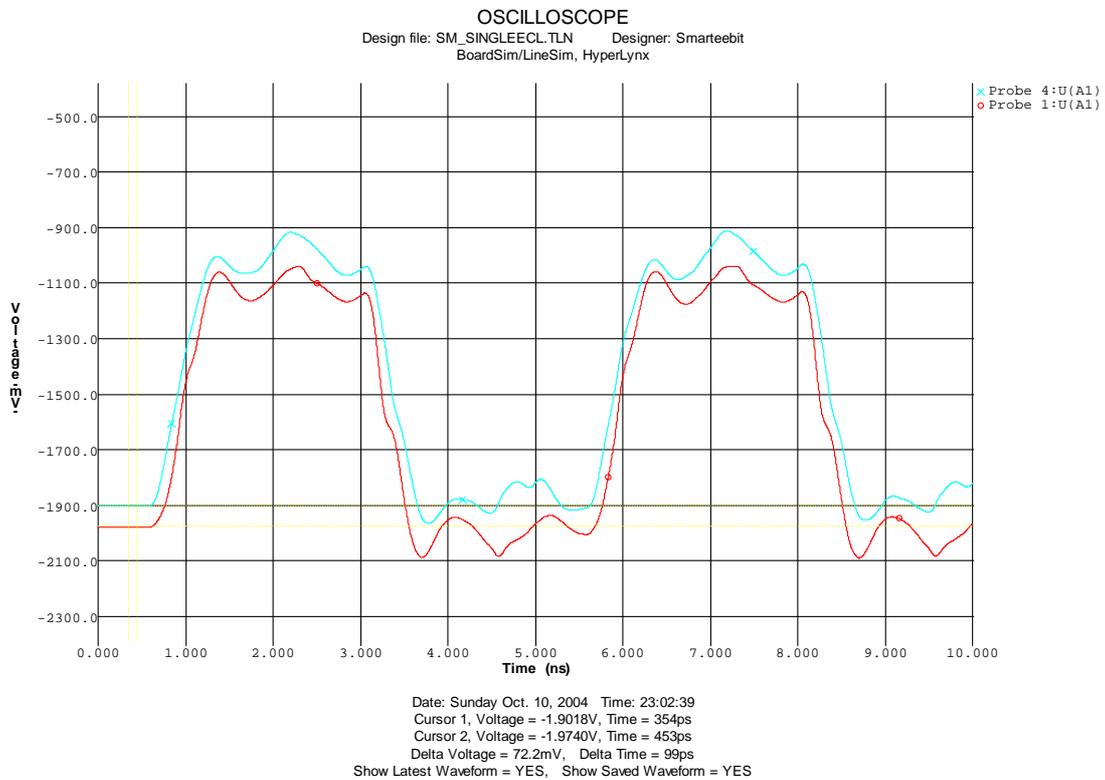


图 8 单端标准并行端接与戴维南端接的对比

3.2 V_{TT} 并行端接

这是大部分情况下推荐使用的端接技术，其特点是设备量小，直流功耗小，但是需要一个额外的电压供应 V_{TT} 。

示意图如下：

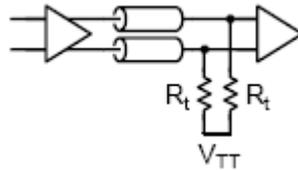


图 9 V_{TT} 端接

V_{TT} 端接同样适用于单端信号，如下图：

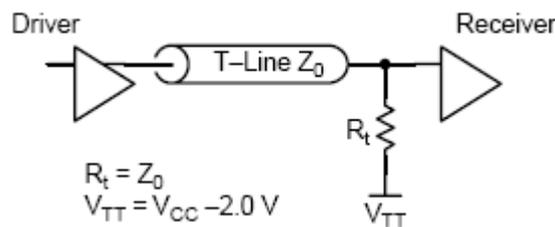


图 10 V_{TT} 端接（单端信号）

图中的 R_t 同时起到下拉电阻和端接电阻的作用。 $V_{TT} = V_{CC} - 1.3V < V_{OL}$ ，可以起到提供直流偏置的作用，同时 $R_t = Z_0$ ，能够起到阻抗匹配以消除第一次反射的作用。

为了不引入额外的电源 V_{TT} ，而直接利用已有的 V_{EE} ，可以用 Y 型端接来代替 V_{TT} 端接，其代价是多引入了一个电阻和增加了直流功耗。示意图如下：

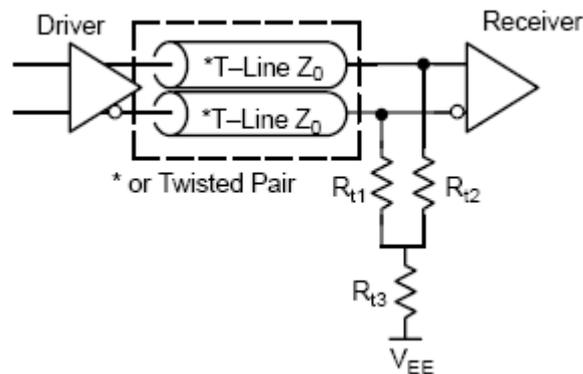


图 11 Y 型端接

这是通过 R_{t3} 的分压作用来在 R_{t1} 和 R_{t2} 的短路处得到等效的 V_{TT} 电压。 R_{t3} 的值由以下分压公式得到：

$$\frac{R_{t3}}{\left(\frac{R_{t1}}{2}\right)} = \frac{V_{TT} - V_{EE}}{\frac{V_{OH} + V_{OL}}{2} - V_{TT}}$$

其中 $R_{t1}=R_{t2}=Z_0$ 。

这样，每对差分线会增加一个 R_{t3} 电阻，并且增加了在 R_{t3} 上消耗的直流功耗。

下表是ONSEMI给出的 R_{t3} 对应不同PECL情况的值：

表 4 Y型端接 R_{t3} 各参考值

* Vcc= 5.0 V				* Vcc= 3.3 V				* Vcc= 2.5 V			
Zo	Rt1	Rt2	Rt3	Zo	Rt1	Rt2	Rt3	Zo	Rt1	Rt2	Rt3
50	50	50	112	50	50	50	46	50	50	50	21.2
70	70	70	156	70	70	70	64	70	70	70	29.7
75	75	75	166	75	75	75	68	75	75	75	31.8
80	80	80	179	80	80	80	72	80	80	80	33.9
90	90	90	201	90	90	90	82	90	90	90	38.1
100	100	100	223	100	100	100	91	100	100	100	42.4
120	120	120	268	120	120	120	109	120	120	120	50.8
150	150	150	335	150	150	150	136	150	150	150	63.6

Y型端接只能用于差分线，用于单端时不能用简单的分压原理来得到 V_{TT} 。如仿真图，蓝色的线是用想用分压来获得 V_{TT} 并进行阻抗匹配而得到的波形，可以看到，产生了严重的上下过冲，它并不能起到端接的作用。

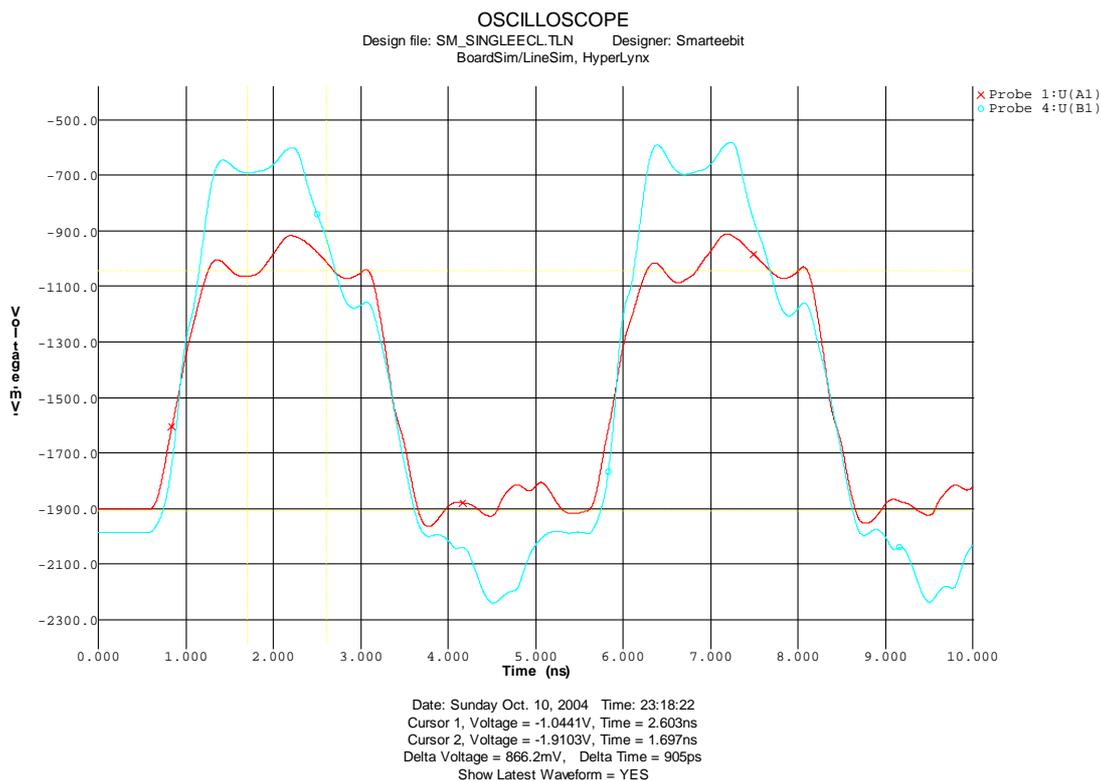


图 12 Y型端接不能用于单端信号

3.3 戴维南端接

戴维南端接是可以省却额外的 V_{TT} 电源的另外一种端接方式，带来的同样是设备量和直流功耗的增加。

示意图如下：

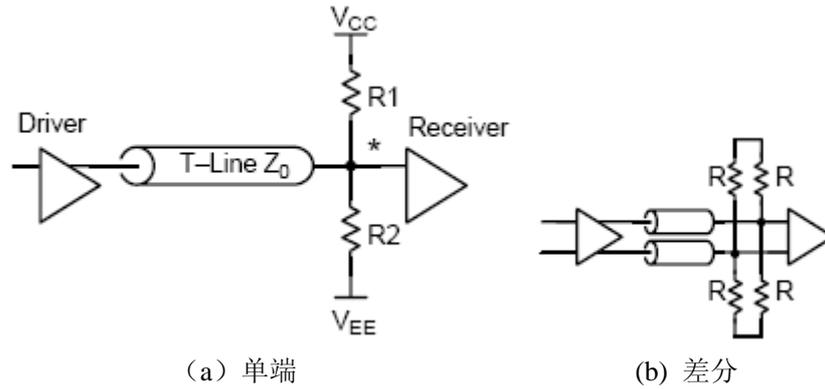


图 13 戴维南端接

根据戴维南定理，只要 R_1 和 R_2 满足下面的式子，就可以使戴维南端接与 V_{TT} 端接等效：

$$R_2 = Z_0 \left(\frac{V_{CC} - V_{EE}}{V_{CC} - V_{TT}} \right), \quad R_1 = R_2 \left(\frac{V_{CC} - V_{TT}}{V_{TT} - V_{EE}} \right)$$

ONSEMI 给出了不同 PECL 情况下对应的 R_1 和 R_2 的值如下表：

表 5 戴维南端接对应的各电阻值

Vcc= 5.0 V			Vcc= 3.3 V			Vcc= 2.5 V		
Z ₀	R ₁	R ₂	Z ₀	R ₁	R ₂	Z ₀	R ₁	R ₂
50	83	125	50	127	83	50	250	62.5
70	117	175	70	178	115	70	350	87.5
75	125	188	75	190	123	75	375	93.8
80	133	200	80	203	132	80	400	100
90	150	225	90	229	149	90	450	112.5
100	167	250	100	253	165	100	500	125.5
120	200	300	120	305	198	120	600	150
150	250	375	150	381	248	150	750	187.5

戴维南端接消耗的直流功耗可以是 V_{TT} 端接的 10 倍，所幸的是这些功耗都是消耗在端接电阻上，对于输出和输入器件，并无功耗的增加。而且，由于电路的非理想情况（如 V_{CC} 的上下波动等）， V_{TT} 端接仍然有可能使射随器晶体管进入截止区，而戴维南端接在这方面具有更强的鲁棒性。

3.4 串行端接

串行端接功耗最小，但一般的说法是串行端接只适用于低频应用（MICREL 提出为小于 100MHz 时的应用）示意图如下：

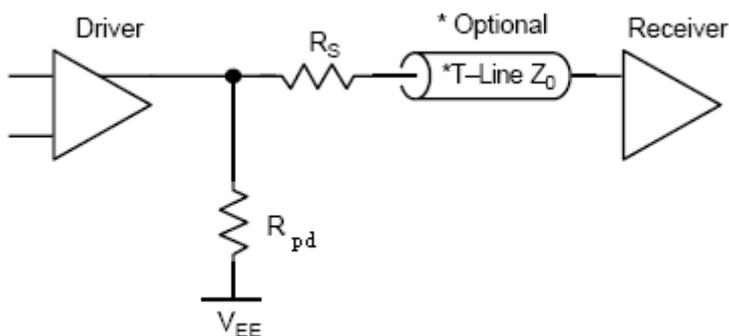


图 14 串行端接

串行端接的原理是消除源端的二次反射，所以要求 $R_s+R_o=Z_0$ ，即 $R_s=Z_0-R_o$ ，其中 R_o 为输出设备的输出阻抗，一般的ECL器件输出则抗 R_o 为 $6\sim 8\text{ohm}$ 。

对于 R_{pd} 值的确定，各厂商推荐方法不一，ONSEMI的做法是令

$$R_{pd} \leq (K_{Z_0})Z_0 - R_s$$

其中 K_{Z_0} 是一个系数，对于不同的系列有不同的值，如下表：

表 6 ONSEMI给出的串行端接各 K_{Z_0} 值

Series	KZ ₀
10EP	4.0
100LVEL	4.01
10EL	5.99
10E	7.10
100E	6.57

MICREL给出的方法则比较简单，直接令 $K_{Z_0}=10$ ，如果一个输出驱动 n 个输入，则再将得到的 R_{pd} 的值除以 n 。

以下是对ONSEMI的EP100系列IBIS模型做的串行端接和并行端接的对比，用伪随机码产生250MHz数据，其中蓝色眼图为 V_{TT} 端接，红色眼图为串行端接。可以看到，串行端接引入了额外的延时，且SWING更大，在这里已经进入了KEEPOUT区域。除此之外并未发现其他信号完整性上的差异。

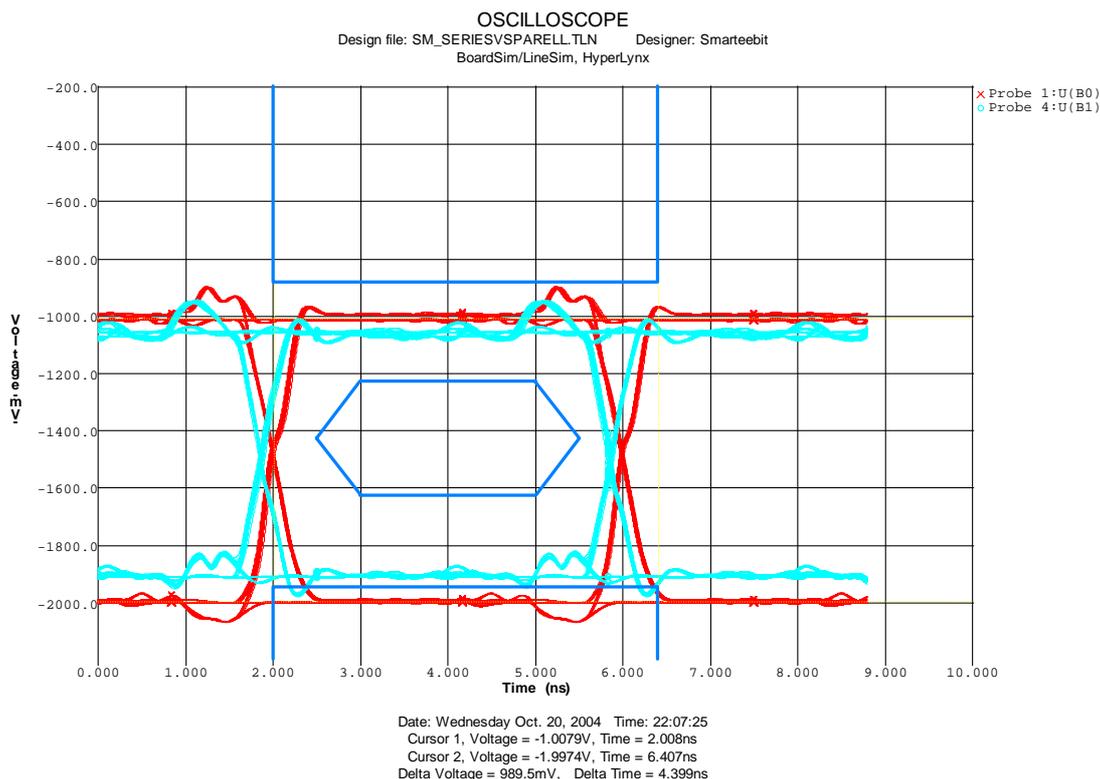


图 15

除以上介绍的几种端接方式之外，还有电容耦合和二极管端接等几种端接方式，因为不太常用，所以省略。

3.5 差分信号用于单端时的端接注意事项

如果对差分信号只使用其中的一根信号线，那么为了保证不会出现设计上的失败，对另外一根信号线(unused pin)一定要作妥善的处理。

正确的做法是：

1. 对于输出的 unused pin，要对其进行与输出信号线同样的端接；
2. 对于输入的 unused pin，要将其连接到 V_{BB} 参考电平。 $V_{BB} = V_{CC} - 1.3V$ ，是ECL逻辑的中心电平。

下图是MICREL公司对unused pin进行处理的一个例子，输出信号使用了戴维南端接，所以未使用的输出同样适用戴维南端接；未使用的输入端通过 50ohm电阻连接到器件本身提供的 V_{BB} 电平，并用一个 0.01uF的电容旁路到 V_{CC} 。

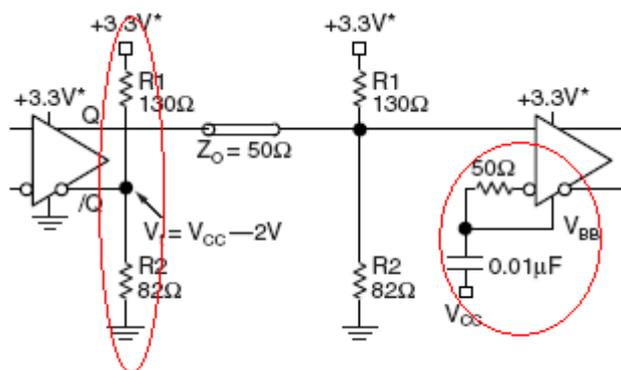


图 16

有些器件本身并不提供 V_{BB} 参考电平，如ONSEMI的MC10EL52，这样就需要自己通过电阻分压来得到 V_{BB} ，或者由专用的 V_{BB} 电平参考发生器来产生，如ONSEMI的 16、17 系列。

4 差分(Differential) V.S. 单端(Single Ended)

ECL 逻辑既可以用于差分应用，又可以用于单端应用。对于高速设计，我们推荐使用差分。虽然增加了一倍的走线及端接设备量，并引入更多的功耗，但差分线仍然在当今的高速设计中大行其道，原因就在于差分线具有单端信号所无法比拟的优势，主要有以下几点：

1. 更好的抑制噪声的性能；

由于接收端接收差分信号是对正反两信号的差值进行比较，由外部引入的共模噪声会在两信号相减的过程中被去除，如下图：

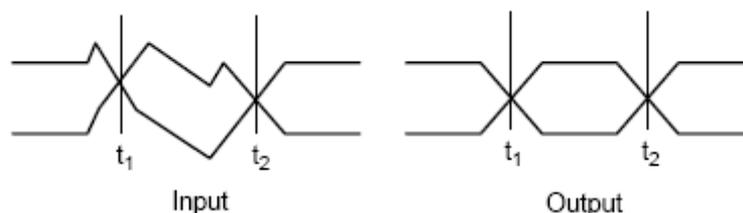


图 17

而单端信号对共模噪声没有消除作用；

而且，单端信号在接收端需要用 V_{BB} 参考电平来作为门限判断输入信号的电平高低，在 V_{BB} 上引入的噪声也成为影响信号质量的一个因素。而差分信号根本不需要 V_{BB} 作参考电平。

2. 接收窗口宽；这点在《2 ECL 逻辑的直流特性》中已经详细说过，这里不再赘述。
3. 高接收端灵敏度。由于差分接收器是对“+”端和“-”端的差值电平进行判断，且不受信号线上的共模噪声影响，差分接收器的灵敏度至少比单端接收器好 2 倍；
4. 低 EMI；更小的 swing 意味着可能对外发射的能量更小，从而减小带来 EMI 问题的可能性。