

EMI/EMC 设计讲座(四)印刷电路板的映像平面

一个映像平面 (image plane) 是一层铜质导体 (或其它导体), 它位于一个印刷电路板 (PCB) 里面。它可能是一个电压平面, 或邻近一个电路或讯号路由层 (signal routing layer) 的 0V 参考平面。1990 年代, 映像平面的观念被普遍使用, 现在它是工业标准的专有名词。本文将说明映像平面的定义、原理和设计。

映像平面的定义

射频电流必须经由一个先前定义好的路径或其它路径, 回到电流源; 简言之, 这个回传路径 (return path) 就是一种映像平面。映像平面可能是原先的走线的镜像 (mirror image), 或位于附近的另一个路径----亦即, 串音 (crosstalk); 映像平面也许就是电源平面、接地平面, 或者自由空间 (free space)。射频电流会以电容或电感的形式与任何传输线耦合, 只要此传输线的阻抗比先前定义好的路径的阻抗小。不过, 为了符合 EMC 标准, 必须避免让自由空间成为回传路径。

虽然单面 PCB 可以降低成本, 但是这种简单的结构可能无法符合 EMC 标准。大多数的 2 层或 4 层结构的 PCB 具有比较高的讯号完整性, 并且可以通过 EMC 测试。高密度 (多层板) 的 PCB 堆栈大约可以为每一对映像平面, 提供 6dB 至 8dB 的射频抑制, 这是由于消除磁通量所产生的效果。有一个简单法则可以用来判断何时应该使用多层板: 当频率速率超过 5MHz, 或上升时间比 5 ns 快, 就必须使用多层板。

电感的定义

走线和铜质平面都具有数目有限的电感, 当电压施加到走线或传输线时, 这些电感会禁止电流产生, 所以会使双导线成为不平衡的共模辐射, 磁通量因此无法降低。在电路板结构中, 具有三种不同的电感型态:

- 部份电感: 存在于导线或 PCB 走线的电感。

- 自身的部份电感：来自于一个导线区段的电感，相对于无限长的区段。
- 共同的部份电感：一个电感区段在第二个电感区段上所产生的效应。

和电容、电阻相比，电感值是最难被测量的。电感代表一个封闭型电流回路的动态特性。电感是通过封闭回路的磁通量和产生磁通量的电流之比，其数学表述式是： $L_{ij} = \Psi_{ij} / I_i$ ， Ψ 是磁通量， I 是回路中的电流。在一个封闭回路中，电感值与回路形状和大小有关。当设计 PCB 时，工程师经常会忽视走线的电感大小。电感永远和封闭回路有关。封闭回路的电感效应，可以由部份电感和共同的部份电感的效应来描述。

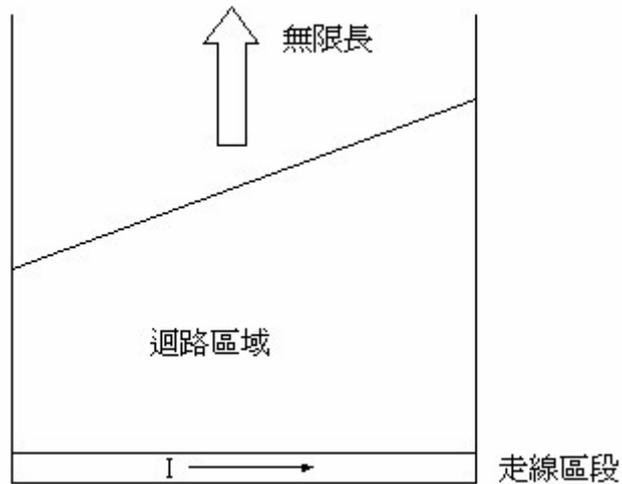
部份电感

一个导体的内部电感，它是由此导体内部的磁通量产生的。一个封闭回路的部份电感之加总，等于将每个区段的部份电感相加后的和，亦即 $L = \sum L_i$ 。而每一个区段的 L_i 就等于 Ψ_i / I_i ， Ψ_i 表示第 i 个区段耦合至回路的磁通量， I_i 是在第 i 个区段的电流量， L_i 就是部份电感。因此，不同回路将会有不同数值的部份电感。我们关注的是部份电感值，而不是走线的总电感值。而且，利用部份电感可以推导出共同的部份电感。

共同的部份电感

可以让映像平面消除磁通量的主要因素是来自于「共同的部份电感」。磁通量被消除之后，能够让磁力线连结，并为射频电流找到最佳的回传路径。自身的部份电感是指特定的回路区段之电感，和其它回路区段无关。附图一是表示一个自身的部份电感，一条走线回路内的电流是 I ， L_p 是走线区段的自身的部份电感。假设此走线是从有限的一端，一直延伸至无限的另一端。

理论上，虽然自身的部份电感与邻近的导线无关，但实际上，间距很小的相邻导线会互相改变彼此的自身的部份电感值。这是因为一条导线会和其它导线互动，使得在导线的全长度上的电流分布不再一致化（uniform）。尤其当两导线间隔和半径的比值约小于 5:1 时，这种情况会更加明显。



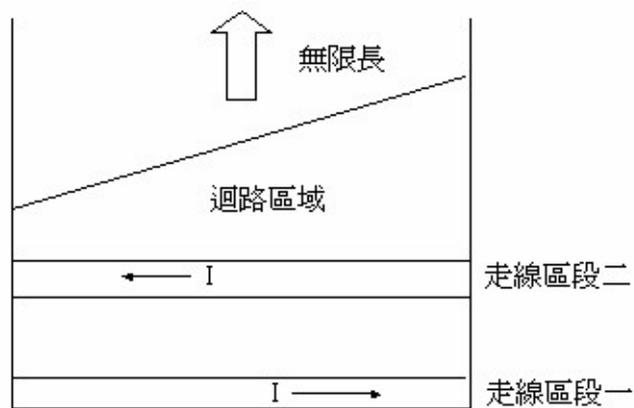
图一：自身的部份电感

在两条导线之间，会有共同的部份电感存在。共同的部份电感 M_p 是以平行走线，或导线区段之间的间距 (s) 为基础。 M_p 是「第一条导线内的电流所产生的磁通量（通过第二条导线至很远的地方）」和「第一条导线所产生的电流」之比值。附图二是表示一个共同的部份电感。它的等效电路如附图三所示，此电路的数学表述式如下所示：

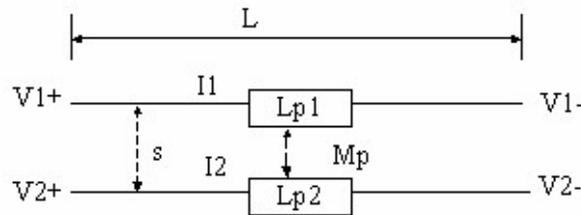
$$V_1 = L_{p1} \frac{dl_1}{dt} + M_p \frac{dl_2}{dt}$$

$$V_2 = M_p \frac{dl_1}{dt} + L_{p2} \frac{dl_2}{dt}$$

图二：共同的部份电感



图三：两导线之间的共同的部份电感



现在以共同的部份电感之观念，来考虑在附图三的电路上传送讯号，譬如：频率讯号。V1 是在讯号路径上，V2 是在射频电流回传路径上。假设此两导线构成一个讯号路径和它的回传路径，因此 $I_1 = I$ 且 $I_2 = -I$ 。要不是有共同的部份电感存在，此两导线将无法互相耦合，此电路也无法正常工作，也不会形成一个封闭回路。在附图三中的电压降将变成：

$$V_1 = (L_{p1} - M_p) \frac{dI}{dt}$$

$$V_2 = -(L_{p2} - M_p) \frac{dI}{dt}$$

由上式中可以知道，若要使电压降变小，必须增加共同的部份电感值 (M_p)。

而增加共同的部份电感之最简单方法是：将射频回传电流的路径尽量和讯号走线靠近。最佳的设计方法是：在接近讯号走线的附近，使用一个射频回传平面，它们之间的距离在可实现的能力范围之内，应该尽量的小。

部份电感永远存在于导线中，它如同默认值一样。因此，它就等同于一个具有特定的谐振频率的天线。「共同的部份电感」可以降低「部份电感」的效应。缩小两导线的间距，其个别的部份电感就可以降低，这可以符合 EMI 兼容标准的要求。

为了使共同的部份电感之效应达到最大，在两导线中的电流必须大小相同，但方向相反。这也是为何映像平面（或接地线）能够如此有效的原因。在两条平行的导线之间，有共同的部份电感存在，而这些电感值会随着两导线的间距和长度之不同而变化（可以参考导线的技术规格）。当两平行导线的间距和长度都最小时，它们的共同的部份电感值会最大。

若在电源和接地平面之间以介电材料分开，此时「共同的部份电感」将扮演什么角色呢？同样的，只要这两个平面的间距很小，共同的部份电感值就会很大。此时，在电源平面上所测量到的射频讯号电流应该为零，因为它被大小相同、方向相反的射频回传电流抵销了。

此外，须注意的是，如果降低两导线之间的共同的部份电感值，不仅会减损映像平

面的效应，而且会使两平面之间的电容值增加。

映像平面的设计

附图四是在 PCB 内的映像平面，它具有共同的部份电感。在此图中，讯号走线的大多数射频电流将回至接地平面，此平面在讯号走线的正下方。在这个回传「映像」结构中，射频回传电流将遇到一个有限大的阻抗（电感）。此回传电流会产生一个「电压梯度（斜率）」（每单位路径长度的电压变化率），也称为「接地噪声电压（ground-noise voltage）」。接地噪声电压会导致部份的讯号电流通过接地平面的离散电容。

典型的共模电流是差模电流 I_{dm} 的 $1/10n$ 倍（ n 为小于 10 的正整数）。不过，共模电流（ I_1 和 I_{cm} ）会比差模电流（和）产生更多的辐射。这是因为共模的射频电流场是相加的，而差模电流场是相减的。

为了降低「接地噪声电压」，必须增加走线和其最靠近的映像平面之间的共同的部份电感值。这样可以为回传电流提供一条增强的路径，将映像电流映射回电流源。接地噪声电压 V_{gnd} 的计算公式如下所示：

$$V_{gnd} = L_g dI_2/dt - M_{gs} dI_1/dt$$

附图四和上式的符号意义如下所示：

L_s = 讯号走线自身的部份电感。

M_{gs} = 讯号走线和接地平面之间的共同的部份电感。

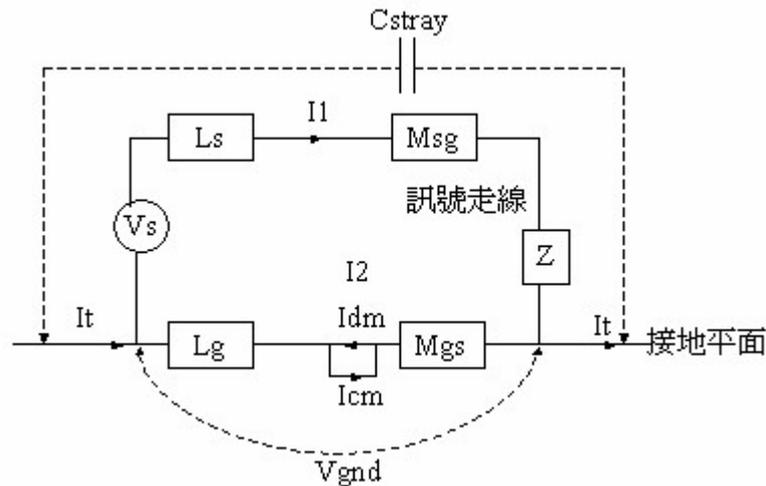
L_g = 接地平面自身的部份电感。

M_{gs} = 接地平面和讯号走线之间的共同的部份电感。

C_{stray} = 接地平面的离散（stray）电容。

V_{gnd} = 接地平面噪声电压。

为了降低附图四中的 I_f ，接地噪声电压必须减少。最好的方法是：缩小讯号走线和接地平面之间的距离。在大多数的情况下，接地噪声的降低是有极限的，因为讯号平面和映像平面之间的距离不能小于一个特定值；若低于此值，则电路板的固定阻抗和功能将无法确保。此外，也可以为射频电流提供额外的路径，藉此降低接地噪声电压。此额外的回传路径包含有数条接地线。



图四：PCB 内的接地平面

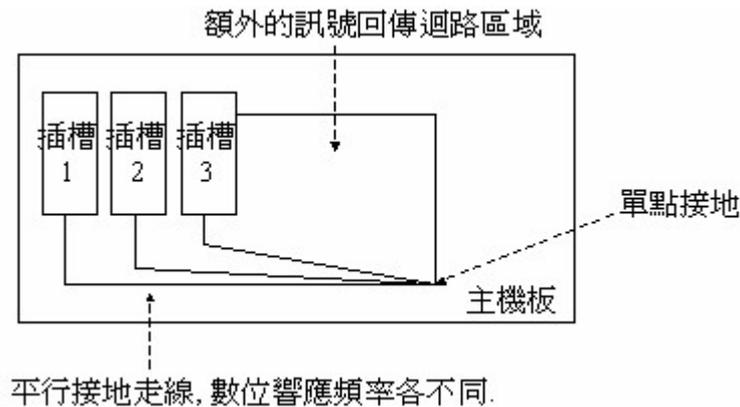
一个稳固的平面会产生共模的辐射。由于共同的部份电感可以降低具辐射性的射频电流的产生，因此，共同的部份电感也会影响到差模电流和共模电流。而利用映像平面是可以将这些电流大幅地降低的。理论上，差模电流应该等于零，但实际上它无法 100% 被消除，而剩下的差模电流会转变成共模电流。此共模电流正是造成电磁干扰的主要来源。因为在回传路径上的剩余的射频电流，被加到在讯号路径中的主电流 (I_1) 中，造成讯号严重干扰。为了降低共模电流，我们必须将走线平面和映像平面之间的共同的部份电感值增加至最大，以补捉磁通量，藉此消除不需要的射频能量。差模电压和电流会产生共模电流，而减少差模电流的方法除了增加共同的部份电感值以外，走线平面和映像平面之间的距离也必须最小。

在 PCB 内，当有一个射频回传平面或路径存在时，若此回传路径被连接至一个参考源，则可以获得最佳的性能。对 TTL 和 CMOS 而言，其芯片内的功率和接地脚位是连接至参考源、电源、接地平面。只有当射频回传路径有和芯片内的功率和接地脚位连接，一个真正的映像平面才会存在。通常，在芯片内会有接地线路，此线路与 PCB 的接地平面连接，因此产生良好的映像平面。如果将此映像平面移除，则在走线和接地平面之间会产生「虚幻的」映像平面。由于走线之间的距离很小，辐射能量会降低，因此，射频映像 (RF image) 会被抵销。理想的映像平面应该是无限大的，而且没有分裂、细缝或割痕。

接地和讯号回路

由于回路是射频能量传播最主要的媒介，因此，接地或讯号回传回路控制 (return loop control) 是抑制 PCB 内的电磁干扰的最重要设计考虑之一。高速的逻辑组件和振荡器应该尽量靠近接地电路，以避免形成回路；在此回路中会有涡流 (eddy current) 存在，此时是以机壳或底座 (chassis) 接地。涡流是受到不断变化的磁场感应产生的，

它通常是寄生的。附图五是 PC 的适配卡插槽和单点接地所形成的回路。在此图中，有一个额外的讯号回传回路区域存在。每个回路将会各别产生一个不同的电磁场和频谱。射频电流将会在特定的频率下，产生电磁辐射场，其辐射能量的大小和回路的面积有关。这时必须使用遮蔽物 (containment)，以避免射频电流耦合至其它电路中；或辐射至外部环境，造成电磁干扰。不过，最好能尽量避免由内部电路产生射频回路电流 (RF loop current) 来。



图五：在 PCB 内的接地回路

若射频电流的回传路径不存在，此时，可以利用连接至底座的接地线路，或 0V 参考源来协助移除掉不良的射频电流。这也称为「回路面积控制 (loop area control)」。

回路面积的控制

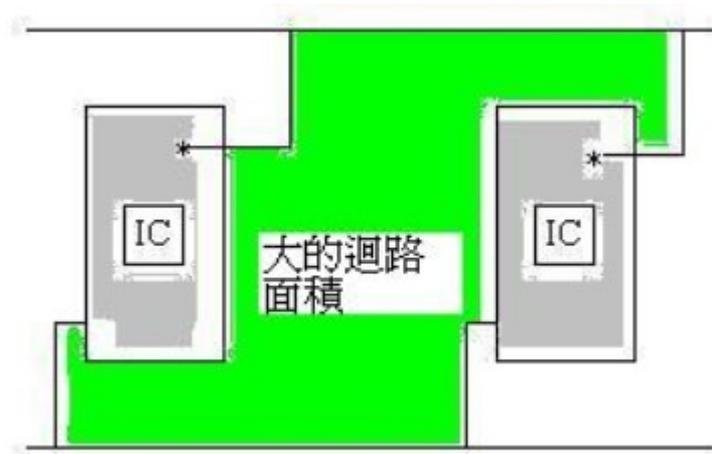
一个被磁场感应的回路，它的电磁场可以用电压源来表示。这个电压源大小和回路的总面积成正比。因此，为了降低磁场的耦合效应，必须减少回路的面积。电场「捡拾 (pickup)」接收系统也是依靠回路面积，来形成接收天线。

当有一个电场存在时，在电源和接地平面之间，会产生一个电流源。电场不会在线路至线路之间耦合，而会在走线至接地线之间耦合，这就包含了共模电流。但是，对磁场而言，由于电场会伴随它产生，所以电磁场会在线路至线路之间耦合，也会在线路至接地线之间耦合。

一般人都会忽略在 PCB 内，于电源和 0V 参考点之间要设置回路区域。附图六的大回路面积是最容易设计的，但也最容易被「静电释放 (ESD)」或其它场感应，变成一个天线。多层堆栈的 PCB 可以减轻 ESD 的破坏，并能减少磁场的产生，避免它辐射至自由空间。在附图七中，接地平面和电源平面之间，具有一个很小的回路面积。

使用电源和接地平面可以降低电源分配系统的电感值。若将电源分配系统的特性阻抗降低，则可以降低电路板的电压降。电压降若变小，则「接地弹跳 (ground bounce)」的现象就可以避免。当逻辑闸开关快速切换时，瞬间的电流变化会经由 IC 接脚，传送

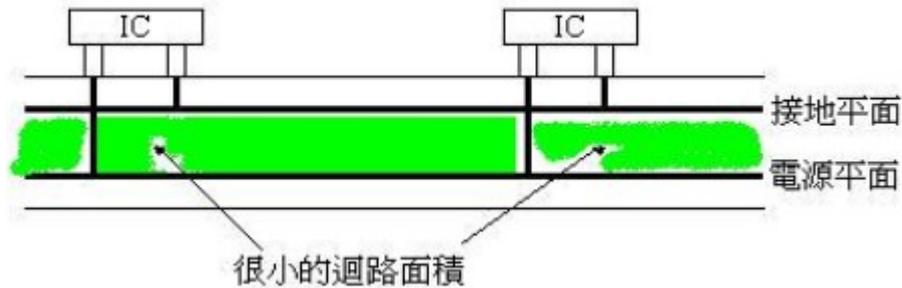
至主机板的电源平面或接地平面，造成输入参考电压的波动，进而产生射频噪声（RF noise）和电磁干扰，这种现象就称作「接地弹跳(ground bounce)」。此外，降低特性阻抗的同时，电源平面与接地平面之间的电容值会增加，这个电容值会使得任何的感应电压值下降，这就是「去耦合（decouple）」的效果。



图六：绿色区域是大的回路面积

当讯号线在组件之间穿梭时，大的回路面积就被产生了。但是我们常常会忘记讯号线对 EMI 的影响。虽然，讯号的完整性（时域）仍然很高，但是，EMI 依然存在（频域），因为讯号回路面积所产生的问题，比电源分配系统所产生的问题多。尤其是从 ESD 的观点来分析，更是如此；这是由于 ESD 会直接进入回路和组件的输入脚位中。为了降低 ESD 可能造成的伤害，减少回路面积是最简单的方法。电源和接地平面分散网络提供了低阻抗的路径，能够将 ESD 能量传送至 0V 的回传参考平面内。毕竟，回路是回路，如果它们能发出电磁波，就应该能够接收电磁波。

除了能降低接地噪声电压以外，映像平面也能防止射频接地回路变大，因为射频电流紧密地与它们的电流源走线耦合，所以，它不需要另外寻找回传路径。当回路控制最大化时，磁通量就被大幅消除了。这是在 PCB 内，抑制射频电流的最重要观念之一。在靠近每一个讯号平面处，正确地配置映像平面，就可以消除共模的射频电流。传输大量的射频电流的映像平面，必须接地或接至 0V 参考点。为了移除多余的射频电压和涡流，所有接地和底座平面可以透过一个低阻抗的接地电路，连接至底座的接地点。



图七：具有一个很小的回路面积的 PCB 布线

接地线的间距

要降低 PCB 内的回路生成，最简单的方法是设计许多个接地线，并全部连接至底座的接地点。由于组件的输出讯号的边缘速率 (edge rate) 加快了，所以，多点接地就变成了必要的规格，尤其当有使用到 I/O 互连的设计时。当 PCB 使用多点接地，而且都连接到一个金属结构上，这时，我们必须知道所有接地线之间的间距是多少。

接地线之间的距离不能超过最高频率的 $\lambda / 20$ ，这不仅包括主频率，也包含谐波频率。如果某组件的输出讯号的边缘速率比较慢，则它连接至底座接地点的数目可以减少，或和接地位置的距离可以增加。例如：一个 64MHz 的振荡器的 $\lambda / 20$ 是 23.4 公分，若两个接地线的直线距离大于 23.4 公分，则很可能会有射频回路存在，这个回路可能就是射频能量传播的来源。

在 PCB 中的组件布局必须要正确。将不同功能区块的接地线紧密相邻，可以缩短讯号走线的长度、降低反射、并使绕线容易，同时保持讯号的完整性。应该要尽量避免使用通孔 (via)，因为每一个通孔会增加走线的电感值大约 1 至 3 nH。

此外，为了防止不同的频宽区域相互耦合，必须对不同的功能区块做正确的分割 (partition)，其方法有：使用分离的 PCB、绝缘、不同的布线... 等。正确的分割可以提高电路效能、使绕线容易、缩短走线的长度，并且能缩小回路的面积、提升讯号质量。工程师在布线之前，必须先规划好哪些组件是属于哪一个功能区块，而这些信息可以从组件供货商处获得。