

EMI/EMC 设计讲座(七)印刷电路板的 EMI 噪讯对策技巧

随着电子组件功能提升,各种电子产品不断朝向高速化方向发展,然而高性能化、多功能化、可携带化的结果,各式各样的 EMC(Electro Magnetic Compatibility)问题,却成为设计者挥之不去的梦魇。

目前 EMI(Electro Magnetic Interference)噪讯对策,大多仰赖设计者长年累积的经验,或是利用仿真分析软件针对箱体结构、电子组件,配合国内外要求条件与规范进行分析,换句话说电子产品到了最后评鉴测试阶段,才发现、对策 EMI 问题,事后反复的检讨、再试作与对策组件的追加,经常变成设计开发时程漫无节制延长,测试费用膨胀的主要原因。

EMI 主要发生源之一亦即印刷电路板(Printed Circuit Board, 以下简称为 PCB)的设计,自古以来一直受到设计者高度重视,尤其是 PCB Layout 阶段,若能够将 EMI 问题列入考虑,通常都可以有效事先抑制噪讯的发生,有鉴于此本文要探讨如何在 PCB 的 Layout 阶段,充分应用改善技巧抑制 EMI 噪讯的强度。

测试条件

如图 1 所示测试场地为室内 3m 半电波暗室,预定测试频率范围为 30MHz~1000MHz 的电界强度,依此读取峰值点(Peak Point)当作测试数据(图 2)。

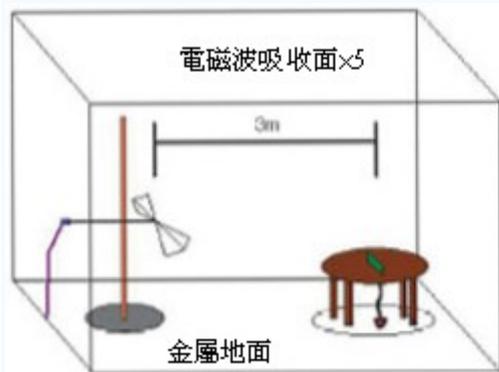


圖1 測試環境



圖2 測試模組外觀

图 3 是被测基板 A 的外观,该基板为影像处理系统用电路主机板,动作频率为 27MHz 与 54MHz,电路基板内建 CPU、Sub CPU、FRASH, 以及 SDRAM×5、影像数据/数字转换处理单元、影像输入输出单元,此外被测基板符合「VCCI 规范等级 B」的要求,测试上使用相同的电源基板(Board)与变压器(Adapter)。



圖3 被測基板A的外觀

首先针对被测基板 A 进行下列电路设计变更作业:

- CPU 的频率线(Clock Line)追加设置 EMI 噪讯对策用滤波器(Filter)，与频率产生器(Clock Generator)(图 4)。

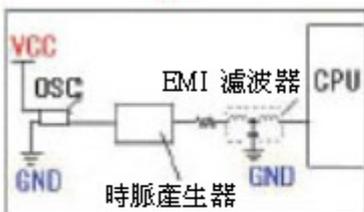
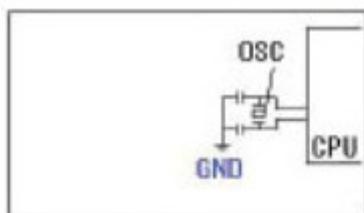


圖4 追加EMI 濾波器與時脈產生器的方法

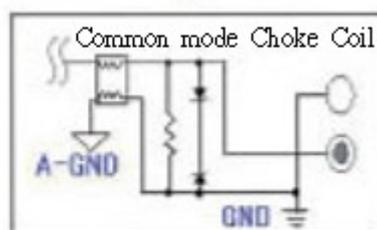
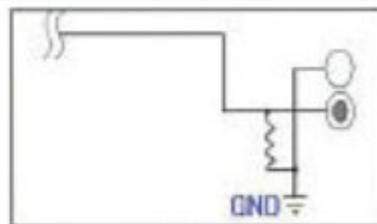


圖5 追加Common mode Choke Coil的方法

- 影像输出单元追加设置 Common mode Choke Coil(DLWxxx 系列)(图 5)

- 各 IC 电源输入线的 Bypass Condenser 与电源之间，追加设置 Ferrite Beads(图 6)。

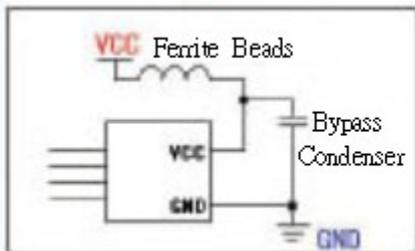
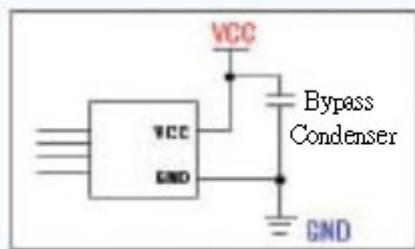


圖6 追加Ferrite Beads的方法

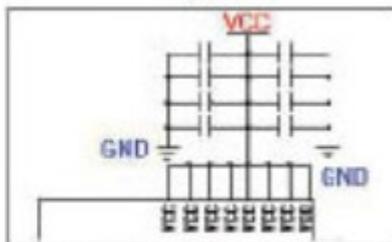
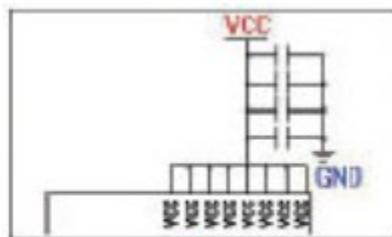


圖7 追加Bypass Condenser的方法

- 追加设置 Bypass Condenser，使各 IC 的所有电源脚架，全部从基板电源层(Plane)通过 Bypass Condenser 提供电源(图 7)。

各种 EMI 噪讯对策

a.EMI 噪讯对策用电容

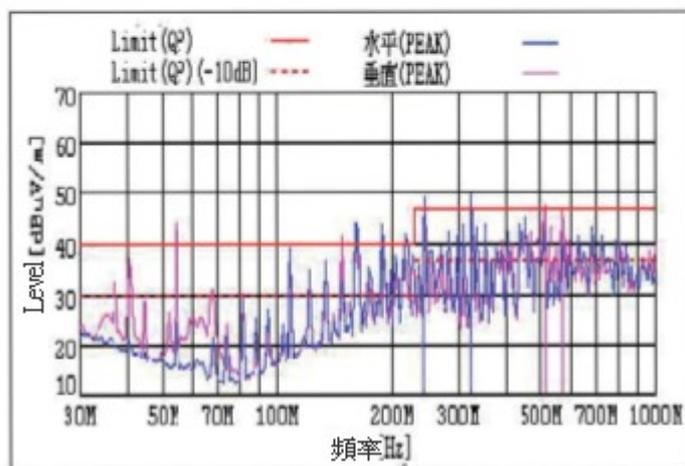
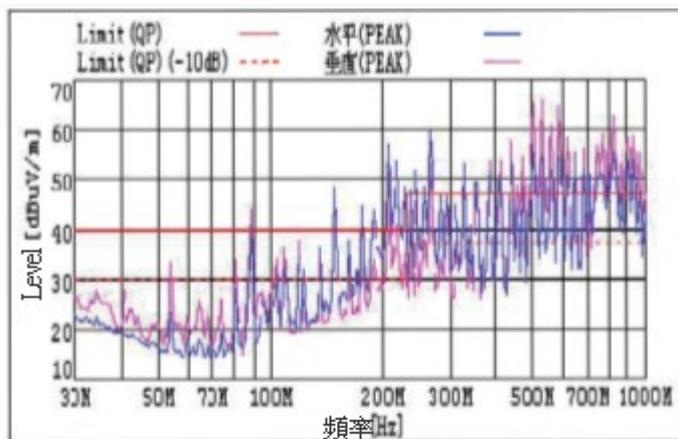


圖8 測基板A的EMI測試結果

接着进行 EMI 测试获得图 8 的测试结果，根据测试结果再进行噪声抑制设计作业，在此同时将设计变更的被测基板 A 的设计数据读入 EMI 噪声抑制支持工具，并针对支持工具指出的主要部位，例如频率线、Bus 导线 Via 周围，分散设置 EMI 噪声对策用电容(图 9)，主要原因是信号导线的 return 路径如果太长或是非连续状态时，EMI 噪声有增大之虞，为了缩短 Return 路径，因此设置连接电源与接地的电容。

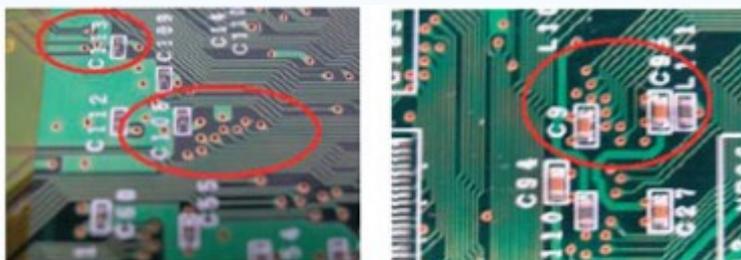


圖9 分散EMI噪声对策用电容的方法

图 10~图 13 是改变上述电容容量时的 EMI 噪声测试结果，根据测试结果显示，依照图 14 的频率范围设置的大容量 EMI 噪声对策用电容 DuF，可以抑制低频噪声 Level。虽然设置电容增加 PCB 的容量负载，不过为了要抑制噪声，设置在各部位的电容频率特性，却可以发挥预期的 EMI 噪声抑制效果。

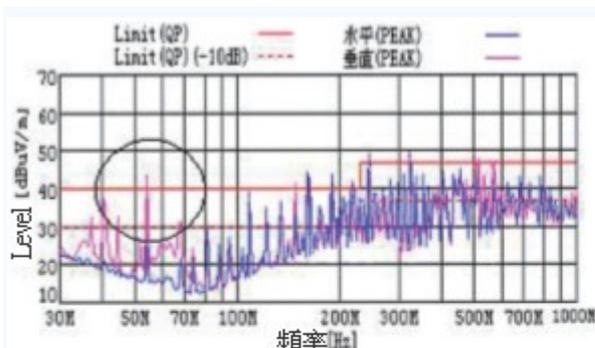


圖10 無EMI噪訊對策用電容的測試結果

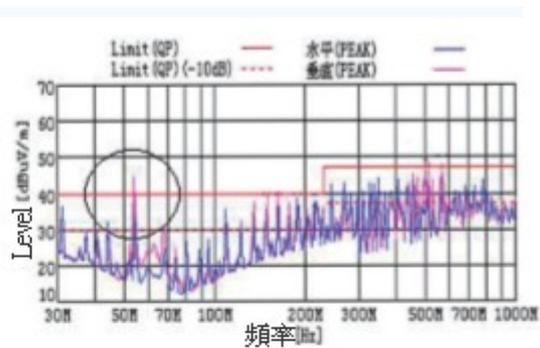


圖11 使用EMI噪訊對策用電容BuF的測試結果

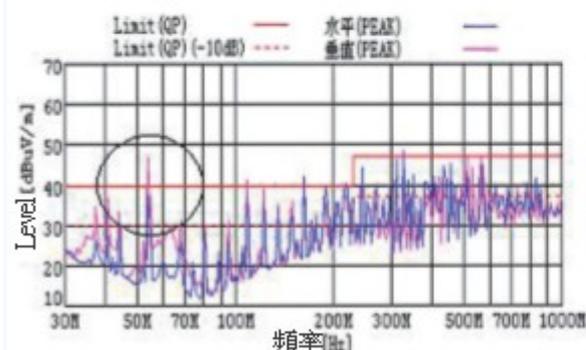


圖12 使用EMI噪訊對策用電容CuF的測試結果

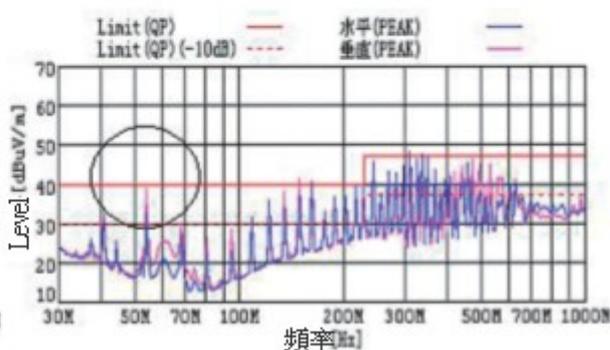


圖13 使用EMI噪訊對策用電容DuF的測試結果

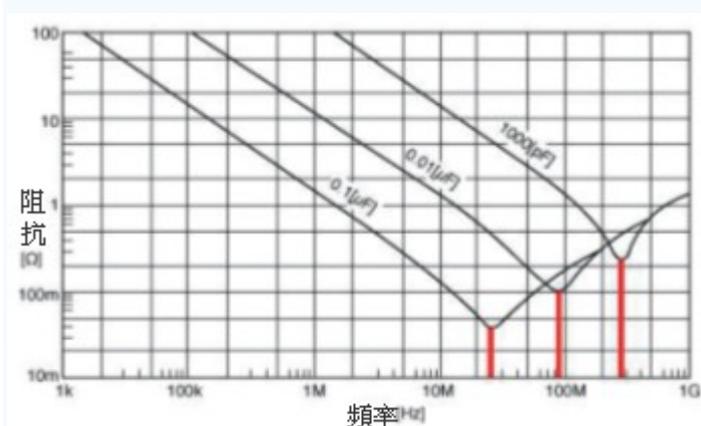


圖14 EMI噪訊對策用電容的頻率特性

实际应用时只要在频率导线、Bus 导线等高频导线图案(Pattern)附近、形成 CPU、Return 路径的内层面(Plane)的分断附近、形成噪讯出入口的基板侧面附近分散设置 EMI 噪讯对策用电容，就可以消除该部位周边的噪讯。

对各式各样基板外形、组件封装、导线的 PCB 而言，只要以一定间隔设置 EMI 噪讯对策用电容，同样可以获得分散性的噪讯抑制效果。

b.改变基板的层结构

接着针对被测基板 A 进行层结构改善，制作图 15 所示 6 层 Built up 被测基板 B，它是利用「Pad on Via」与「雷射 Via」加工技术，将上述被测基板 A 的外层信号线导线变成内层，

使 Return 电流可能流入接地 Plane，外层当作接地 Plane 包覆所有信号层。

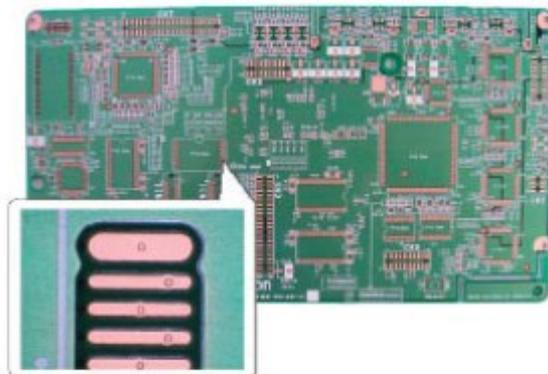


圖15 被測基板的外觀

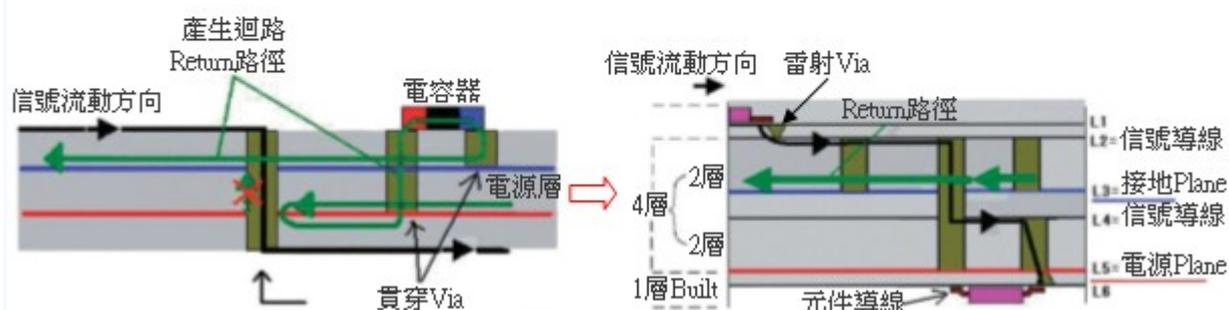


圖16 改變基板層結構的方法

改变被测基板结构主要理由是一般 4 层基板的 Return 路径，通常都设有可以通行电源 Plane 或是最短距离接地，因此在贯穿部位经常造成 Return 路径迂回问题，如果信号导线包覆接地 Plane，如此一来大部份的 Return 路径会流入接地 Plane，进而解决 Return 路径迂回的困扰，被测基板 B 就是根据上述构想制成，因此 Return 路径在 PCB 整体减少 30%，同时缩减信号图案与 Return 路径构成的电流 Loop 距离，进而达成 EMI 噪讯抑制的目的。图 16 是被测基板 B 的各层结构图。

图 17 是被测基板 B 的 EMI 噪讯测试结果，根据测试结果显示包含利用外层接地 Plane 的遮蔽(Field)结构，与回避 Return 路径迂回的设计确实具有抑制 EMI 噪讯的效果，不过实际上各式各样的电路板要作如此的层结构变更，势必面临制作成本暴增的困扰，尤其是所有信号导线都将 Return 路径列入设计考虑的话，几乎无法作业，因此 Layout 阶段尽量避免高频信号导线透过 Via 作布线，同时必需在该信号导线邻近的层设置接地 Plane，藉此防止 Return 路径迂回或是分断，接地 Plane 之间以复数 Via 连接，Return 路径利用复数 Via 作理

想性的归返。

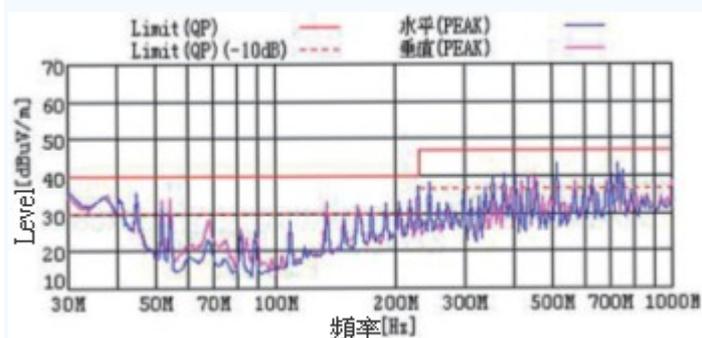


圖17 測基板時的EMI測試結果

c. 设置多点 Grand 接地

Return 电流流动时 PCB 内的接地 Plane 会产生电位差, 该电位差往往是 EMI 噪讯的发生原因之一, 而且可能会通过 PCB 形成所谓的二次噪讯, 因此将接地 Plane 与金属板作多点连接(图 18、图 19), 使 PCB 的侧面与中心位置得电位差均匀化, 同时降低接地 Plane 本身的阻抗(Impedance)并抑制电压下降。

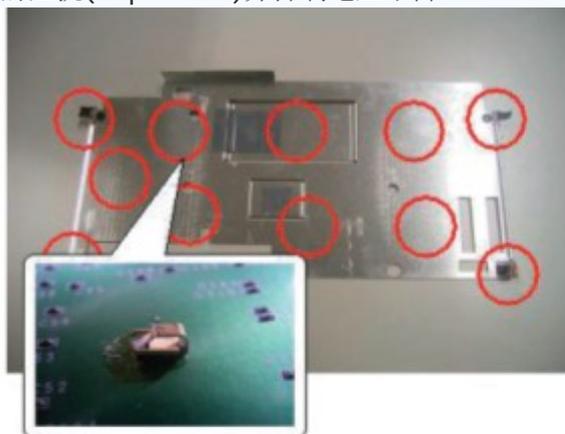


圖18 多點接地的部位與元件

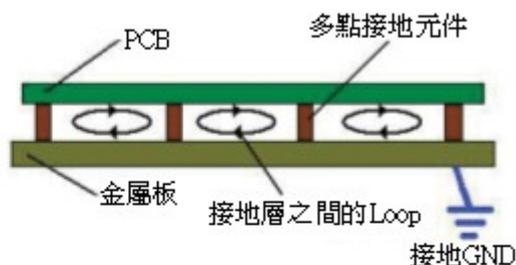


圖19 多點接地的斷面結構

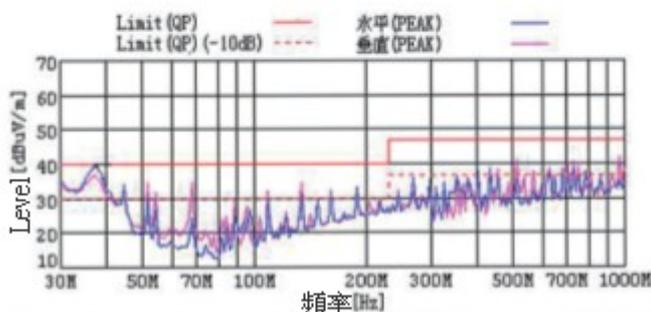


圖20 多點接地後的EMI測試結果

图 20 是多点接地后的 EMI 测试结果, 由图可知低频领域 EMI 噪讯强度略为上升, 不过 200MHz 以上时 EMI 噪讯受到抑制, 这意味着多点接地的有效性获得证实。

d. 铺设 Shield

图 21 是在基板侧面铺设 Shield 的实际外观，具体方法是在基板侧面粘贴导电胶带，试图藉此抑制基板内层信号线、Via 与电源 Plane 的噪讯，接着再与外层接地 Plane 连接，测试基板侧面的 EMI 噪讯遮蔽效果，图 22 是基板侧面铺设 Shield 的 EMI 测试结果，根据测试结果显示 200MHz 以下时 EMI 噪讯强度有下降趋势，甚至符合规范的 Level，证实基板侧面铺设 Shield 确实可以抑制 EMI 噪讯。



圖21 基板側面鋪設 Shield 的模樣

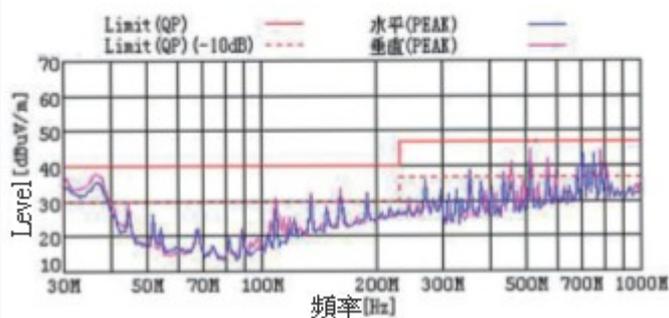


圖22 基板側面鋪設 Shield 的 EMI 測試結果

实际制作 PCB 时在基板侧面铺设 Shield，同样会面临成本上升的质疑，类似图 23 在基板侧面附近设置接地 Plane 与连续性贯穿 Via 的新结构，除了可是解决成本问题之外，还可以有效抑制基板侧面的 EMI 噪讯强度；图 24 是结合以上各种 EMI 噪讯对策的 PCB 测试结

果。

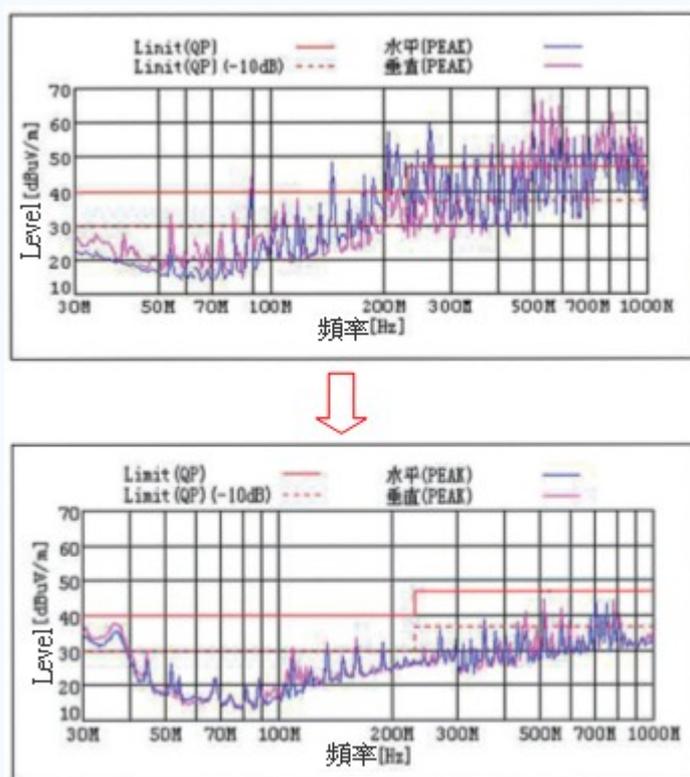


圖24 EMI噪訊強度變化

结语

综合以上介绍的 EMI 噪讯对策，分别如下所示：

- 设置 EMI 噪讯对策用电容
- 回避 Return 路径迂回的基板层结构设计
- 设置多点 Grand 接地
- 基板侧面包覆 Shield

实际上 PCB 得 EMI 噪讯对策会随着组件封装、导线、基板外形、层结构，与筐体限制出现极大差异，因此本文主要是探讨如何在 PCB Layout 阶段，充分应用 EMI 噪讯对策手法，根据一连串的对策中找出最符合制作成本，同时又可以满足规范要求的方法。