

PIC12F635/PIC16F636/639

寄存器 6-1:

T1CON——**TIMER1 控制寄存器** (地址: 10h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON
bit 7							bit 0

- bit 7 **T1GINV:** Timer1 门控反转位 ⁽¹⁾
 1 = Timer1 门控反转
 0 = Timer1 门控未反转
- bit 6 **TMR1GE:** Timer1 门控使能位 ⁽²⁾
如果 TMR1ON = 0:
 该位被忽略。
如果 TMR1ON = 1:
 1 = 如果 Timer1 门控不在激活状态, 则开启 Timer1。
 0 = 开启 Timer1
- bit 5-4 **T1CKPS<1:0>:** Timer1 输入时钟预分频选择位
 11 = 1:8 预分频比
 10 = 1:4 预分频比
 01 = 1:2 预分频比
 00 = 1:1 预分频比
- bit 3 **T1OSCEN:** LP 振荡器使能控制位
如果不带 CLKOUT 振荡器的 INTOSC 处于激活状态:
 1 = LP 振荡器使能作为 Timer1 的时钟
 0 = LP 振荡器关闭
否则:
 该位被忽略。
- bit 2 **T1SYNC:** Timer1 外部时钟输入同步控制位
TMR1CS = 1:
 1 = 不同步外部时钟输入
 0 = 同步外部时钟输入
TMR1CS = 0:
 该位被忽略。 Timer1 使用内部时钟。
- bit 1 **TMR1CS:** Timer1 时钟源选择位
 1 = 使用来自 T1CKI 引脚 (在上升沿) 的外部时钟
 0 = 内部时钟 (Fosc/4)
- bit 0 **TMR1ON:** Timer1 起动的控制位
 1 = 使能 Timer1
 0 = 停止 Timer1

- 注** **1:** T1GINV 位反转 Timer1 门控逻辑, 无论其来源如何。
2: 要将 T1G 引脚或 C2OUT 用作 Timer1 门控源, 必须将 TMR1GE 位置 1。选择 T1G 引脚或 C2OUT 由 T1GSS 位 (CMCON1<1>) 控制。

图注:

R = 可读位	W = 可写位	U = 未用位, 读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

PIC12F635/PIC16F636/639

6.5 Timer1 工作在异步计数器模式下

如果控制位 $T1SYNC$ ($T1CON<2>$) 置 1, 外部时钟输入将不被同步。定时器继续异步于内部相位时钟进行递增计数。在休眠模式下, 定时器将继续递增, 并在溢出时产生中断以唤醒处理器。然而, 用软件对定时器进行读/写操作时, 要特别当心 (见 6.5.1 “在异步计数器模式下读写 Timer1”)。

注: 必须对 $CMCON0$ ($19h$) 寄存器进行初始化, 以将一个模拟通道配置为数字输入。配置为模拟输入的引脚读为 0。

6.5.1 在异步计数器模式下读写 TIMER1

当定时器采用外部异步时钟工作时, 对 $TMR1H$ 或 $TMR1L$ 的读操作将确保有效 (由硬件实现)。然而, 应该注意的是, 用两个 8 位值来读取 16 位定时器本身就会产生某些问题, 这是因为定时器可能在两次读操作之间产生溢出。

对于写操作, 建议用户直接停止计数器, 然后写入所期望的值。如果计数器正在进行递增计数, 对定时器寄存器进行写操作, 可能会导致写入竞争, 从而可在定时器寄存器中产生不可预测的值。

读 16 位值时应谨慎对待。《PICmicro® 中档单片机系列参考手册》(DS33023A_CN) 对 Timer1 在异步模式下工作时, 如何对其进行正确的读写操作进行了说明。

6.6 Timer1 振荡器

在 $OSC1$ (输入) 和 $OSC2$ (放大器输出) 引脚之间接有一个内置晶体振荡器电路。通过将控制位 $T1OSCEN$ ($T1CON<3>$) 置 1 可启用该振荡电路。该电路采用低功耗振荡器, 频率最高可达 31 kHz。在休眠模式下, 它将继续工作。该振荡电路主要用于 32 kHz 晶振。表 3-1 给出了 Timer1 振荡器的电容选择。

Timer1 的振荡器与系统 LP 振荡器共用。因此, 只有当主系统时钟来自于内部时钟振荡器时, Timer1 才能采用该模式。与系统 LP 振荡器相同, 用户必须提供软件延时以保证振荡器能够正常起振。

当 Timer1 振荡器被使能时, $TRISA5$ 和 $TRISA4$ 将被置 1。 $RA5$ 和 $RA4$ 读为 0, 而 $TRISA5$ 和 $TRISA4$ 读为 1。

注: 在使用之前, 振荡器需要一定的起振和稳定时间。因此, $T1OSCEN$ 应置 1, 且在使能 Timer1 之前确保有一定的延时。

6.7 Timer1 在休眠模式下的工作

只有设定在异步计数器模式时, Timer1 才能在休眠模式下工作。在该模式下, 可使用外部晶振或时钟源信号使计数器递增。要设置定时器以唤醒器件, 应:

- Timer1 必须开启 ($T1CON<0>$)
- 必须将 $TMR1IE$ 位 ($PIE1<0>$) 置 1
- 必须将 $PEIE$ 位 ($INTCON<6>$) 置 1

器件将在溢出时被唤醒。如果 GIE 位 ($INTCON<7>$) 置 1, 溢出时器件将被唤醒并跳转至中断服务程序 (0004h)。如果 GIE 位清零, 将继续执行下一条指令。

表 6-1: 与 TIMER1 相关的寄存器

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOD/WUR 时的值	其他复位值	
0Bh/ 8Bh	INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF	0000 0000	0000 0000	
0Ch	PIR1	EEIF	LVDIF	CRIF	C2IF	C1IF	OSFIF	—	TMR1IF	0000 00-0	0000 00-0	
0Eh	TMR1L	16 位 TMR1 寄存器低位字节的保持寄存器									xxxx xxxx	uuuu uuuu
0Fh	TMR1H	16 位 TMR1 寄存器高位字节的保持寄存器									xxxx xxxx	uuuu uuuu
10h	T1CON	T1GINV	TMR1GE	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	0000 0000	uuuu uuuu	
1Ah	CMCON1	—	—	—	—	—	—	T1GSS	C2SYNC	---- --10	---- --10	
8Ch	PIE1	EEIE	LVDIE	CRIE	C2IE	C1IE	OSFIE	—	TMR1IE	0000 00-0	0000 00-0	

图注: x = 未知, u = 不变, — = 未用, 读为 0。Timer0 模块不使用表中阴影部分的寄存器位。

PIC12F635/PIC16F636/639

7.0 比较器模块

比较器模块有两个模拟比较器。比较器的输入端与 I/O 端口引脚 RA0、RA1、RC0 和 RC1 复用，而输出与引脚 RA2 和 RC4 复用。器件内部的比较器参考电压 (CVREF) 也可加在比较器输入端。

CMCON0 寄存器 (寄存器 7-1) 控制比较器输入和输出复用器。各种比较器配置的框图如图 7-4 所示。

注： PIC12F635 只有 1 个比较器。PIC12F635 上的比较器类似于 PIC16F636/639 的比较器 2。

寄存器 7-1: CMCON0——比较器控制 0 寄存器 (地址: 19h)

	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
	C2OUT ⁽¹⁾	C1OUT ⁽²⁾	C2INV ⁽¹⁾	C1INV ⁽²⁾	CIS	CM2	CM1	CM0
								bit 0
	bit 7							

- bit 7 **C2OUT:** 比较器 2 输出位 ⁽¹⁾
当 C2INV = 0 时:
 1 = C2 VIN+ > C2 VIN-
 0 = C2 VIN+ < C2 VIN-
当 C2INV = 1 时:
 1 = C2 VIN+ < C2 VIN-
 0 = C2 VIN+ > C2 VIN-
- bit 6 **C1OUT:** 比较器 1 输出位 ⁽²⁾
当 C1INV = 0 时:
 1 = C1 VIN+ > C1 VIN-
 0 = C1 VIN+ < C1 VIN-
当 C1INV = 1 时:
 1 = C1 VIN+ < C1 VIN-
 0 = C1 VIN+ > C1 VIN-
- bit 5 **C2INV:** 比较器 2 输出反相控制位 ⁽¹⁾
 1 = C2 输出反相
 0 = C2 输出不反相
- bit 4 **C1INV:** 比较器 1 输出反相控制位 ⁽²⁾
 1 = C1 输出反相
 0 = C1 输出不反相
- bit 3 **CIS:** 输入开关控制位
当 CM<2:0> = 010 时:
 1 = C1 VIN- 连接至 RA0
 C2 VIN- 连接至 RC0
 0 = C1 VIN- 连接至 RA1
 C2 VIN- 连接至 RC1
当 CM<2:0> = 001 时:
 1 = C1 VIN- 连接至 RA0
 0 = C1 VIN- 连接至 RA1
- bit 2-0 **CM<2:0>:** 比较器模式位

图 7-4 所示为比较器模式和 CM<2:0> 位的设定。

- 注 1:** 仅限 PIC16F636/639。对于 PIC12F635，读为 0。
注 2: PIC12F635 的位名称是 COUT 和 CINV。

图注:

R = 可读位	W = 可写位	U = 未用位, 读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

PIC12F635/PIC16F636/639

7.1 比较器操作

图 7-1 所示为单比较器以及模拟输入电压与数字输出之间的关系。当 V_{IN+} 的模拟输入电压小于模拟输入 V_{IN-} 时，比较器输出为数字低电平。当 V_{IN+} 模拟输入电压高于模拟输入 V_{IN-} 时，比较器输出为数字高电平。图 7-1 中比较器输出波形的阴影区域，表示因输入偏移和响应时间所导致的不确定状态。

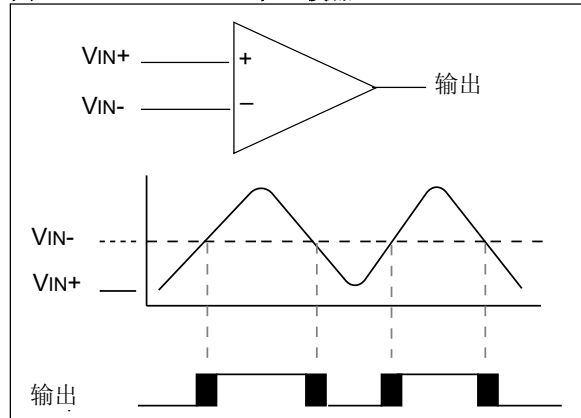
注： 要将 C_{IN+} 和 C_{IN-} 引脚用作模拟输入，必须正确设定 $CMCON0$ (19h) 寄存器中相应的控制位。

通过将 C_{xINV} 位 ($CMCON0<5:4>$) 置 1 可使比较器的输出极性反相。清零 C_{xINV} 则输出不反相。表 7-1 完整地给出了输出状态与输入条件和极性位的关系。

表 7-1: 输出状态与输入条件

输入条件	C_{INV}	C_{xOUT}
$V_{IN-} > V_{IN+}$	0	0
$V_{IN-} < V_{IN+}$	0	1
$V_{IN-} > V_{IN+}$	1	1
$V_{IN-} < V_{IN+}$	1	0

图 7-1: 单比较器

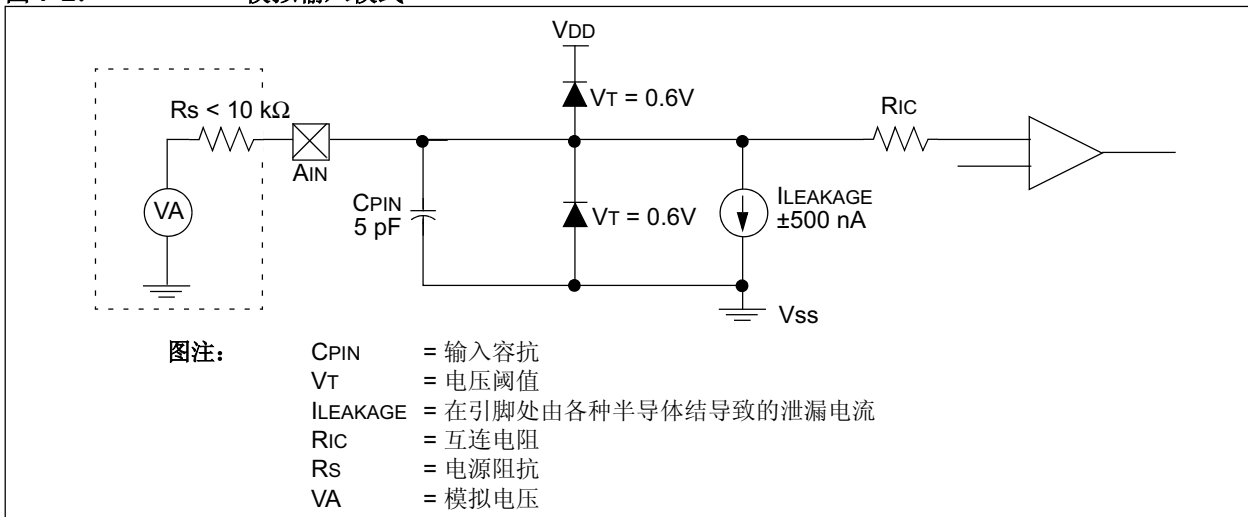


7.2 模拟输入连接注意事项

图 7-2 所示为模拟输入的简化电路。由于模拟引脚连接到数字输出，模拟引脚有连接到 V_{DD} 和 V_{SS} 的反相偏置二极管。因此，模拟输入必须在 V_{SS} 和 V_{DD} 之间。如果输入电源偏移了此范围，并在任一方向偏移超过 $0.6V$ ，二极管之一将正向导通从而可能导致闭锁发生。对于模拟电源，推荐的最大信号源阻抗为 $10\text{ k}\Omega$ 。任何连接到模拟输入引脚的外部元件，如电容器或齐纳二极管，其泄漏电流应极小。

- 注 1:** 在读取端口寄存器时，所有配置为模拟输入的引脚均读为 0。配置为数字输入的引脚将根据输入规范转换为模拟输入。
- 注 2:** 任何定义为数字输入的引脚上的模拟电平均可能导致输入缓冲器消耗大于规定值的电流。

图 7-2: 模拟输入模式

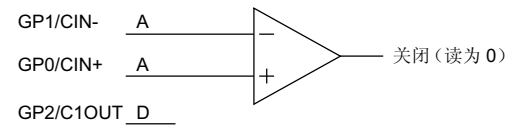
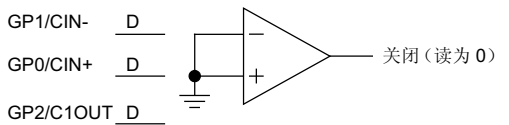
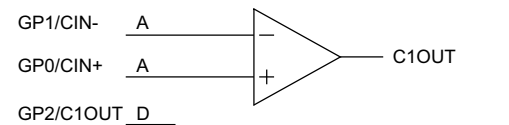
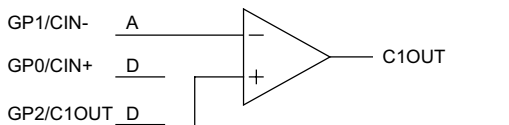
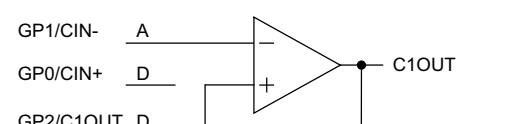
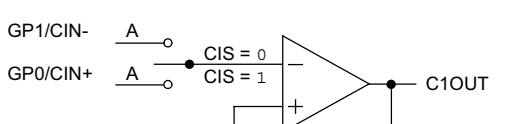
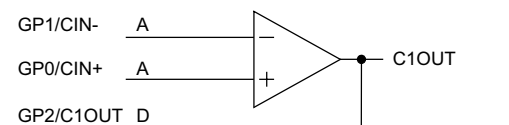
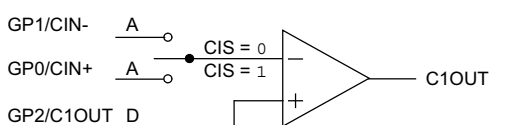


7.3 比较器配置

比较器有八种工作模式。CMCON0 寄存器用来选择这些工作模式。图 7-3 和图 7-4 给出了这八种可能的工作模式。TRISA 和 TRISC 寄存器控制每种模式下比较器输出引脚的数据方向。如果比较器模式改变，对于特定的模式改变延时（见 15.0 “电气特性”）而言，比较器输出电平可能无效。

注： 在比较器模式改变期间，应禁止比较器中断。否则可能产生误中断。

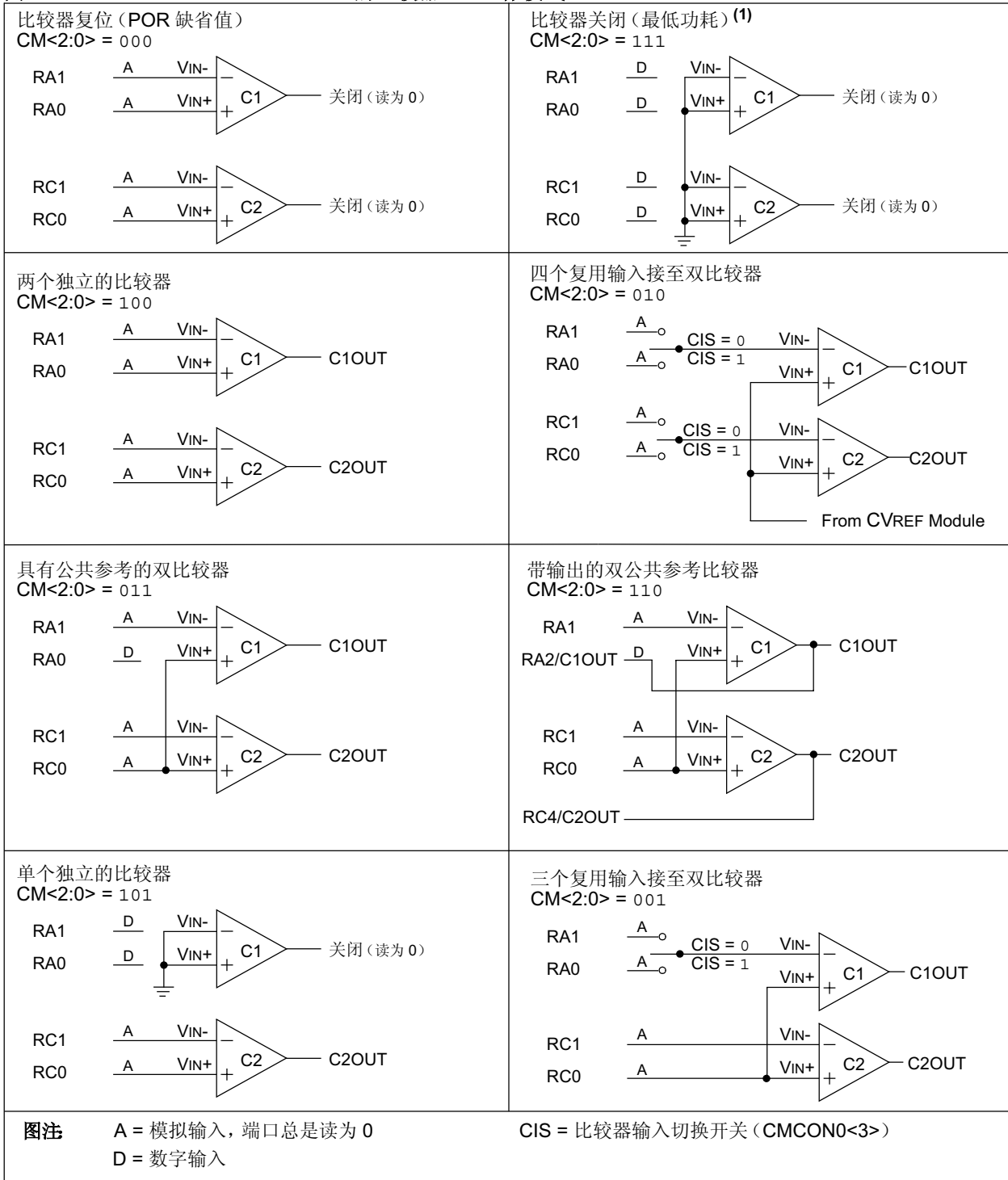
图 7-3: PIC12F635 的比较器 I/O 工作模式

<p>比较器复位（POR 缺省值——低功耗） CM<2:0> = 000</p>  <p>GP1/CIN- A GP0/CIN+ A GP2/C1OUT D</p>	<p>比较器关闭（最低功耗）⁽¹⁾ CM<2:0> = 111</p>  <p>GP1/CIN- D GP0/CIN+ D GP2/C1OUT D</p>
<p>无输出的比较器 CM<2:0> = 010</p>  <p>GP1/CIN- A GP0/CIN+ A GP2/C1OUT D</p>	<p>无输出、有内部参考的比较器 CM<2:0> = 100</p>  <p>GP1/CIN- A GP0/CIN+ D GP2/C1OUT D 来自 CVREF 模块</p>
<p>有输出和内部参考的比较器 CM<2:0> = 011</p>  <p>GP1/CIN- A GP0/CIN+ D GP2/C1OUT D 来自 CVREF 模块</p>	<p>带内部参考的复用输入和输出复用 CM<2:0> = 101</p>  <p>GP1/CIN- A GP0/CIN+ A GP2/C1OUT D 来自 CVREF 模块</p>
<p>有输出的比较器 CM<2:0> = 001</p>  <p>GP1/CIN- A GP0/CIN+ A GP2/C1OUT D</p>	<p>带内部参考的复用输入 CM<2:0> = 110</p>  <p>GP1/CIN- A GP0/CIN+ A GP2/C1OUT D 来自 CVREF 模块</p>
<p>图注： A = 模拟输入，端口总是读为 0 D = 数字输入</p>	

注 1： 最低功耗确保了 GPO、GP1 和 GP2 上的数字状态有效。

PIC12F635/PIC16F636/639

图 7-4: PIC16F636/639 的比较器 I/O 工作模式



PIC12F635/PIC16F636/639

图 7-5: PIC12F635 比较器 C1 输出框图

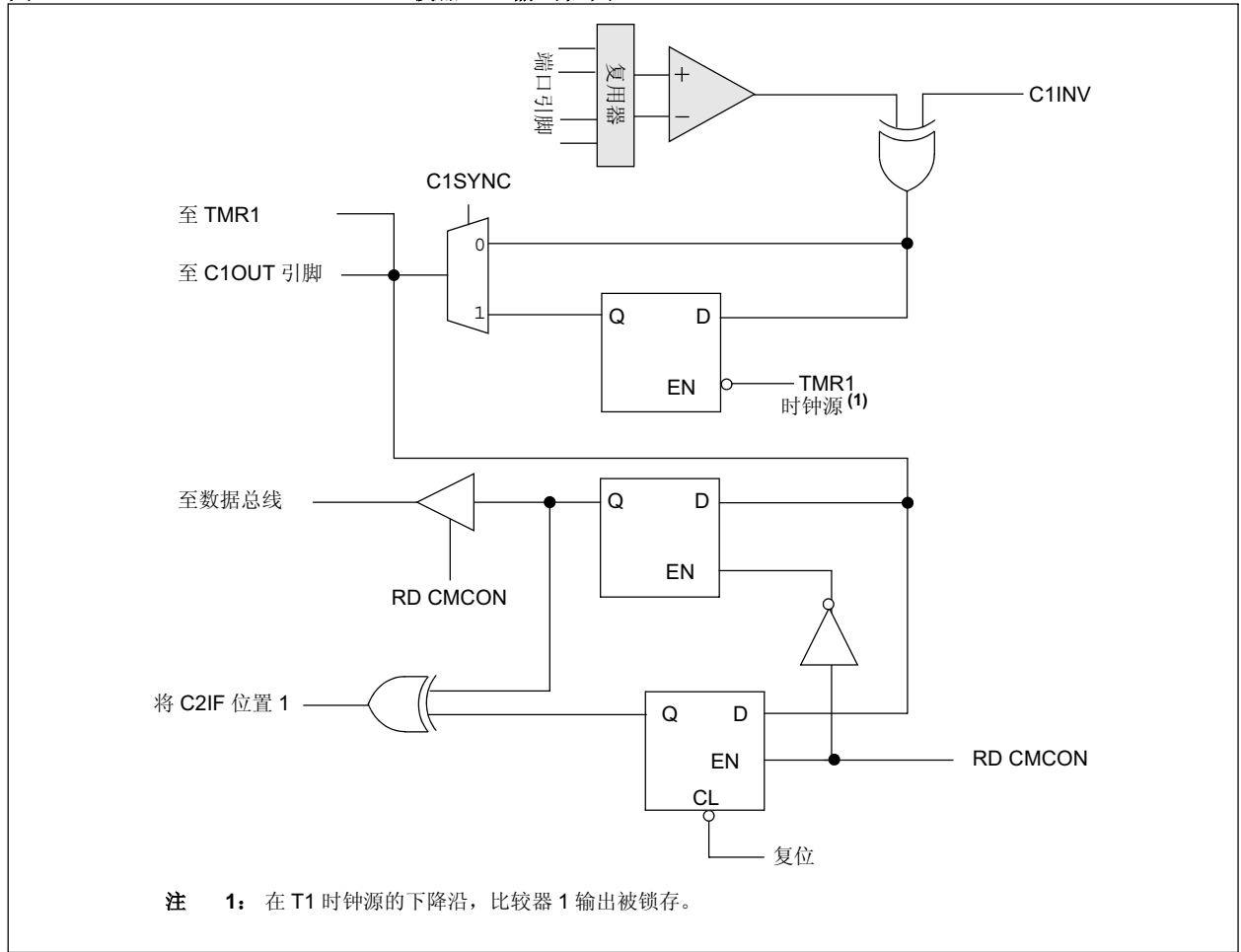
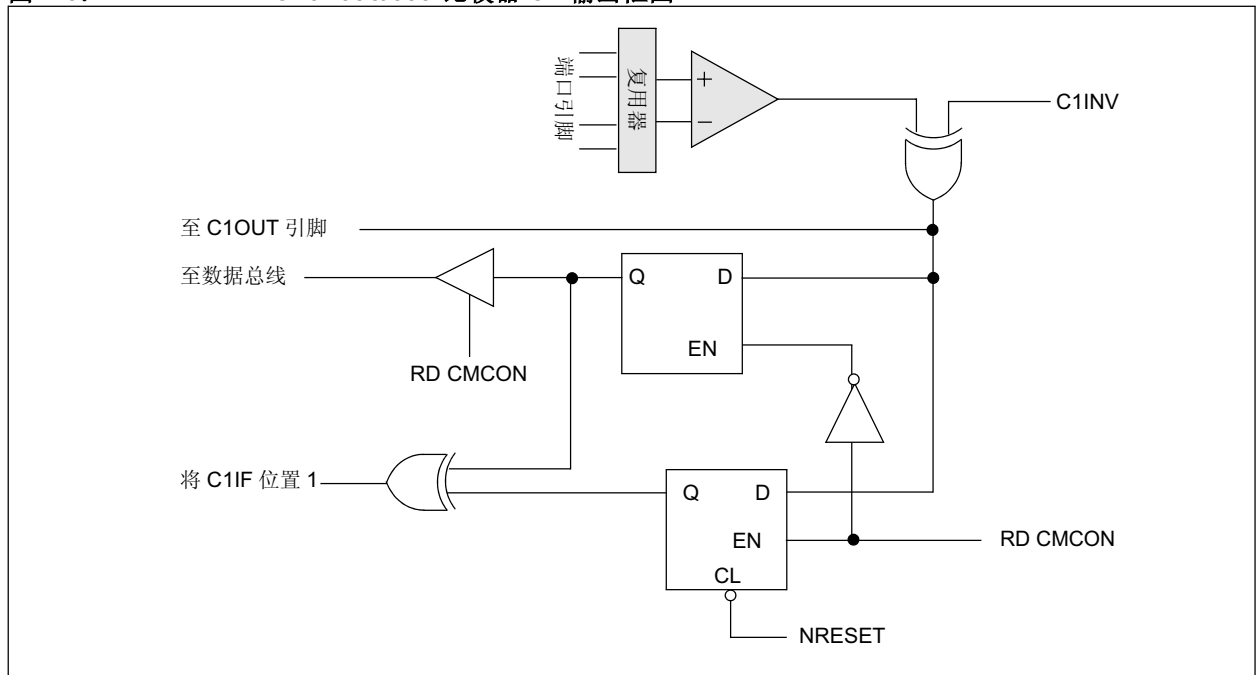
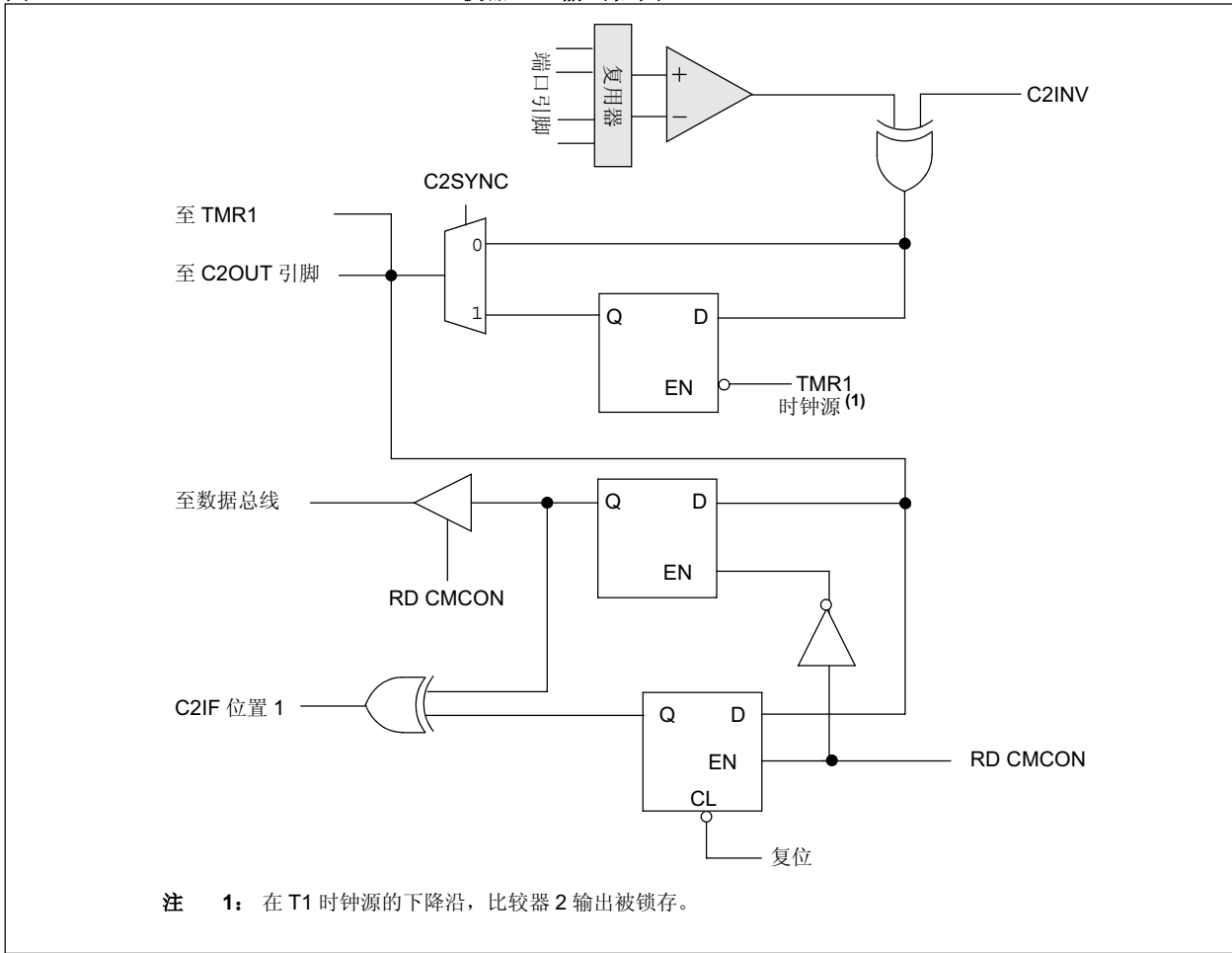


图 7-6: PIC16F636/639 比较器 C1 输出框图



PIC12F635/PIC16F636/639

图 7-7: PIC16F636/639 比较器 C2 输出框图



寄存器 7-2:

CMCON1——比较器控制 1 寄存器 (地址: 1Ah)

U-0	U-0	U-0	U-0	U-0	U-0	R/W-1	R/W-0
—	—	—	—	—	—	T1GSS	C2SYNC ⁽¹⁾
bit 7						bit 0	

bit 7-2: 未用: 读为 0

bit 1 **T1GSS:** Timer1 门控源选择位
 1 = Timer1 门控源为 $\overline{T1G}$ 引脚 (必须将 RA4 配置为数字输入)
 0 = Timer1 门控源为比较器 2 的输出

bit 0 **C2SYNC:** 比较器 2 同步位 ⁽¹⁾
 1 = C2 输出与 Timer1 时钟下降沿同步
 0 = C2 输出不与 Timer1 时钟同步

注 1: 在 PIC12F635 中, C2SYNC 为 C1SYNC。

图注:

R = 可读位 W = 可写位 U = 未用位, 读为 0
 -n = POR 值 1 = 置 1 0 = 清零 x = 未知

7.4 比较器输出

通过 CMCON0 寄存器读取比较器输出。这些位是只读的。比较器输出也可以直接输出到 RA2 和 RC4 I/O 引脚。当被使能时，位于 RA2 和 RC4 引脚输出路径中的多路复用器将交换，每个引脚的输出为比较器的未同步输出。每个比较器的不确定性与规格说明中给出的输入偏移电压和响应时间有关。图 7-5 和图 7-6 给出了比较器 1 和 2 的输出框图。

当比较器工作在输出模式时，TRIS 位仍将用作 RA2 和 RC4 引脚输出的使能 / 禁止控制位。

使用 C1INV 和 C2INV 位 (CMCON0<5:4>)，可改变比较器输出的极性。

Timer1 门控源可配置为使用 $\overline{T1G}$ 引脚或比较器 2 输出，具体由 T1GSS 位 (CMCON1<1>) 进行选择。这个特性可以用来对模拟事件的持续时间或时间间隔计时。通过将 C2SYNC 位 (CMCON1<0>) 置 1，比较器 2 的输出还可以与 Timer1 同步。当被使能时，比较器 2 输出在 Timer1 时钟源下降沿被锁存。如果 Timer1 使用了预分频器，比较器 2 在经过预分频器后被锁存。为了防止竞争条件，比较器 2 输出在 Timer1 时钟源的下降沿被锁存，而 Timer1 在其时钟源的上升沿递增。更多信息请参见图 7-6 (比较器 C2 输出框图) 和图 5-1 (PIC12F635/PIC16F636/639 上 Timer1 框图)。

当比较器 2 用作 Timer1 门控源时，建议通过将 C2SYNC 位置 1 将比较器 2 与 Timer1 同步。如果在 Timer1 递增期间比较器 2 变化的话，这样做将确保 Timer1 不会错过递增。

7.5 比较器中断

只要比较器输出值发生任何变化，相应的比较器中断标志位就将置 1。需要用软件保存这些输出位的状态 (从 CMCON0<7:6> 中读取)，以确定实际发生的变化。CxIF 位 (PIR1<4:3>) 是比较器中断标志。必须在软件中将这些位清零以进行复位。由于可以对该寄存器写入 1，因此可以产生仿真中断。

必须将 CxIE 位 (PIE1<4:3>) 和 PEIE 位 (INTCON<6>) 置 1，以允许中断。此外，还必须将 GIE 位置 1。如果上述使能控制位中有任何一位被清零，则将无法使能中断，尽管中断仍会将 CMIF 位置 1。

在中断服务程序中，用户可通过以下方法清除中断：

- 对 CMCON 进行任何读或写操作。这将终止不匹配条件。
- 清除标志位 CxIF。

不匹配条件将继续使中断标志位 CxIF 置 1。读取 CMCON0 将终止不匹配条件，并使标志位 CxIF 被清零。

注：	在读操作执行过程中 (Q2 周期起始)，如果 CMCON0 寄存器 (CxOUT) 发生变化，CxIF (PIR1<4:3>) 中断标志位可能将不会被置 1。
-----------	---

PIC12F635/PIC16F636/639

7.6 比较器参考电压

比较器模块还允许为某一路比较器输入选择内部产生的参考电压。VRCON 寄存器（寄存器 7-3）控制参考电压模块，如图 7-8 所示。

7.6.1 配置参考电压

参考电压模块可以输出 32 个互不相同的电平，其中 16 个处于高量程范围，而其余 16 个处于低量程范围。

下面的公式可用来确定输出电压：

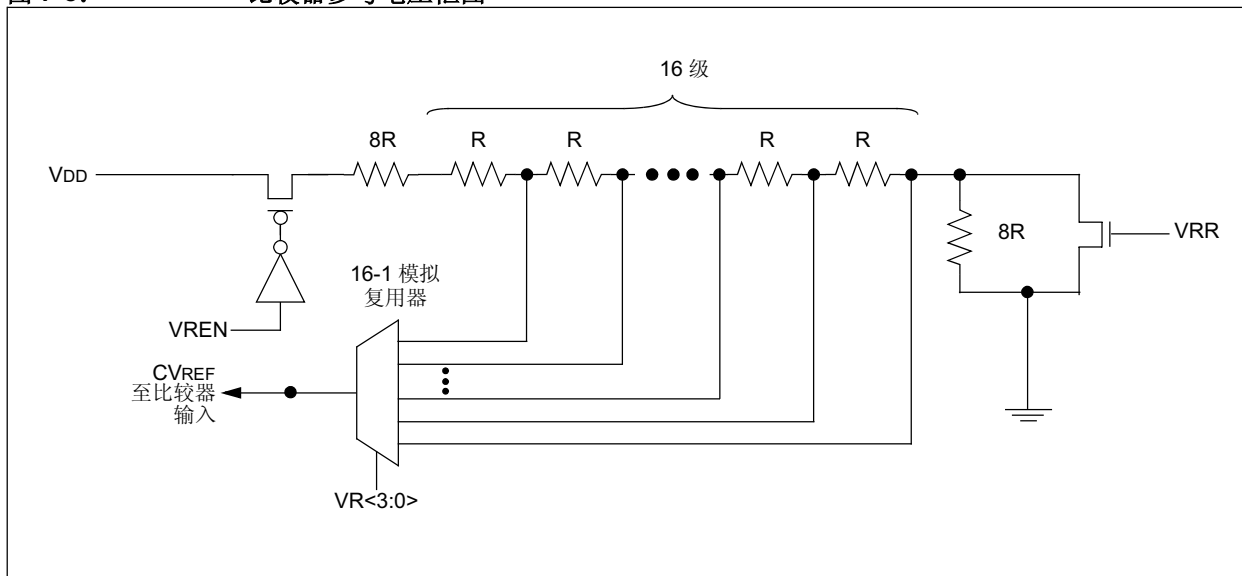
公式 7-1:

$$\begin{aligned} VRR = 1 \text{ (低量程): } CVREF &= (VR<3:0>/24) \times VDD \\ VRR = 0 \text{ (高量程): } \\ CVREF &= (VDD/4) + (VR<3:0> \times VDD/32) \end{aligned}$$

7.6.2 参考电压精度 / 误差

参考电压源自 VDD，因此 CVREF 输出随 VDD 的波动而变化。比较器参考电压的绝对精度可参见 15.0 “电气特性”，该参数已经过测试。

图 7-8: 比较器参考电压框图



PIC12F635/PIC16F636/639

7.7 比较器响应时间

响应时间是指，从选择新的参考电压或输入电源到比较器确定产生有效输出电平的最小时间。如果内部参考电压发生变化，在使用比较器输出时，应考虑内部参考电压的最大延时。否则，应使用比较器的最大延时（表 15-7）。

7.8 休眠模式下的工作

如果在进入休眠模式之前就将比较器和参考电压模块使能，则它们在休眠模式下仍将处于运行状态。这使休眠电流高于掉电规范中给出的值。规范中另行给出了比较器和参考电压模块消耗的额外电流。要使休眠模式下的功耗最小，关闭比较器（CM<2:0> = 111）并关闭参考电压（VRCON<7> = 0）。

如果比较器在休眠期间被使能，中断将唤醒器件。如果 GIE 位（INTCON<7>）置 1，器件将跳转至中断矢量（0004h），如果 GIE 位清零，器件继续执行下一条指令。如果器件从休眠中唤醒，CMCON0、CMCON1 和 VRCON 寄存器的内容不受影响。

7.9 复位的影响

器件复位强制 CMCON0、CMCON1 和 VRCON 寄存器进入复位状态。这使比较器模块被强制进入比较器复位模式（CM<2:0> = 000），且参考电压模块将被关闭。这样，所有可能的输入都是模拟输入，比较器和参考电压模块被禁止，电流消耗最小。

寄存器 7-3: VRCON——参考电压控制寄存器（地址：99h）

R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
VREN	—	VRR	—	VR3	VR2	VR1	VR0
bit 7							bit 0

- bit 7 **VREN**: CVREF 使能位
1 = CVREF 电路上电
0 = CVREF 电路断电，无 IDD 漏电流，且 CVREF = VSS
- bit 6 未用: 读为 0
- bit 5 **VRR**: CVREF 量程选择位
1 = 低量程
0 = 高量程
- bit 4 未用: 读为 0
- bit 3-0 **VR<3:0>**: CVREF 幅值选择位 $0 \leq VR<3:0> \leq 15$
当 VRR = 1 时:
 $CVREF = (VR<3:0>/24) * VDD$
当 VRR = 0 时:
 $CVREF = VDD/4 + (VR<3:0>/32) * VDD$

图注:

R = 可读位	W = 可写位	U = 未用位，读为 0
-n = POR 值	1 = 置 1	0 = 清零 x = 未知

PIC12F635/PIC16F636/639

注:

PIC12F635/PIC16F636/639

8.0 可编程低压检测 (PLVD) 模块

可编程低压检测模块是中断驱动的电平检测功能模块。电压检测监控内部电源。

8.1 电压跳变点

PIC12F635/PIC16F636/639 器件支持八个内部 PLVD 跳变点。可用的 PLVD 跳变点电压请参见寄存器 8-1。

寄存器 8-1: LVDCON——低压检测控制寄存器 (地址: 94h)

U-0	U-0	R-0	R/W-0	U-0	R/W-1	R/W-0	R/W-0
—	—	IRVST	LVDEN	—	LVDL2	LVDL1	LVDL0
bit 7				bit 0			

bit 7-6 未用: 读为 0

bit 5 **IRVST**: 内部参考电压稳定状态标志位
1 = 表明 PLVD 稳定且 PLVD 中断可靠
0 = 表明 PLVD 不稳定且不应允许 PLVD 中断

bit 4 **LVDEN**: 低压检测电源使能位
1 = 使能 PLVD, 为 PLVD 电路和附属参考电路上电
0 = 禁止 PLVD, 将 PLVD 和支持电路断电

bit 3 未用: 读为 0

bit 2-0 **LVDL<2:0>**: 低压检测极限位 (标称值)
111 = 4.5V
110 = 4.2V
101 = 4.0V
100 = 2.3V (缺省)
011 = 2.2V
010 = 2.1V
001 = 2.0V
000 = 1.9V⁽¹⁾

注 1: 未经测试并低于最小 VDD。

图注:

R = 可读位 W = 可写位 U = 未用位, 读为 0
-n = POR 值 1 = 置 1 0 = 清零 x = 未知

表 8-1: 与可编程低压检测相关的寄存器

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOD/WUR 时的值	其他复位值
94h	LVDCON	—	—	IRVST	LVDEN	—	LVDL2	LVDL1	LVDL0	--00 -000	--00 -000
0Bh/8Bh	INTCON	GIE	PEIE	TOIE	INTE	RAIE	TOIF	INTF	RAIF	0000 0000	0000 0000
0Ch	PIR1	EEIF	LVDIF	CRIF	C2IF	C1IF	OSFIF	—	TMR1IF	0000 00-0	0000 00-0
8Ch	PIE1	EEIE	LVDIE	CRIE	C2IE ⁽¹⁾	C1IE	OSFIE	—	TMR1IE	0000 00-0	0000 00-0

图注: x = 未知, u = 不变, — = 未用, 读为 0。比较器或比较器参考电压模块不使用阴影单元。

注 1: 仅限 PIC16F636/639。

PIC12F635/PIC16F636/639

注:

PIC12F635/PIC16F636/639

9.0 数据 EEPROM 存储器

数据 EEPROM 存储器在整个 V_{DD} 范围内正常运行时是可读写的。EEPROM 存储器并不直接映射到文件寄存器空间，而是通过特殊功能寄存器来间接寻址。使用下面的四个 SFR 寄存器来读写 EEPROM 存储器：

- EECON1
- EECON2 (不是实际存在的寄存器)
- EEDAT
- EEADR

EEDAT 内存放 8 位读写数据，而 EEADR 寄存器存放要访问的 EEPROM 地址。PIC16F636/639 有 256 字节的数据 EEPROM，PIC12F635 有 64 字节。

EEPROM 数据存储器允许字节读写。字节写操作将自动擦除该地址单元并写入新的值（即先擦后写）。EEPROM 是一种具有高擦 / 写周期的数据存储器。写入时间由片上定时器控制，并将随电压、温度以及芯片的不同而有所差异。具体限制请参见 15.0 “电气特性”中的 AC 规范。

当数据存储器处于代码保护下时，CPU 可继续读写数据 EEPROM。但器件编程器不再能访问数据 EEPROM 的数据，且读为 0。

数据 EEPROM 的更多信息可以参考《PICmicro® 中档单片机系列参考手册》(DS33023A_CN)

寄存器 9-1: EEDAT——EEPROM 数据寄存器 (地址: 9Ah)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0
bit 7							bit 0

bit 7-0 **EEDAT_n**: 要写入数据 EEPROM 或从数据 EEPROM 读出的字节值

图注:

R = 可读位 W = 可写位 U = 未用位, 读为 0
 -n = POR 值 1 = 置 1 0 = 清零 x = 未知

寄存器 9-2: EEADR——EEPROM 地址寄存器 (地址: 9Bh)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
EEADR7 ⁽¹⁾	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0
bit 7							bit 0

bit 7-0 **EEADR**: 指定 256 个地址单元之一，用于 EEPROM 读 / 写操作

注 1: 仅限 PIC16F636/639。在 PIC12F635 上读为 0。

图注:

R = 可读位 W = 可写位 U = 未用位, 读为 0
 -n = POR 值 1 = 置 1 0 = 清零 x = 未知

PIC12F635/PIC16F636/639

9.1 EECON1 和 EECON2 寄存器

EECON1 是控制寄存器，实际只使用了它的低四位。高四位未被使用，读为 0。

控制位 RD 和 WR 分别用于启动读操作和写操作。在软件中不能将这些位清零，只能置 1。在读或写操作完成后，它们被硬件清零。由于在软件中不能对 WR 位清零，从而避免了意外或过早终止写操作。

当 WREN 位置 1 时，将允许写操作。上电时，WREN 位清零。器件正常运行时，当写操作被 MCLR 复位或 WDT 超时复位所中断时，WRERR 将置 1。在这些情形下，复位之后，用户可以检查 WRERR 位，将它清零，然后重写存储单元。由于数据和地址都将清零，所以需要重新装入 EEDAT 和 EEADR 寄存器。

写操作完成时，中断标志 EEIF 位 (PIR1<7>) 置 1。必须在程序中将该位清零。

EECON2 不是实际存在的寄存器。读取 EECON2 将返回全 0。EECON2 寄存器仅用在数据 EEPROM 写操作序列中。

注： 在数据 EEPROM 写操作 (WR 位 = 1) 期间，不应修改 EECON1、EEDAT 和 EEADR 寄存器。

寄存器 9-3:

EECON1——EEPROM CONTROL 1 寄存器 (地址: 9Ch)

U-0	U-0	U-0	U-0	R/W-x	R/W-0	R/S-0	R/S-0
—	—	—	—	WRERR	WREN	WR	RD
bit 7				bit 0			

- bit 7-4 **未用：** 读为 0
- bit 3 **WRERR:** EEPROM 错误标志位
1 = 写操作提前终止 (正常运行时任何 MCLR 复位、任何 WDT 复位，或检测到 BOD)
0 = 写操作完成
- bit 2 **WREN:** EEPROM 写使能位
1 = 允许写周期
0 = 禁止向数据 EEPROM 写入
- bit 1 **WR:** 写控制位
1 = 开始写周期 (一旦写操作完成，该位由硬件清零。在软件中，WR 位只能置 1，不能被清零)
0 = 数据 EEPROM 的写周期完成
- bit 0 **RD:** 读控制位
1 = 开始 EEPROM 读操作 (读操作需要一个指令周期。RD 由硬件清零。在软件中，RD 位只能置 1，不能被清零)
0 = 不开始 EEPROM 读操作

图注：
 S = 只能置 1
 R = 可读位 W = 可写位 U = 未用，读为 0
 -n = POR 值 1 = 置 1 0 = 清零 x = 未知

9.2 读取 EEPROM 数据存储单元

要读取数据存储单元，用户必须先将要读取的地址写入 `EEADR` 寄存器，然后将控制位 `RD` (`EECON1<0>`) 置 1，如例 9-1 所示。在接下来的指令周期中，`EEDAT` 寄存器中即存放有数据，供下一条指令读取。`EEDAT` 中保持该数值，直到另一次读操作开始，或者用户（在写操作中）对 `EEDAT` 写入数据。

例 9-1: 数据 EEPROM 读取

```
BSF    STATUS,RP0    ;Bank 1
BCF    STATUS,RP1    ;
MOVLW  CONFIG_ADDR  ;
MOVWF  EEADR         ;Address to read
BSF    EECON1,RD     ;EE Read
MOVF   EEDAT,W       ;Move data to W
```

9.3 写 EEPROM 数据存储单元

要写 EEPROM 数据存储单元，首先必须把地址写入 `EEADR` 寄存器，并把数据写入 `EEDAT` 寄存器。然后必须按照特定的序列，开始每个字节的写入，如例 9-2 所示。

例 9-2: 数据 EEPROM 写入

```
BSF    STATUS,RP0    ;Bank 1
BCF    STATUS,RP1    ;
BSF    EECON1,WREN   ;Enable write
BCF    INTCON,GIE    ;Disable INTs
MOVLW  55h           ;Unlock write
MOVWF  EECON2        ;
MOVLW  AAh           ;
MOVWF  EECON2        ;
BSF    EECON1,WR     ;Start the write
BSF    INTCON,GIE    ;Enable INTs
```

如果没有严格按照上述指令序列执行每个字节的写操作（即，将 `55h` 写入 `EECON2`，将 `AAh` 写入 `EECON2`，随后将 `WR` 置 1），写操作将不会开始。我们强烈建议在上述代码段的执行期间禁止中断。在执行必需的指令序列期间，将对周期进行计数。如果周期计数值与指令序列执行所需周期数不符，将禁止数据写入 EEPROM。

此外，寄存器 `EECON1` 中的 `WREN` 位应被置 1 以使得能写操作。该机制可防止因执了行错误（非预期的）程序代码（即，跑飞的程序），而意外写入数据 EEPROM。除了对 EEPROM 进行更新之外，用户应始终保持 `WREN` 位为清零状态。`WREN` 位将不会被硬件清零。

在写操作序列开始后，将 `WREN` 位清零将不会影响写周期。除非 `WREN` 置 1，否则 `WR` 位将禁止置 1。

在写周期完成时，`WR` 位将被硬件清零，而 `EE` 写操作完成中断标志位 (`EEIF`) 置 1。用户可以允许该中断，或轮询该标志位。`EEIF` 位 (`PIR<7>`) 寄存器必须在软件中清零。

9.4 写校验

根据应用需要，验证要写入数据 EEPROM 的值是否是期望的写入值，这是良好的编程习惯所要求的（见例 9-3）。

例 9-3: 写校验

```
BSF    STATUS,RP0    ;Bank 1
BCF    STATUS,RP1    ;
MOVF   EEDAT,W       ;EEDAT not changed
                        ;from previous write
BSF    EECON1,RD     ;YES, Read the
                        ;value written
XORWF  EEDAT,W       ;
BTFS   STATUS,Z       ;Is data the same
GOTO   WRITE_ERR     ;No, handle error
:      ;Yes, continue
```

9.4.1 使用数据 EEPROM

数据 EEPROM 是高耐久性的字节寻址存储器阵列，针对频繁变动信息（例如，程序变量或其他经常更新的数据）的存储而进行了优化。参数 `D120` 规定了 EEPROM 的最大耐久性。`D124` 规定了在非频繁变化存储单元需要刷新之前，对任何 EEPROM 单元进行的最大写入次数。

9.4.2 EEPROM 耐久性

例如，假设数据 EEPROM 为 64 字节长，耐久性为 1M 次写入，刷新参数为 10M 次写入。如果对 EEPROM 中每个存储单元进行最大次数的写入，数据 EEPROM 将在 64M 写周期后再也无法写入。如果扣除一个单元，对所有其他存储单元进行最大次数的写入，数据 EEPROM 将在 63M 写周期后再也无法写入，但那个未写的存储单元将在 10M 写周期后可能再也无法写入。如果刷新得当的话，要数据保持正确，单独的那个存储单元将需要刷新 6 次。

PIC12F635/PIC16F636/639

9.5 防止误写的保护措施

在有些情况下，用户并不希望写数据EEPROM存储器。为防止EEPROM误写操作，芯片内嵌了各种保护机制。上电时，WREN位被清零。同时，上电复位定时器（标称持续时间64ms）可防止对EEPROM的误写操作。

写入开始序列以及WREN位可联合用来防止在以下情况下的意外误写操作：

- 欠压
- 毛刺
- 程序故障

9.6 代码保护期间数据EEPROM的操作

在配置字（寄存器12-1）寄存器中将CPD位置为0，可对数据存储器进行代码保护。

当数据存储器处于代码保护状态时，CPU仍可EEPROM进行读写操作。对数据存储器进行代码保护的同时，建议用户也对程序存储器采取代码保护。这将防止他人通过在已有代码上写入零（这将作为NOP执行），在未使用的程序存储器中增加程序代码段，从而达到导出数据存储器内容的目的。在程序存储器未使用的地址单元中写入0，也可防止数据存储器的代码保护被侵入。

表 9-1: 与数据EEPROM相关的寄存器/位

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOD/ WUR时的值	其他 复位值
0Bh/8Bh	INTCON	GIE	PEIE	T0IE	INTE	RAIE	T0IF	INTF	RAIF	0000 0000	0000 0000
0Ch	PIR1	EEIF	LVDIF	CRIF	C2IF ⁽¹⁾	C1IF	OSFIF	—	TMR1IF	0000 00-0	0000 00-0
8Ch	PIE1	EEIE	LVDIE	CRIE	C2IE ⁽¹⁾	C1IE	OSFIE	—	TMR1IE	0000 00-0	0000 00-0
9Ah	EEDAT	EEDAT7	EEDAT6	EEDAT5	EEDAT4	EEDAT3	EEDAT2	EEDAT1	EEDAT0	0000 0000	0000 0000
9Bh	EEADR	EEADR7 ⁽¹⁾	EEADR6	EEADR5	EEADR4	EEADR3	EEADR2	EEADR1	EEADR0	0000 0000	0000 0000
9Ch	EECON1	—	—	—	—	WRERR	WREN	WR	RD	---- x000	---- q000
9Dh	EECON2	EEPROM控制寄存器2（不是实际存在的寄存器）								---- ----	---- ----

图注： x = 未知， u = 不变， — = 未用，读为0， q = 视具体情况而定。
数据EEPROM模块不使用影印单元。

注 1: 仅限PIC16F636/639。

10.0 KEELOQ[®] 兼容加密模块

要获得实现 KEELOQ 模块的有关信息，Microchip 要求执行“KEELOQ[®] Encoder License Agreement”（KEELOQ[®] 编码器许可协议）。

“KEELOQ[®] Encoder License Agreement”可从 Microchip 网站（地址：www.microchip.com/KEELOQ）获取。要获取更详细的信息，请联系当地 Microchip 销售办事处。

PIC12F635/PIC16F636/639

注:

11.0 模拟前端 (AFE) 功能说明 (仅限 PIC16F639)

PIC16F639 器件由 PIC16F636 器件和低频 (LF) 模拟前端 (Analog Front-End, AFE) 组成, 而 AFE 包含三个用于信号检测和 LF 对讲的模拟输入通道。本节将对模拟前端 (AFE) 进行详细说明。

PIC16F639 器件能够检测低至 1 mVpp 的 125 kHz 输入信号, 并使用内部 LF 对讲调制或通过外部发送器发送数据。PIC16F639 还可以用于各种双向通讯应用。图 11-3 和图 11-4 所示为器件的应用示例。

每个模拟输入通道都有内部调节电容、灵敏度控制电路、输入信号强度限制器和 LF 对讲调制晶体管。有一个自动增益控制 (Automatic Gain Control, AGC) 回路用于这三个输入通道增益。每个通道的输出进行逻辑或后送至解调器。数字输出送至 LFDATA 引脚。图 11-1 所示为 AFE 框图, 图 11-2 给出了 LC 输入路径。

配置寄存器共有八个。其中六个为 AFE 操作选项, 一个为列奇偶校验位, 还有一个用于指示 AFE 的工作状态。每个寄存器有 9 位, 包括一个行奇偶校验位。除状态寄存器为只读外, 这些寄存器可以通过 SPI (串行协议接口) 命令进行读写。

11.1 RF 限幅器

通过对附属的 LC 谐振电路进行 de-Q, RF 限幅器 (RF Limiter) 对 LC 引脚输入电压进行限制。绝对电压限制由硅工艺过程中最大允许输入电压定义 (见 15.0 “电气特性”)。当输入电压超过 V_{DE_Q} 时, 限幅器开始对外部 LC 天线进行 de-Q, 逐渐加大 de-Q 力度以降低天线输入电压。

来自所有 3 个通道的信号电平被合并起来, 从而使限幅器用对信号最强的通道进行衰减相同的方式对这三个通道进行统一衰减。

11.2 调制电路

调制电路由调制晶体管 (FET)、内部调节电容和外部 LC 天线元器件构成。调制晶体管和内部调节电容连接在 LC 输入引脚和 LCCOM 引脚之间。每个 LC 输入都有自己的调制晶体管。

当调制晶体管导通时, 它的低导通阻抗 (R_M) 对 LC 天线感应电压进行钳位。调制晶体管导通时线圈电压最小, 当调制晶体管关断时线圈电压最大。调制晶体管的低导通阻抗 (R_M) 产生了高调制深度。

通过导通和关断调制晶体管, 可实现 LF 对讲。

作为“钳通” (Clamp On)、“钳断” (Clamp Off) 命令的调制数据经由数字 SPI 接口来自单片机模块。只有使能的输入才会执行钳位命令。调制电路的基本框图如图 11-1 和图 11-2 所示。

软复位 (Soft Reset) 与不活动定时器 (Inactivity Timer) 超时之后, 调制 FET 还将瞬间短路。

11.3 调节电容

每个通道都有内部调节电容, 用于调节外部天线。可通过配置寄存器来设定电容值, 最高为 63 pF, 每步调整 1 pF。

注: 通过对 AFE 配置寄存器进行设定, 用户可以控制调节电容器。

11.4 变量衰减器

变量衰减器通过 AGC 控制用来衰减输入信号电压, 以避免放大器和解调器饱和。

注: 变量衰减器功能由器件自身实现。用户不能控制此功能。

11.5 灵敏度控制

每个通道的灵敏度均可通过通道配置寄存器的灵敏度设定来衰减。使用此方法可降低通道的灵敏度。

注: 通过对 AFE 配置寄存器进行设定, 用户可以降低通道灵敏度。

PIC12F635/PIC16F636/639

11.6 AGC 控制

AGC 控制变量衰减器，以限制内部信号电压，从而避免内部放大器和解调器的饱和（见 11.4 “变量衰减器”）。

来自所有 3 个通道的信号电平被合并起来，从而使限幅器用对信号最强的通道进行衰减相同的方式对这三个通道进行统一衰减。

注： AGC 控制功能由器件自身实现。用户不能控制此功能。

11.7 固定增益放大器 1 和 2

FGA1 和 FGA2 提供了最大为 40 dB 的两级增益。

注： 用户不能控制这两个放大器的增益。

11.8 自动通道选择

如果配置寄存器 5（寄存器 11-6）中自动通道选择位 AUTOCHSEL<8> 置 1，则自动通道选择功能被使能；如果该位清零，则自动通道选择功能被禁止。当该功能被激活时（即，AUTOCHSE<8> = 1），控制电路将在 AGC 稳定时间（TSTAB）之后立即检查每个输入通道的解调输出。如果输出为高电平，则允许此通道传送数据，否则通道阻塞。

AFE 状态寄存器位 <8:6>（寄存器 11-8）监控此操作的状态。这些位指明通道选择的当前活动状态，并为每次软复位自动更新状态。每次软复位后（或不活动定时器超时后），自动通道选择功能复位。因此，软复位后阻塞的通道被再次使能。

通过堵塞那些在 TAGC 结束时电平不为高的通道，这个功能可以使输出信号更干净。此功能仅用于解调数据输出，不能用于载波时钟或 RSSI 输出。

11.9 载波时钟检测器

检测器检测输入载波周期。检测器的输出在信号载波频率进行数字切换。在 AFE 配置寄存器 1（寄存器 11-2）中用 DATOUT 位选择载波时钟输出时，将使该输出有效。

11.10 解调器

解调器由全波整流器、低通滤波器、峰值检波器和用于检测输入信号包络的数据分割器组成。

11.11 数据分割器

数据分割器由参考电压发生器和比较器组成。数据分割器比较输入与参考电压。参考电压来自最小调制深度要求和输入峰值电压。来自全部 3 个通道的数据进行逻辑或运算，然后送至输出使能滤波器。

11.12 输出使能滤波器

一旦进入信号满足唤醒序列要求，输出使能滤波器就使能 LFDATA 输出。（见 11.15 “可配置输出使能滤波器”）。

11.13 RSSI（接收信号强度指示器）

RSSI 提供与输入信号幅度成正比的电流（见 11.31.3 “接收信号强度指示器（RSSI）输出”）。

11.14 模拟前端定时器

AFE 具备一个内部 32 kHz RC 振荡器。该振荡器用于下列定时器中：

- 不活动定时器（Inactivity Timer）
- 报警定时器（Alarm Timer）
- 脉宽定时器（Pulse Width Timer）
- 周期定时器（Period Timer）
- AGC 稳定定时器（AGC Settling Timer）

11.14.1 RC 振荡器

RC 振荡器是低功耗振荡器，其频率受温度和电压变化的影响，频率范围为 32 kHz ± 10%。

11.14.2 不活动定时器

如果没有输入信号，不活动定时器用来使 AFE 自动返回待机模式。基于 32 kHz 内部时钟，超时周期约为 16 ms (TINACT)。

不活动定时器用来最大限度地降低 AFE 消耗电流，当无输入信号时间持续约 16 ms 时，不活动定时器使 AFE 自动返回到待机模式。

定时器将在以下情况下复位：

- 在 LF 输入信号中出现幅度变化，无论变化是从高到低还是从低到高
- $\overline{\text{CS}}$ 引脚为低（任何 SPI™ 命令）
- 与定时器相关的软复位。

定时器在以下情况下启动：

- AFE 收到任何 LF 信号

定时器在以下情况下导致 AFE 软复位：

- 先前接收的 LF 在 TINACT 时间内没有变化，既未从高到低，也未从低到高变化

软复位使 AFE 自动返回到待机模式；在待机模式下，大多数模拟电路，如 AGC、解调器和 RC 振荡器等，都将断电。这将使 AFE 返回到更低的待机电流模式。

11.14.3 报警定时器

当 AFE 正在接收不满足输出使能滤波器要求的 LF 信号时，使用报警定时器通知 MCU。存在持续噪声时，超时时间约为 32 ms (TALARM)。

如果不满足输出使能滤波器要求的输入信号持续时间长于 32 ms 时，就将产生报警定时器超时。报警定时器超时导致：

- a) ALERT 引脚变低电平。
- b) AFE 状态配置 7 寄存器（寄存器 11-8）中的 ALARM 位置 1。

通过监控 ALERT 引脚，MCU 将得到报警定时器超时的通知。如果报警定时器超时，MCU 就能采取适当的措施，例如衰减通道灵敏度，或者禁止通道等等。如果忽略噪声源，AFE 可返回更低待机电流消耗状态。

定时器在以下情况时复位：

- $\overline{\text{CS}}$ 引脚为低（任何 SPI 命令）。
- 输出使能滤波器禁止。
- LFDATA 引脚使能（信号通过输出使能滤波器）。

定时器在以下情况下启动：

- 接收 LF 信号。

定时器在以下情况导致 ALERT 引脚上输出低电平：

- 输出使能滤波器使能且调制输入信号已存在 TALARM 时间，但该信号不满足输出使能滤波器的要求。

注： 如果输出使能滤波器禁止，则报警定时器禁止。

11.14.4 脉宽定时器

脉宽定时器用来验证接收的输出使能序列是否同时满足最小 TOEH 和最小 TOEL 要求。

11.14.5 周期定时器

周期定时器用来验证接收的输出使能序列是否满足最大 TOET 要求。

11.14.6 AGC 稳定定时器 (TAGC)

此定时器用于在 AGC 稳定在输入信号的同时，使输出使能滤波器保持在复位状态。超时周期约为 3.5 ms。这个时间 (TAGC) 结束后，输入应保持为高电平 (TPAGC)，否则将中止计数并产生软复位。详见图 11-6。

- 注 1：** 在 AGC 稳定时间 (TAGC) 内，AFE 需要连续不中断的高电平输入信号。在这段时间内若无上述信号，即可能使定时器复位，而且需要 AGC 稳定时间新的输入信号；或者也可能导致不恰当的 AGC 增益设定，产生无效输出。
- 2：** 如果任一输入通道正确地接收到 AGC 稳定时间，AFE 的其余部分就将唤醒。AFE 状态寄存器 7 的位 <4:2> (寄存器 11-8)，指明是哪个通道最先唤醒了 AFE。多个引脚上的有效输入信号可能致使多个通道指示位置 1。

PIC12F635/PIC16F636/639

图 11-1: 功能框图——模拟前端

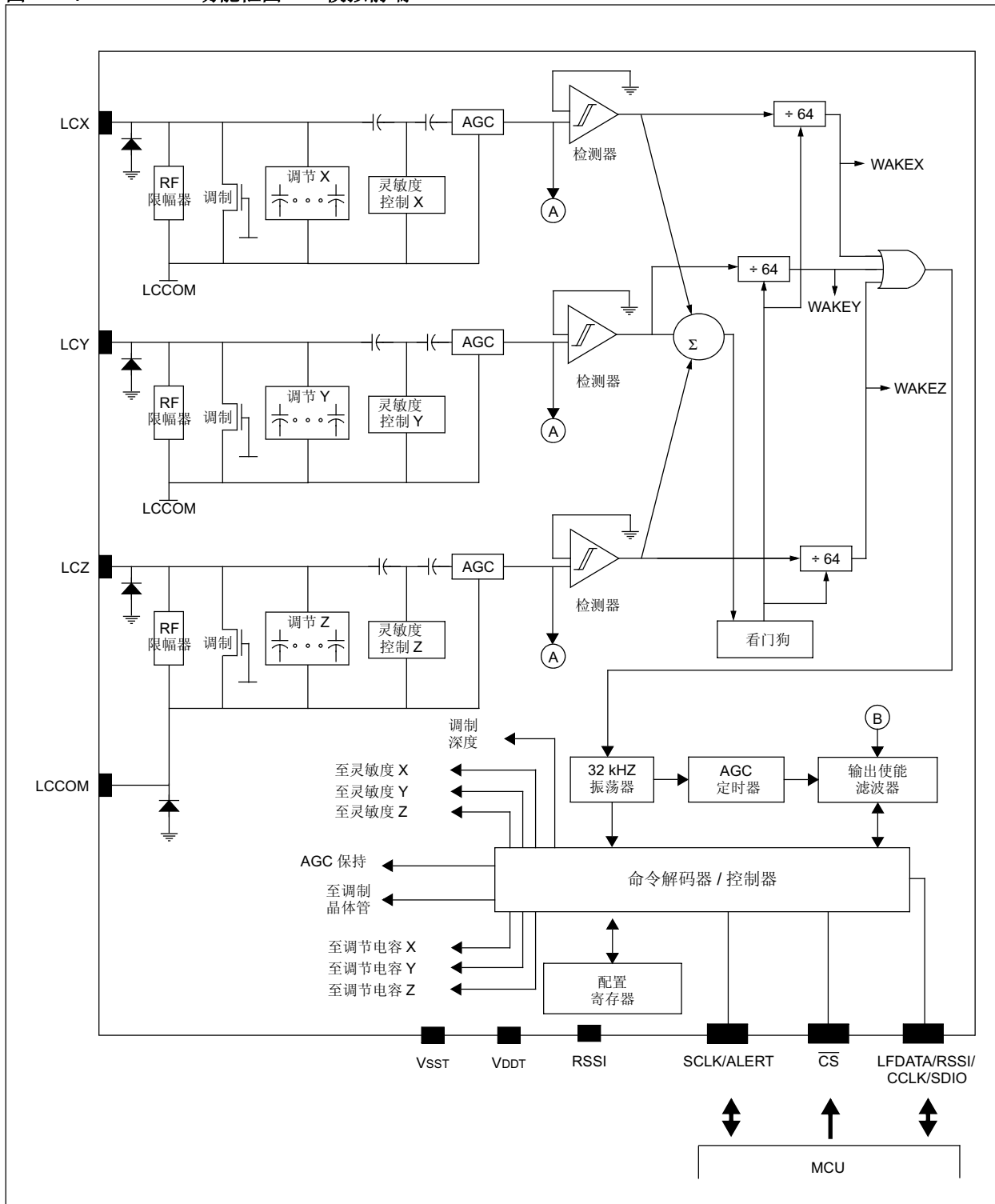
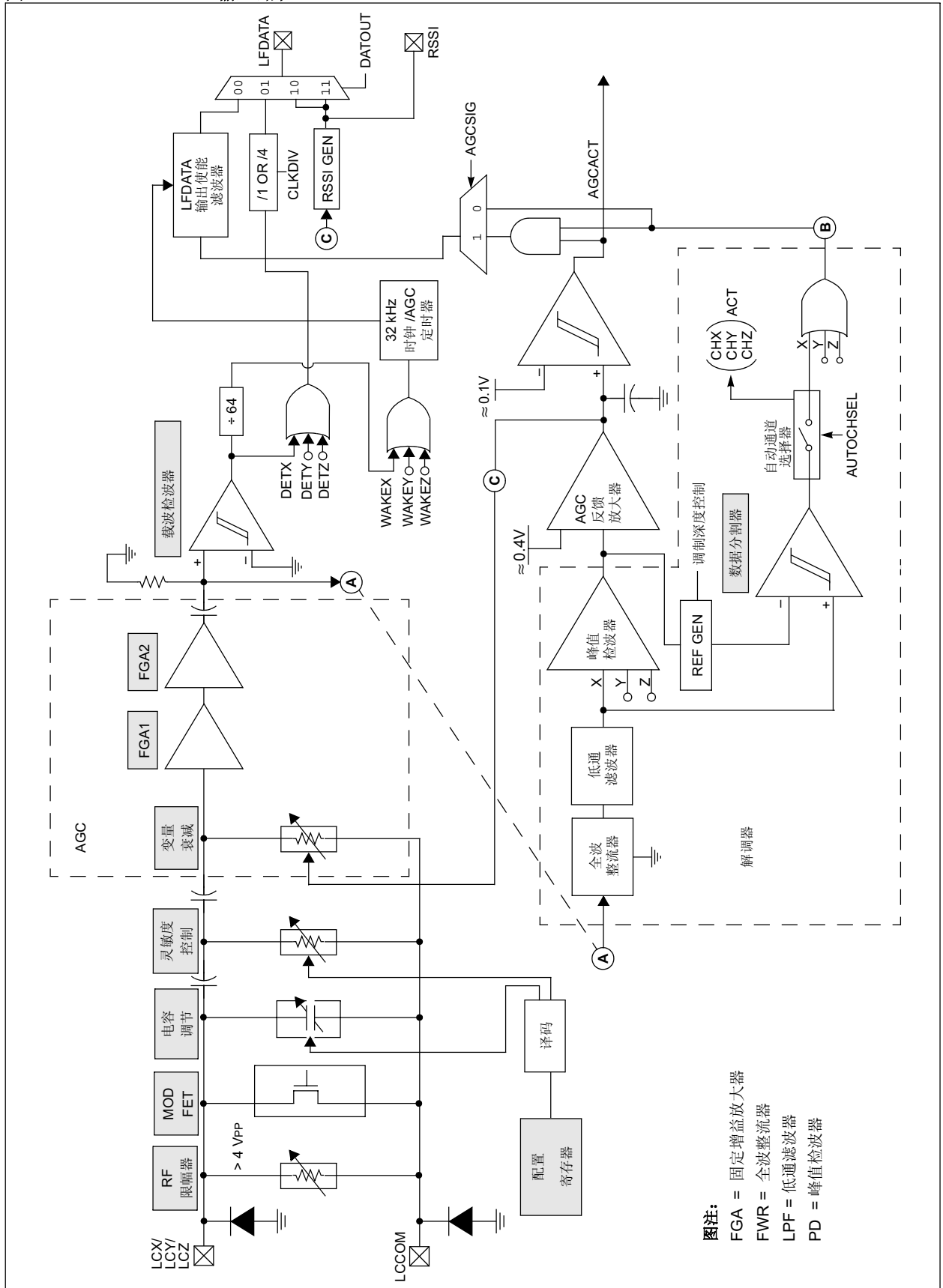


图 11-2: LC 输入路径



PIC12F635/PIC16F636/639

图 11-3: 双向被动无钥门禁 (PKE) 系统应用示例

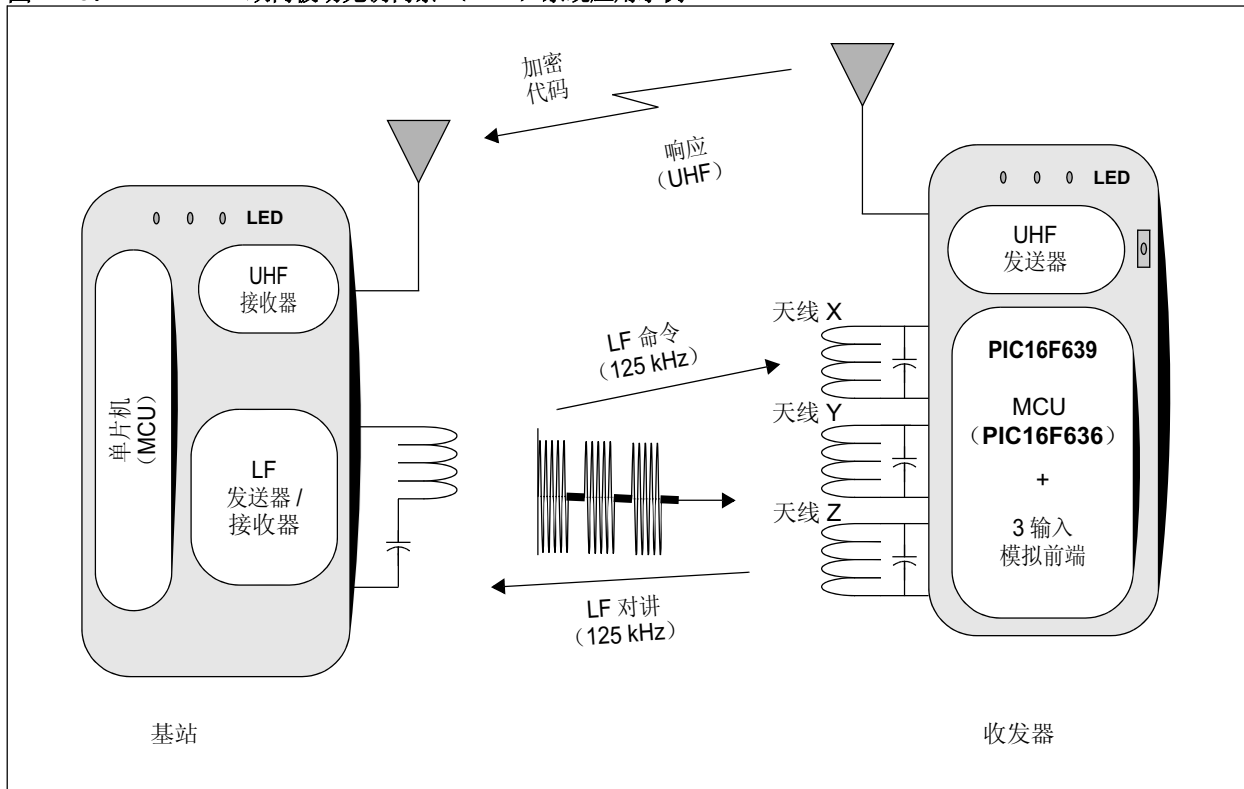
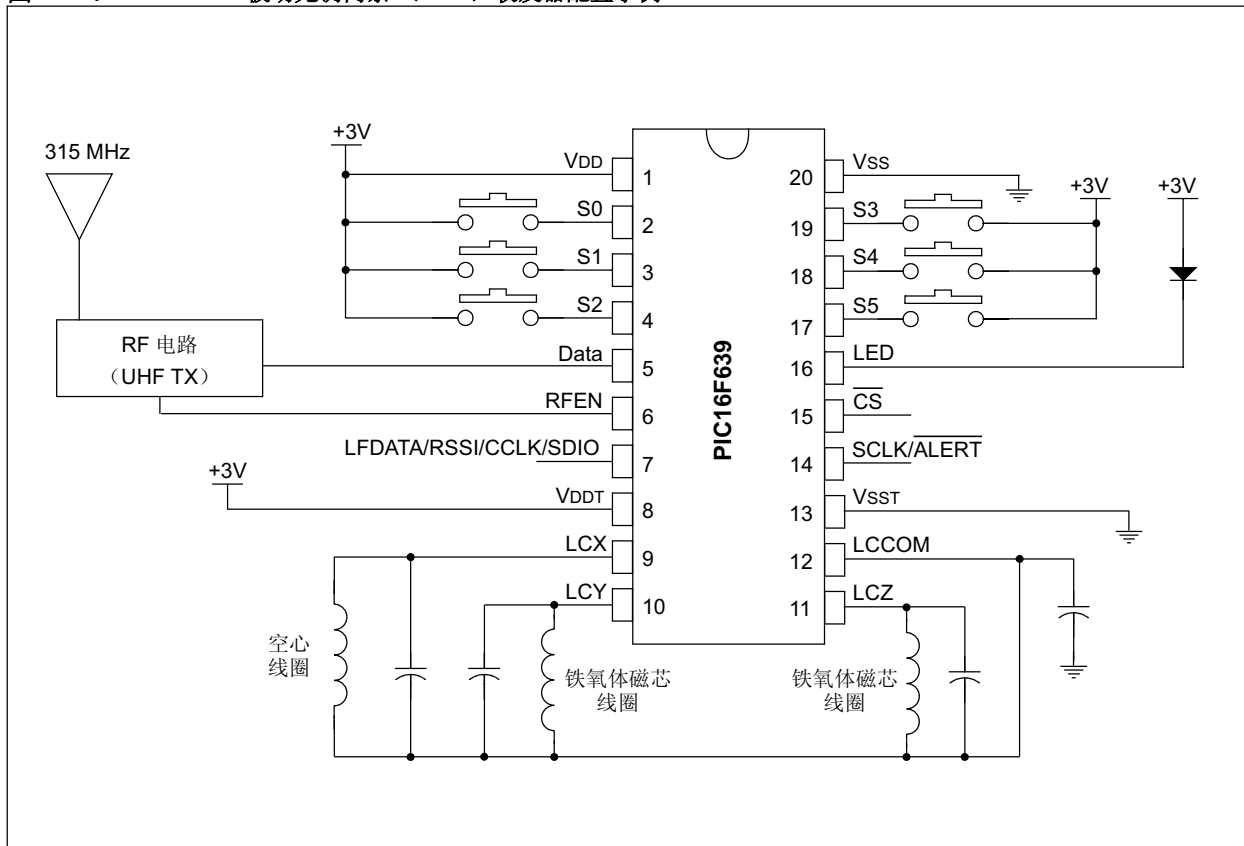


图 11-4: 被动无钥门禁 (PKE) 收发器配置示例



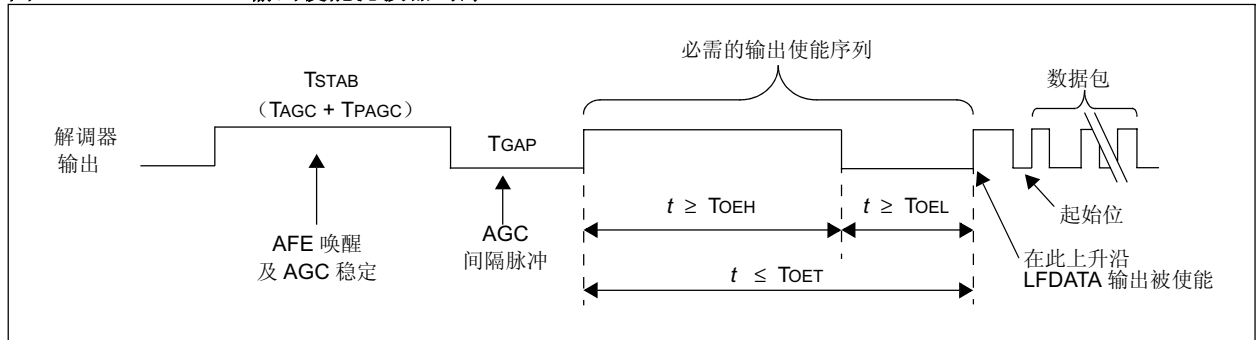
11.15 可配置输出使能滤波器

输出使能滤波器用来使能 LFDATA 输出并唤醒单片机，但仅在 LC 输入引脚接收到特定的脉冲序列之后。因此，这可以防止由于噪声或不想要的输入信号等原因而致使 AFE 唤醒单片机。电路把已解调的报头波形时序与预定义值进行比较，然后在匹配时使能解调 LFDATA 输出。

输出使能滤波器由紧随 AGC 稳定时间之后的脉冲的高持续时间 (TOEH) 和低持续时间 (TOEL) 组成。高、低持续时间的选择意味着选择最大时间。输出使能的高、低持续时间由 SPI 接口编程决定。图 11-5 和图 11-6 所示为输出使能滤波器波形。

TOEH 期间，不应有遗漏的周期。周期遗漏可能导致无法满足输出使能条件。

图 11-5: 输出使能滤波器时序



PIC12F635/PIC16F636/639

图 11-6: 输出使能滤波器时序示例 (详解)

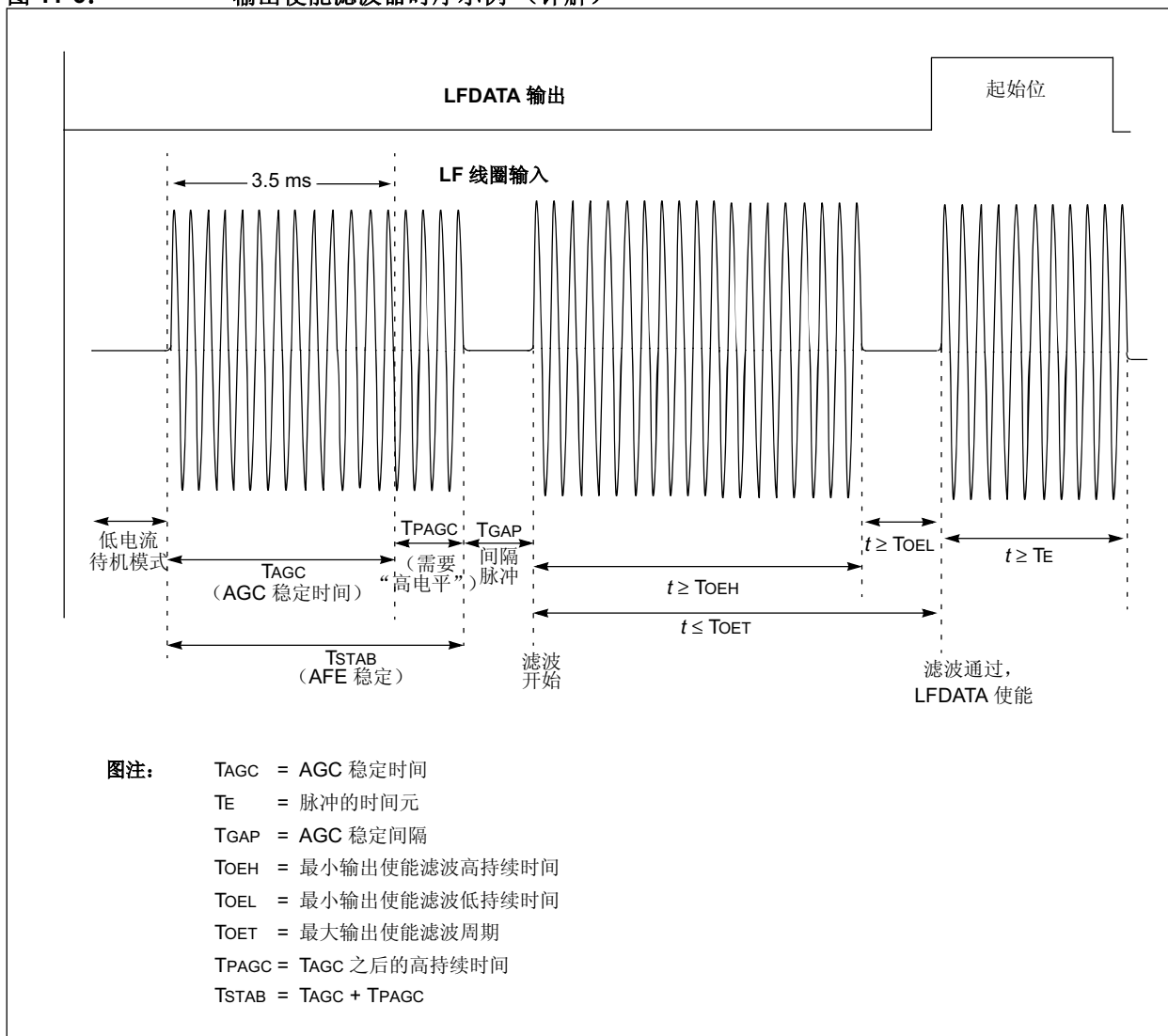


表 11-1: 典型的输出使能滤波器时序

OEH <1:0>	OEL <1:0>	TOEH (ms)	TOEL (ms)	TOET (ms)
01	00	1	1	3
01	01	1	1	3
01	10	1	2	4
01	11	1	4	6
10	00	2	1	4
10	01	2	1	4
10	10	2	2	5
10	11	2	4	8
11	00	4	1	6
11	01	4	1	6
11	10	4	2	8
11	11	4	4	10
00	xx	滤波器禁止		

注 1: 典型值条件为室温，且 VDD = 3.0V 和 32 kHz 振荡器。

TOEH 的测量是从解调输出的上升沿到第一个下降沿。脉冲宽度必须满足 $TOEH \leq t \leq TOET$ 。

TOEL 的测量是从解调输出的下降沿到下一个脉冲的上升沿。脉冲宽度必须满足 $TOEL \leq t \leq TOET$ 。

TOET 的测量是从上升沿到下一个脉冲的上升沿（即，为 TOEH 和 TOEL 之和）。脉冲宽度必须满足 $t \leq TOET$ 。如果配置寄存器 0（寄存器 11-1）中 OEL<8:7> 置为 00，那么 TOEH 不得超过 TOET，TOEL 不得超过 TINACT。

在以下情况下，滤波器需要一个完整的新的并且是连续的高低周期使能 LFDATA 以使其复位。

- 接收的高持续时间不大于配置的 TOEH 最小值。
- 在 TOEH 期间，信号丢失 > 56 μ s。信号丢失 < 56 μ s 可能会也可能不会导致滤波器复位。
- 接收的低持续时间不大于配置的最小值。
- 接收的序列超过了 TOET 的最大值：
 - TOEH + TOEL > TOET
 - 或 TOEH > TOET
 - 或 TOEL > TOET
- 接收到软复位 SPI 命令。

如果滤波器复位是由于高持续时间（TOEH > TOET）很长引起的，高脉冲定时器将等待一个 TE 间隔之后，且解调器输出发生另一个从低到高的跳变，才会再次开始定时。

禁止输出使能滤波器将不再需要满足 TOEH 和 TOEL 要求，AFE 将传送所有接收到的 LF 数据。例子可见图 11-10、图 11-11 和图 11-12。

如果从应用的角度看，从引脚输入开始，实际的输出使能滤波器计时必须将输入通路的模拟延时（例如，解调器充放电时间）计算在内。

- TOEH - TDR + TDF
- TOEL + TDR - TDF

输出使能滤波器紧随 TGAP（AGC 稳定时间后的间隙）之后立即启动。

11.16 输入灵敏度控制

AFE 输入灵敏度的设计典型值为 3 mVPP。这意味着任何幅值大于 3 mVPP 的输入信号都能被检测到。当输入电平大于约 20 mVPP 时，AFE 的内部 AGC 回路调节检测信号幅值。信号幅值称作“AGC 活动水平”。AGC 回路调节输入电压，从而把输入信号幅值范围保持在检测电路的线性范围内，不会导致饱和。当 AGC 回路调节输入电压时，则将使 AFE 状态寄存器 7（寄存器 11-8）中的 AGC 活动状态位（AGCACT<5>）置 1。

表 11-2 所示为使用 AGCSIG 选项时的输入灵敏度比较。当 AGCSIG 选项位置 1 时，解调输出仅在 AGC 回路活动时可用（见表 11-1）。AFE 同样有每个通道的输入灵敏度衰减功能。配置寄存器 3（寄存器 11-4）、配置寄存器 4（寄存器 11-5）和配置寄存器 5（寄存器 11-6），均有降低通道增益的选项，可把增益从 0 dB 降低至约 -30 dB。

PIC12F635/PIC16F636/639

表 11-2: 输入灵敏度对调制信号强度设定的对比 (AGCSIG<7>)

AGCSIG<7> (配置寄存器 5)	说明	输入灵敏度 (典型值)
0	禁止——AFE 传送它能检测到的任何幅度的信号 (解调数据和载波时钟)	3.0 mVPP
1	使能——没有输出, 直到 AGC 状态 = 1 (即, $V_{PEAK} \approx 20$ mVPP) 时为止 (解调数据和载波时钟)。 • 提供最佳信噪比。	20 mVPP

11.17 输入通道 (使能 / 禁止)

对配置寄存器 0<3:1> (寄存器 11-1) 中的各个位进行编程, 可以单独地使能或禁止各通道。

拥有禁止某个通道的选项, 目的是通过关闭尽可能多的电路 (如果不需要该通道工作) 使消耗的电流最小。在输入禁止时, 禁止的具体电路是放大器、检波器、全波整流器、数据分割器, 以及调制 FET。不过, RF 输入限幅器仍然处于活动状态, 以保护硅器件不受过高天线输入电压破坏。

11.18 AGC 放大器

电路自动放大输入信号电压, 使之达到数据分割器能够接受的水平。AGC 的固有特性是抓得快而放得慢, 它跟踪载波信号电压, 而不是调制的数据位。

AGC 的固有特性是跟踪三个天线输入信号中最强的信号。AGC 需要一段 AGC 稳定时间 (TAGC)。

AGC 将试图调节通道进入数据分割器的峰值信号电压, 使之成为所需的稳定 AGC 电压——在信号电压试图超出稳定 AGC 电压时, 降低输入路径增益, 并允许对低于稳定 AGC 电压的信号电平进行完全放大。

AGC 有两种工作模式:

1. 在 AGC 稳定时间 (TAGC) 期间, AGC 时间常数较快, 从而对连续输入信号的采集时间在合理范围内较短。
2. TAGC 之后, AGC 切换到较慢的时间常数, 以便进行数据分割。

而且, 当输入信号包络为低时, AGC 冻结。AGC 只跟踪高包络电平。

11.19 AGC 保持

AGC 保持 (AGC Preserve) 功能使 AFE 能够在 AGC 稳定时间 (TAGC) 内保持 AGC 值, 并把保持值应用于数据分割电路以处理后续数据流, 而不是使用新的跟踪值。当在给定时间段内输入随机幅值变化时, 这个功能可以用来正确解调输入信号。当 AFE 接收到 AGC 保持开 (Preserve On) 命令时, 该功能被使能; 当 AFE 接收到 AGC 保持关 (Preserve Off) 命令, 则该功能被禁止。一旦接收到 AGC 保持开命令, AFE 在每一个 AGC 稳定时间内获取新的 AGC 值, 保持该值, 直到接收到软复位或 AGC 保持关命令时。从而, 无需另外发出 AGC 保持开命令。要禁止 AGC 保持功能, 需要一条 AGC 保持关命令 (AGC 保持命令参见 11.32.2.5 “AGC 保持开命令” 和 11.32.2.6 “AGC 保持关命令”)。

11.20 软复位

在下列事件中，AFE 产生软复位：

- 上电复位（POR）后，
- 不活动定时器超时后，
- 如果发生“异常中止”，
- 接收到 SPI 软复位命令后。

如果在 AGC 稳定时间（TAGC）结束后，没有检测到正信号，则将产生“异常中止”。软复位初始化内部电路，使 AFE 进入低电流待机工作模式。软复位初始化的内部电路包括：

- 输出使能滤波器
- AGC 电路
- 解调器
- 32 kHz 内部振荡器

软复位不影响配置寄存器的设定，但会影响 AFE 状态寄存器 7（寄存器 11-8）的某些位。

电路的初始化需要一个内部时钟周期（ $1/32 \text{ kHz} = 31.25 \mu\text{s}$ ）。初始化期间，每个输入和 LCCOM 引脚之间的调制晶体管导通，对内外部寄生电压进行放电。初始化时间结束后，调制晶体管将立即截止。

软复位仅在活动模式下执行，在待机模式下无效。

11.21 输入信号的最小调制深度要求

如果输入信号的调制深度大于 AFE 配置寄存器 5（寄存器 11-6）中设定的最小调制要求，则 AFE 解调已调制的输入信号。图 11-7 给出了调制深度的定义和例子。配置寄存器 5 的 MODMIN<6:5> 提供了四个选项，即，75%、50%、25% 和 12%，缺省设定为 50%。

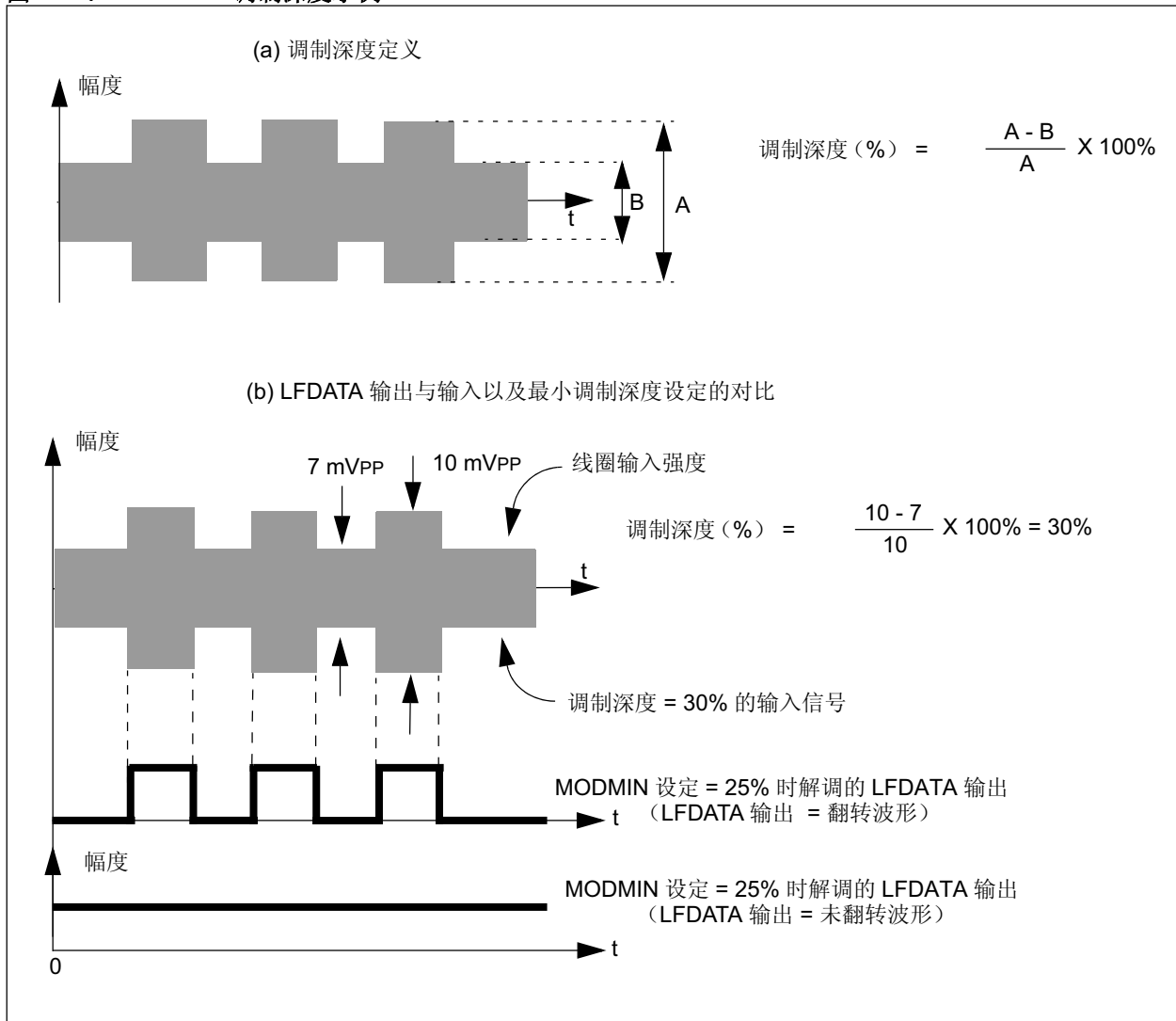
这个功能用来增强输入信号的解调完整性。对于具有弱调制深度的输入信号，12% 设定是最佳选择：靠近高压基站天线时或距离基站天线很远时，输入信号通常具有弱调制深度。它给出了最佳解调灵敏度，但容易受噪声尖峰的影响，可能导致位检测错误。75% 设定能够减少噪声导致的位错误，但解调灵敏度最小。最小调制深度要求的设定见表 11-3。

表 11-3: 最小调制深度要求的设定

MODMIN 位 (配置寄存器 5)		调制深度
Bit 6	Bit 5	
0	0	50% (缺省值)
0	1	75%
1	0	25%
1	1	12%

PIC12F635/PIC16F636/639

图 11-7: 调制深度示例



11.22 低电流休眠模式

来自单片机并经由 SPI 接口命令的休眠命令，将使 AFE 进入超低电流模式。包括 RF 限幅器在内的所有电路都将关闭，以使 AFE 消耗的电流最低；但保持起码的寄存器存储器和 SPI 功能所需的电路将不会掉电。需要用上电复位以及除休眠命令外的任何其他 SPI 命令将 AFE 从休眠模式唤醒。

11.23 低电流待机模式

当天线输入没有 LF 信号存在时，AFE 处于待机模式，但 AFE 已上电并准备接收任何输入信号。

11.24 低电流工作模式

当在 LF 天线输入上有 LF 信号，且内部电路随接收的数据而进行切换时，AFE 处于低电流工作模式。

11.25 AFE 配置寄存器数据的错误检测

AFE 的配置寄存器为易失性存储器。因此寄存器内容可能会被诸如电池断电这样的意外事件破坏或清除。为了确保数据完整性，AFE 具有错误检测机制，错误检测机制使用配置寄存器映射的行、列校验位。每个寄存器的 bit 0 是行校验位，通过计算八个配置位（从 bit 1 到 bit 8）得到。列校验寄存器（配置寄存器 6）存放列校验位；通过分别计算配置位的每一列（配置寄存器 0 至 5），得到对应的列校验位。列校验位的计算不包括状态寄存器。校验结果应为奇数。校验位的置 1 或清零，将使置 1 的位数为奇数。用户需要使用寄存器的内容来计算行 / 列校验位，并在程序中进行设置。AFE 在运行期间将连续计算配置存储器映射的行 / 列校验位。如果发生校验错误，AFE 将使 SCLK/ALERT 引脚为低电平（中断单片机模块），表明配置存储器已损坏或未载入，需要重新设置。

上电复位后的初始条件下，寄存器的值都将被清零（缺省值）。因此，通过拉低 SCLK/ALERT 引脚，AFE 将发出校验位错误。如果用户用正确的校验位重新设置寄存器，则 SCLK/ALERT 引脚将立即翻转为逻辑高电平。

校验位错误不改变或影响 AFE 功能的正常操作。

表 11-4 给出了寄存器值和对应校验位的例子。

表 11-4: AFE 配置寄存器校验位示例

寄存器名称	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0 (行校验)
配置寄存器 0	1	0	1	0	1	0	0	0	0
配置寄存器 1	0	0	0	0	0	0	0	0	1
配置寄存器 2	0	0	0	0	0	0	0	0	1
配置寄存器 3	0	0	0	0	0	0	0	0	1
配置寄存器 4	0	0	0	0	0	0	0	0	1
配置寄存器 5	1	0	0	0	0	0	0	0	0
配置寄存器 6 (列校验寄存器)	1	1	0	1	0	1	1	1	1

PIC12F635/PIC16F636/639

11.26 出厂校准

Microchip 对 AFE 进行了校准，以降低器件之间的待机电流、内部计时和灵敏度上的差异，并降低各通道之间的灵敏度差异。

11.27 De-Q 天线电路

当收发器靠近基站时，收发器线圈可产生高于 V_{DE_Q} 的线圈电压。这个情形称为“近场”。AFE 通过 AGC 控制模块检测强近场信号，然后对天线电路进行 de-Q，以降低输入信号幅度。

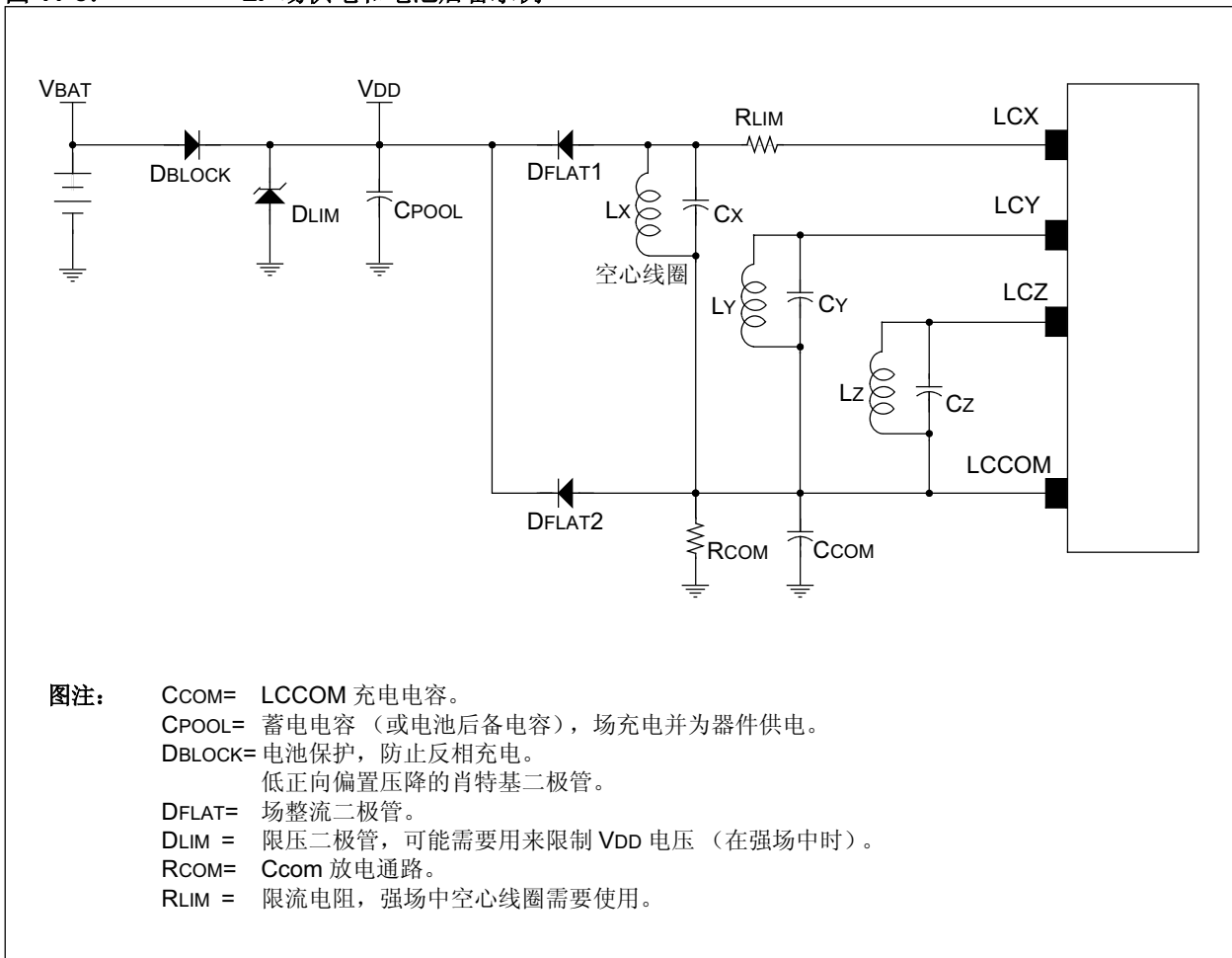
11.28 电池后备和无电池工作

增加外部元器件后，器件即可支持电池后备和无电池工作方式，使得器件能够部分或完全由场供电。

图 11-8 所示为电池后备的外部电路示例。

注： LCCOM 上的电压加上线圈输入电压不得超过最大 LC 输入电压。

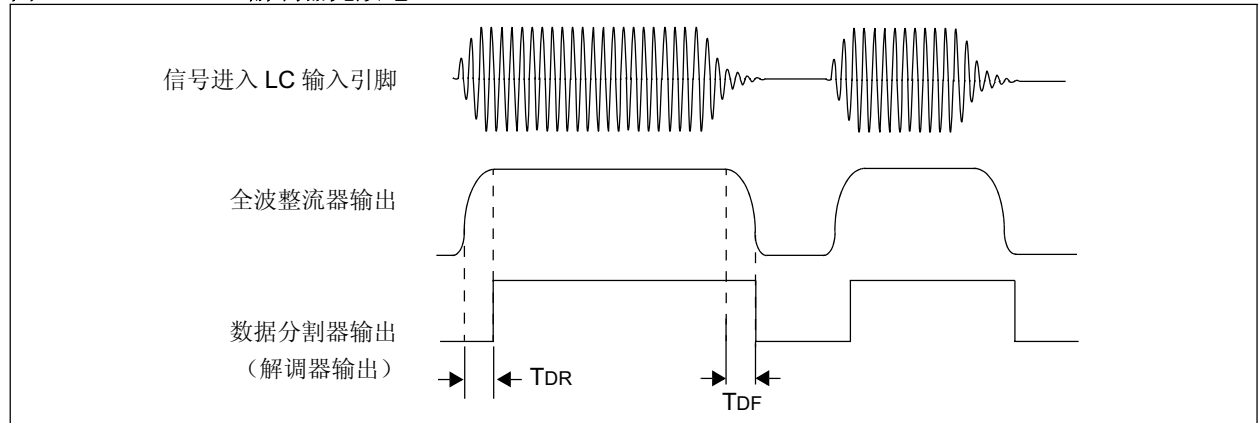
图 11-8: LF 场供电和电池后备示例



11.29 解调器

通过恰当的包络检波，解调器从接收的数据中复原调制数据；接收的信号包括载波和数据。解调器具有适合输入信号包络的快上升（充电）时间（TDR）和下降时间（TDF）（TDR 和 TDF 技术参数请参见 15.0 “电气特性”）。解调器包括全波整流器、低通滤波器、峰值检波器和数据分割器。

图 11-9: 解调器充放电



11.30 上电复位

该电路将保持复位状态，直到有足够的电源电压施加到 AFE 上。当电源电压足以使 AFE 正常工作时（标称值为 AFE 的 V_{POR} ），器件将退出复位状态。

上电复位时将所有配置寄存器均被清零。由于配置寄存器受行、列奇校验的保护，ALERT 引脚将被拉低——向单片机表明 AFE 配置存储器被清零，需要载入。

11.31 LFDATA 输出选择

LFDATA 输出可配置为发送解调器输出、接收信号强度指示器（RSSI）输出或载波时钟。详见配置寄存器 1（寄存器 11-2）。

11.31.1 解调器输出

解调器输出是输出选择的缺省设定。这是包络检波电路的输出。解调器输出可见图 11-9。

为了获得干净的数据输出或运行功耗，可以单独地使能或禁止输入通道。如果使能了一个以上的通道，则输出为每个使能通道输出之和。如果三个通道都被禁止，那么就没有有效输出。当选定解调输出时，根据配置寄存器 0（寄存器 11-1）中选项的设定情况，输出有两种情况：输出使能滤波器禁止或使能。

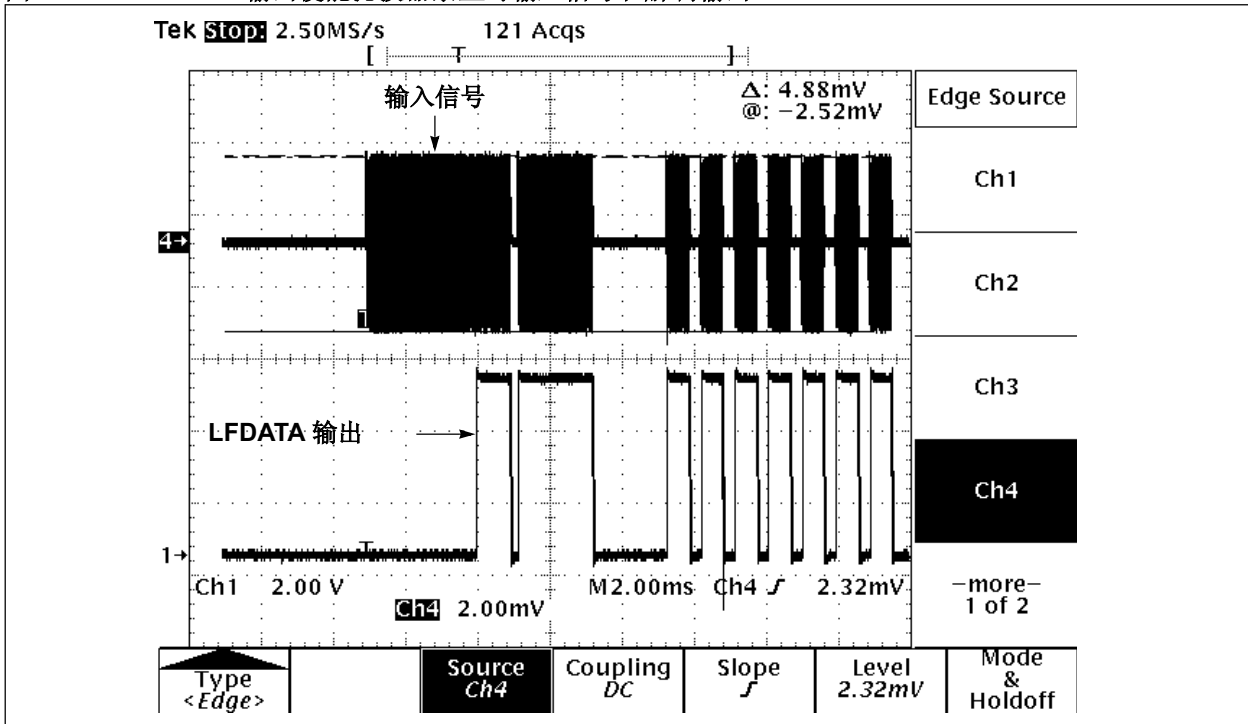
相关配置寄存器位：

- 配置寄存器 1（寄存器 11-2），DATOUT <8:7>:
 - bit 8 bit 7
 - 0 0: 解调器输出
 - 0 1: 载波时钟输出
 - 1 0: RSSI 输出
 - 0 1: RSSI 输出
- 配置寄存器 0（寄存器 11-1）：所有位

PIC12F635/PIC16F636/639

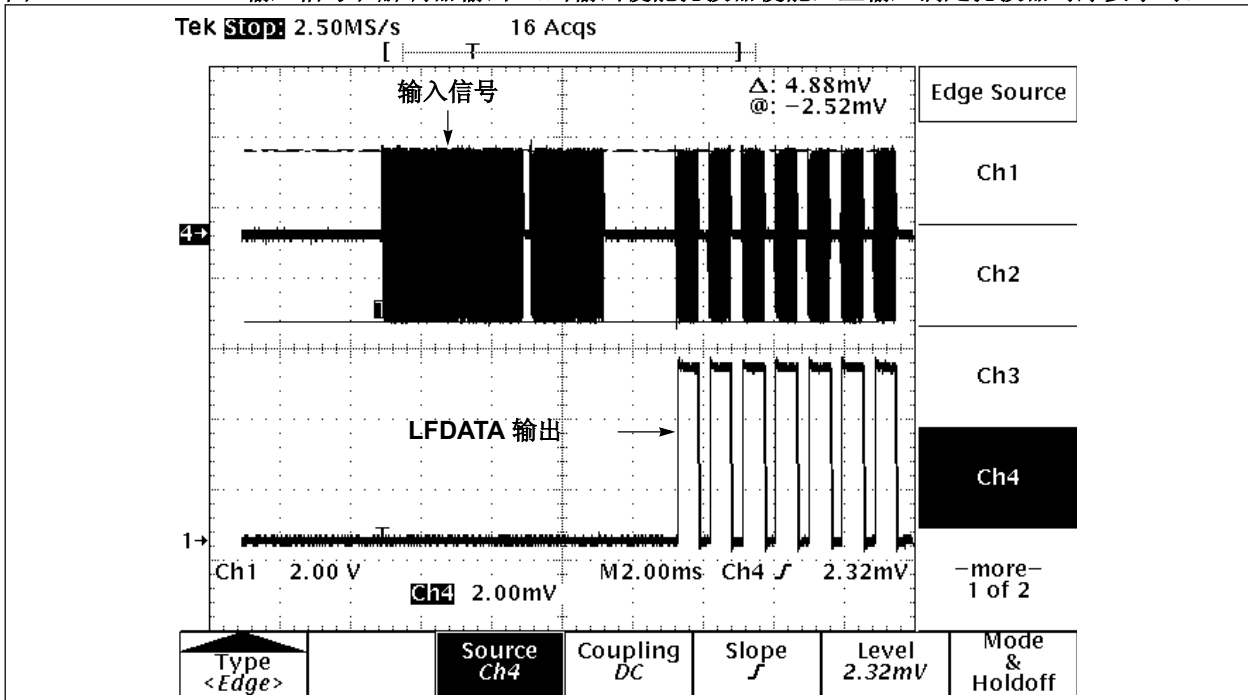
情形 I. 输出使能滤波器禁止时：在 AGC 稳定时间（TAGC）之后，解调输出立即可用。图 11-10 所示为输出使能滤波器禁止时，解调输出的示例。

图 11-10: 输出使能滤波器禁止时输入信号和解调输出



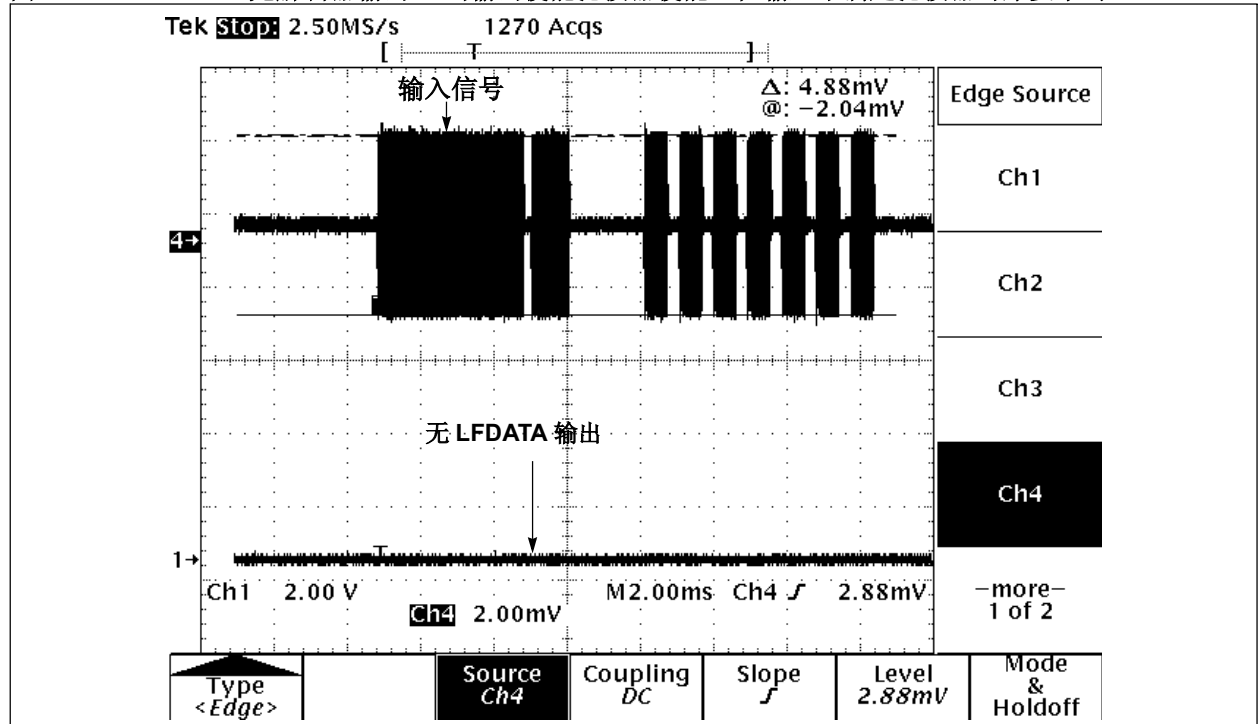
情形 II. 当输出使能滤波器使能时：仅当输入信号满足使能滤波器时序条件时解调输出才可用，该条件在配置寄存器 0（寄存器 11-1）中定义。如果条件满足，输出在使能滤波器的低持续时间（TOEL）之后可用。图 11-11 和图 11-12 给出了输出使能滤波器被使能时，解调输出的示例。

图 11-11: 输入信号和解调器输出（当输出使能滤波器使能，且输入满足滤波器时序要求时）



PIC12F635/PIC16F636/639

图 11-12: 无解调器输出 (当输出使能滤波器使能, 但输入不满足滤波器时序要求时)



PIC12F635/PIC16F636/639

11.31.2 载波时钟输出

在选定载波时钟输出时，LFDATA 输出为输入载波时钟的脉冲方波，并在 AGC 稳定时间 (TAGC) 一结束即可用。对于载波时钟输出，有两个配置寄存器选项：1) 时钟除以 1，或 2) 时钟除以 4，具体选定哪个取决于配置寄存器 2 (寄存器 11-3) 的 DATOUT<7> 位。在 AGC 稳定时间后，载波时钟输出立即可用。输出使能滤波器、AGCSIG 以及 MODMIN 选项均可应用于载波时钟输出，应用方式与解调输出相同。输入通道可单独使能或禁止用于输出。如果有一个以上的通道被使能，则输出为每个使能通道输出之和。因此，载波时钟输出波形不如只有一个通道使能时那样精确。如果要求输出波形精确，建议只使能一个通道。

如果所有三个通道都被禁止，那么将没有有效输出。载波时钟输出的例子，如图 11-13 所示。

相关配置寄存器位：

- 配置寄存器 1 (寄存器 11-2)，DATOUT <8:7>:

bit 8 bit 7

0	0: 解调器输出
0	1: 载波时钟输出
1	0: RSSI 输出
1	1: RSSI 输出

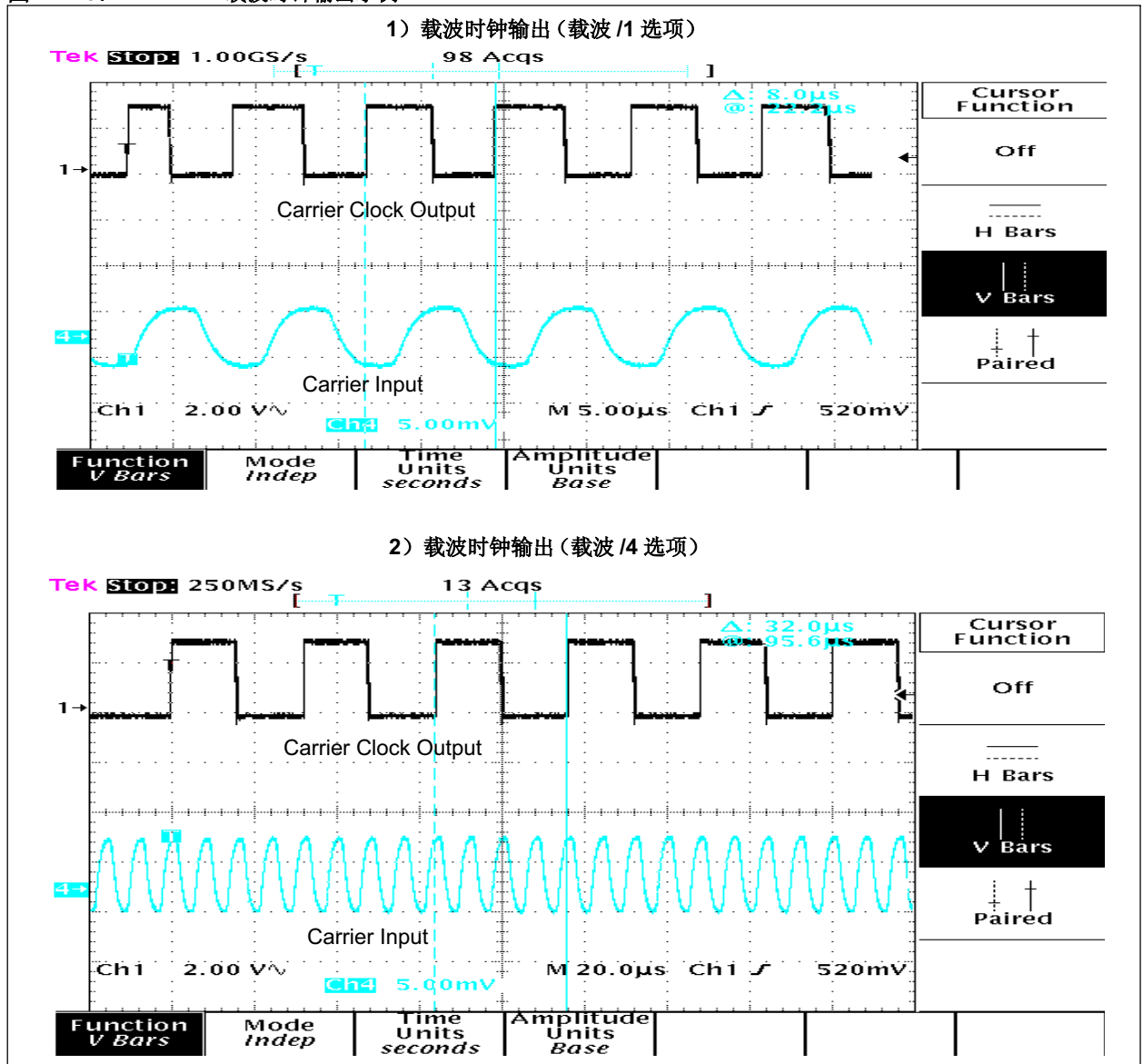
- 配置寄存器 2 (寄存器 11-3)，CLKDIV<7>:

0: 载波时钟 /1
1: 载波时钟 /4

- 配置寄存器 0 (寄存器 11-1): 所有位都受影响
- 配置寄存器 5 (寄存器 11-6)

PIC12F635/PIC16F636/639

图 11-13: 载波时钟输出示例



PIC12F635/PIC16F636/639

11.31.3 接收信号强度指示器 (RSSI) 输出

如果在 AFE 配置寄存器中选定了接收信号强度指示器 (RSSI) 输出, 则在 LFDATA 引脚上有模拟电流可用。模拟电流与输入信号强度成线性正比 (见图 11-15)。

在 RSSI 模式下, 电路中所有定时器, 如不活动定时器、报警定时器、AGC 稳定时间等, 均被禁止。因此 RSSI 输出不受 AGC 稳定时间的影响, 当选定 RSSI 选项时 RSSI 输出就立即可用。当选定 RSSI 输出时, AFE 就立即进入活动模式。连接到 LFDATA 引脚的单片机 I/O 引脚 (RC3), 在 RSSI 输出模式下, 必须设定为高阻态。

RSSI 输出期间, 当 AFE 接收一条 SPI 命令时, RSSI 模式将暂时被禁止, 直到 SPI 接口通讯完成。SPI 接口通讯完成后, 将返回 RSSI 模式。AFE 保持为 RSSI 模式, 直到选取了另一种输出类型 (CS 拉低将关闭 RSSI 信号)。若要为某特定通道获得 RSSI 输出, 或者要节省运行功耗, 可以单独使能或禁止输入通道。如果一个以上的通道被使能, 则 RSSI 输出来自最强的信号通道。如果全部三个通道都被禁止, 将没有有效的输出。

相关 AFE 配置寄存器位:

- 配置寄存器 1 (寄存器 11-2), DATOUT<8:7>:

bit 8	bit 7
0	0: 解调输出
0	1: 载波时钟输出
1	0: RSSI 输出
1	1: RSSI 输出

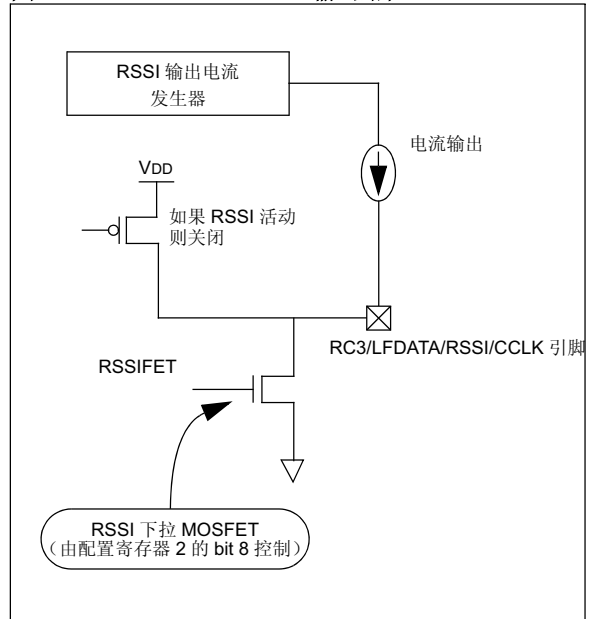
- 配置寄存器 2 (寄存器 11-3), RSSIFET<8>:

0:	下拉 MOSFET 关闭
1:	下拉 MOSFET 开启

注: 仅在选定了 RSSI 输出时下拉 MOSFET 选项才有效。当选择了解调或载波时钟输出选项时, 用户不能控制 MOSFET。

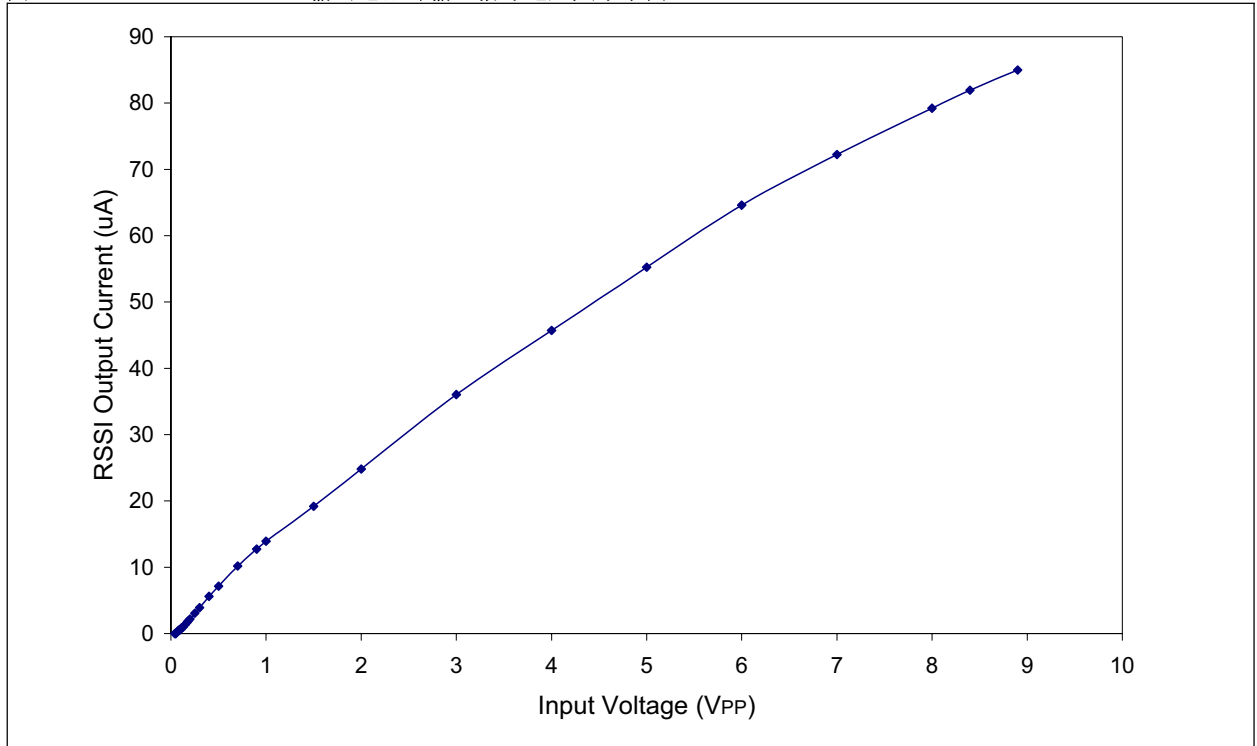
- 配置寄存器 0 (寄存器 11-1): 所有位都受影响。

图 11-14: RSSI 输出路径



PIC12F635/PIC16F636/639

图 11-15: RSSI 输出电流与输入信号电压关系示例



PIC12F635/PIC16F636/639

11.31.3.1 RSSI 信号的模数数据转换

AFE 的 RSSI 输出为模拟电流。它需要外部模数 (ADC) 数据转换器件将模拟电流转化为数字输出。ADC 数据转换可以通过使用独立的外部 ADC 器件来完成, 或者利用单片机内部的比较器再加上一些外部电阻电容通过固件来完成。对于实现斜率 ADC, 在数据采样之前, 应先将 LFDATA 引脚处的外部电容放电。出于这个目的, 可以利用 LFDATA 引脚上的内部下拉 MOSFET。使用配置寄存器 2 (寄存器 11-3) 的 RSSIFET<8> 位, 可以开/关 MOSFET。当 MOSFET 开通时, 内部 MOSFET 为外部电容提供了一条放电通路。这个 MOSFET 选项仅在选取了 RSSI 输出时有效, 对于解调或载波时钟输出选项, MOSFET 不能由用户控制。

本器件的各种外部 ADC 实现方法, 请参见相应的应用笔记。

11.32 AFE 配置

11.32.1 SPI 通讯

AFE SPI 接口通讯用来读写 AFE 的配置寄存器和发送只用作命令的消息。对于 SPI 接口, 器件有三个引脚: CS、SCLK/ALERT 和 LFDATA/RSSI/CCLK/SDIO。图 11-15、图 11-14、图 11-16 和图 11-17 给出了 SPI 通讯序列的例子。

在器件上电时, 这些引脚将是高阻抗输入, 直到固件对他们进行了适当的修改为止。连接到单片机的 AFE 引脚如下。

CS

- 引脚始终用作输入, 带内部上拉。

SCLK/ALERT

- 当 \overline{CS} 高电平时, 本引脚为集电极开路输出。有一个内部上拉电阻 (对 AFE 而言也是内部电阻), 确保在上电和单片机配置其引脚之间, 不会有虚假的 SPI 通讯。当 \overline{CS} 为低时, 本引脚成为 SPI 时钟输入。

LFDATA/RSSI/CCLK/SDIO

- 只要 \overline{CS} 为高电平, 本引脚就是数字输出 (LFDATA)。在 SPI 通讯期间, 引脚是 SPI 数据输入 (SDI), 除非执行寄存器读取, 这时引脚将是 SPI 数据输出 (SDO)。

图 11-16: 上电时序

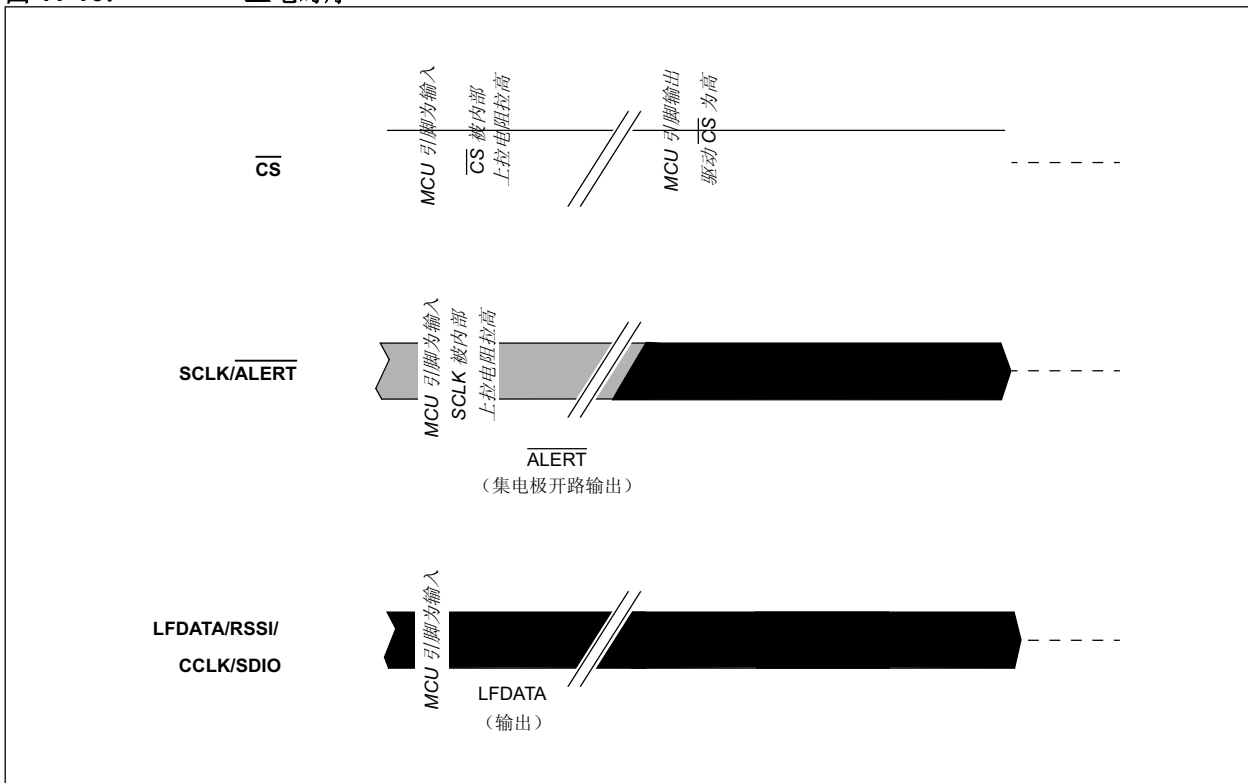
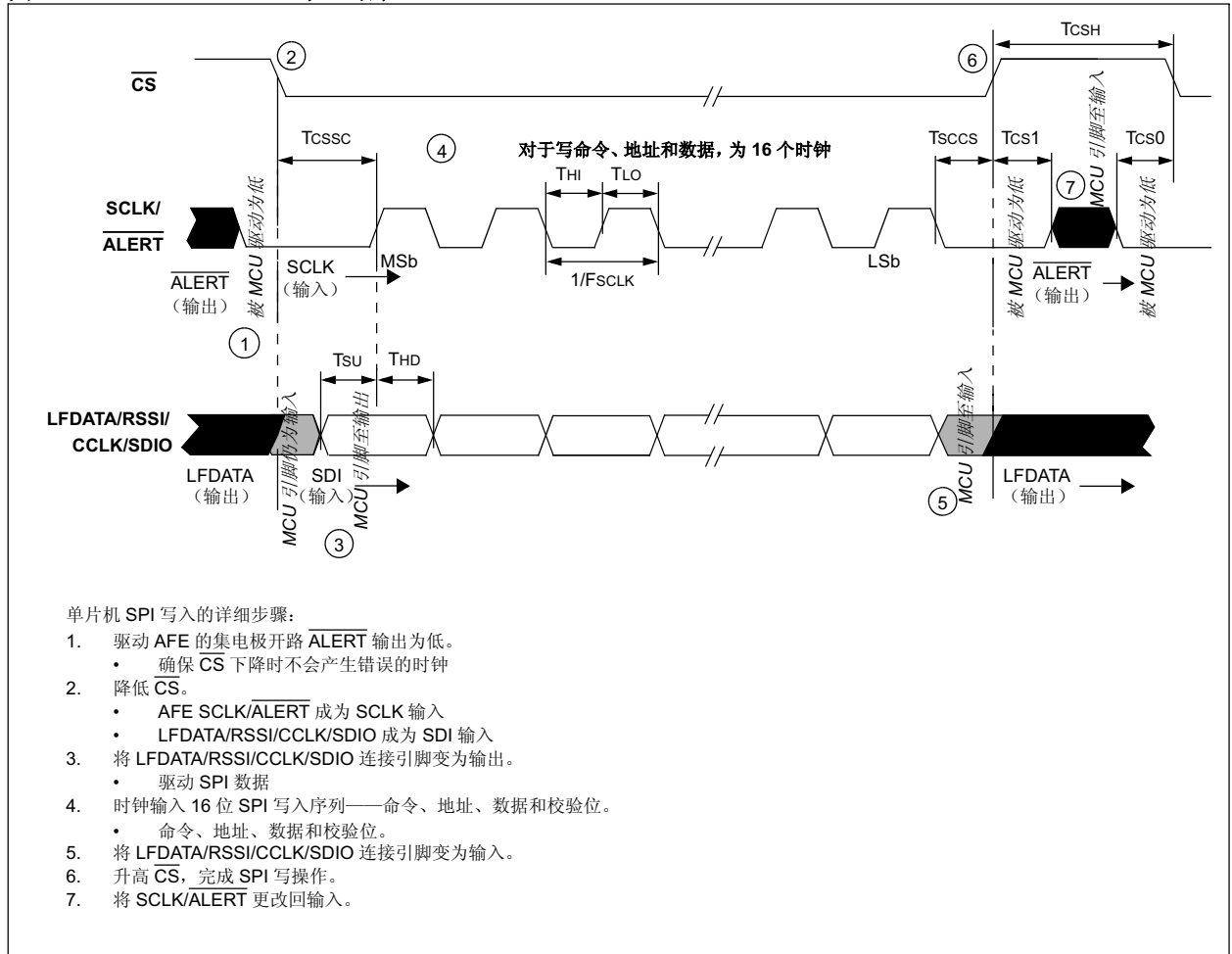
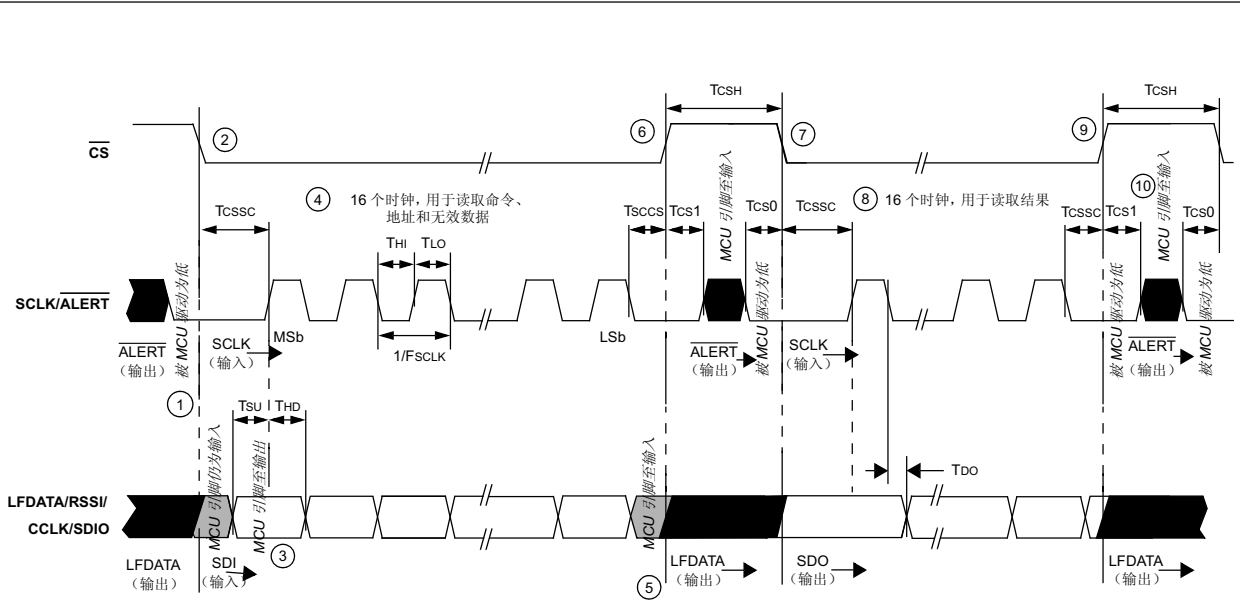


图 11-17: SPI 写入时序



PIC12F635/PIC16F636/639

图 11-18: SPI 读取时序



MCU SPI 读取的详细步骤:

1. 驱动 AFE 的集电极开路 ALERT 输出为低。
 - 确保当 \overline{CS} 下降时不会产生错误的时钟。
2. 降低 \overline{CS} 。
 - AFE SCLK/ALERT 成为 SCLK 输入。
 - LFDATA/RSSI/CCLK/SDIO 成为 SDI 输入。
3. 将 LFDATA/RSSI/CCLK/SDIO 连接引脚更改为输出。
 - 驱动 SPI 数据。
4. 按时钟输入 16 位 SPI 读序列。
 - 命令、地址和无效数据。
5. 将 LFDATA/RSSI/CCLK/SDIO 连接引脚更改为输入。
6. 升高 \overline{CS} ，完成 SPI 读的命令和地址入口。
7. 降低 \overline{CS} 。
 - AFE SCLK/ALERT 成为 SCLK 输入。
 - LFDATA/RSSI/CCLK/SDIO 成为 SDO 输出。
8. 按时钟输出 16 位 SPI 读操作结果。
 - 前七位是无效位。
 - 接下来的八位是配置寄存器数据。
 - 最后一位是配置寄存器校验位。
9. 升高 \overline{CS} ，完成 SPI 读操作。
10. 将 SCLK/ALERT 更改回输入。

注: Tcsh 被认为是一个时钟。于是，配置寄存器数据出现在 Tcsh 之后的第 6 个时钟。

PIC12F635/PIC16F636/639

11.32.2 命令译码器 / 控制器

电路执行来自单片机的 8 个 SPI 命令。命令结构是：

命令（3 位）+ 配置地址（4 位）+ 数据字节和行校验位，AFE 最高位首先接收行校验位。表 11-5 给出了可用的 SPI 命令。

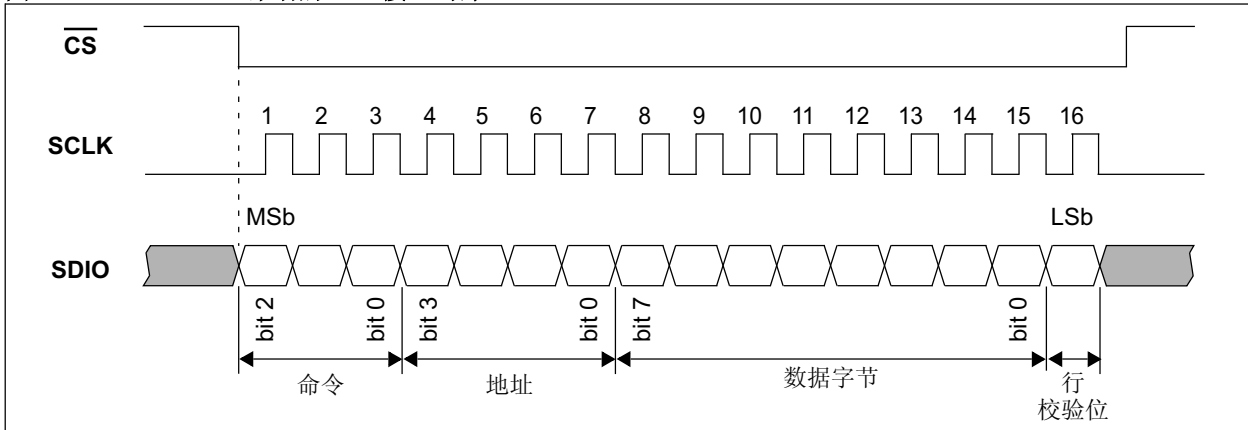
AFE 工作在 SPI 模式 0,0。在模式 0,0，时钟在低状态空闲（图 11-19）。SDI 数据在 SCLK 的上升沿装入 AFE，SDO 数据在 SCLK 的下降沿输出。CS 为低时，时间必须是 16 时钟（SCLK）的整数倍，否则命令将异常中止。

表 11-5: SPI 命令 (AFE)

命令	地址	数据	行校验	说明
仅为命令——“无关”地址和数据，尽管如此，仍需要按时钟输入。				
000	XXXX	XXXX XXXX	X	钳通——使能调制电路
001	XXXX	XXXX XXXX	X	钳断——禁止调制电路
010	XXXX	XXXX XXXX	X	进入休眠模式（任何其他命令将唤醒 AFE）
011	XXXX	XXXX XXXX	X	AGC 保持开——暂存当前 AGC 电平
100	XXXX	XXXX XXXX	X	AGC 保持关——AGC 再次跟踪最强的输入信号
101	XXXX	XXXX XXXX	X	软复位——复位各种电路
读取命令——从指定寄存器地址中读取数据。				
110	0000	配置字节 0	P	通用——正常工作时可能变化的选项
	0001	配置字节 1	P	LCX 天线调节和 LFDATA 输出格式
	0010	配置字节 2	P	LCY 天线调节
	0011	配置字节 3	P	LCZ 天线调节
	0100	配置字节 4	P	LCX 和 LCY 灵敏度衰减
	0101	配置字节 5	P	LCZ 灵敏度衰减和调制深度
	0110	列校验	P	配置字节 0 -> 配置字节 5 的列校验位
	0111	AFE 状态	X	AFE 状态——校验错误、哪个输入处于活动状态，等等
写入命令——把数据写入指定寄存器地址。				
111	0000	配置字节 0	P	通用——正常工作时可能变化的选项
	0001	配置字节 1	P	LCX 天线调节和 LFDATA 输出格式
	0010	配置字节 2	P	LCY 天线调节
	0011	配置字节 3	P	LCZ 天线调节
	0100	配置字节 4	P	LCX 和 LCY 灵敏度衰减
	0101	配置字节 5	P	LCZ 灵敏度衰减和调制深度
	0110	列校验	P	配置字节 0 -> 配置字节 5 的列校验位
	0111	未使用	X	寄存器可读，但不可写
注：	P 表示各数据字节的行校验位（奇校验）。			

PIC12F635/PIC16F636/639

图 11-19: 详细的 SPI 接口时序 (AFE)



11.32.2.1 钳通命令

钳通命令将激活（导通）所有已使能通道的调制晶体管，通道在配置寄存器 0（寄存器 11-1）中被使能。

11.32.2.2 钳断命令

钳断命令将使所有已使能通道的调制晶体管失效（截止）。

11.32.2.3 休眠命令

休眠命令将使 AFE 进入休眠模式——通过禁止除基本电路以外的所有电路，使电流消耗最小。任何其他命令都将唤醒 AFE（如：钳断命令）。

11.32.2.4 软复位命令

当 AFE 收到外部软复位命令时，就将产生软复位。外部软复位命令通常用来终止 SPI 通讯，或用来为下一个信号检波序列初始化 AFE，等等。软复位的更多信息请参见 11.20 “软复位”。

如果软复位是在“钳通”状态下发送的，那么在软复位执行之后 AFE 仍将保持“钳通”状态。软复位仅在活动模式下执行，而不在待机模式下执行。如果 AFE 不处于活动模式下，SPI 软复位命令将被忽略。

11.32.2.5 AGC 保持开命令

AGC 保持开（AGC Preserve On）命令将保持每个 AGC 稳定时间内的 AGC 电平，然后将保持值应用于数据分割电路上，供后续数据流使用。保持的 AGC 值将被软复位复位，当新的 AGC 稳定时间开始时，将获取并保持新的 AGC 值。AGC 保持关（AGC Preserve Off）命令将禁止此功能（见 11.19 “AGC 保持”）。

11.32.2.6 AGC 保持关命令

此命令将禁止 AGC 保持功能，使 AFE 返回正常的 AGC 跟踪模式：在 AGC 稳定时间内快速跟踪，在稳定时间之后缓慢跟踪（见 11.19 “AGC 保持”）。

11.32.3 配置寄存器

AFE 有 8 个配置寄存器，包括一个列校验寄存器和 AFE 状态寄存器。除状态寄存器之外的所有寄存器都可通过 SPI 进行读写。每个寄存器（除 AFE 状态寄存器以外）的 Bit 0 是行校验位，它使寄存器中置 1 的位数为奇数。

PIC12F635/PIC16F636/639

表 11-6: 模拟前端配置寄存器汇总

寄存器名称	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
配置寄存器 0	OEH		OEL		ALRTIND	LCZEN	LCYEN	LCXEN	R0PAR
配置寄存器 1	DATOUT				通道 X 调节电容				R1PAR
配置寄存器 2	RSSIFET	CLKDIV	通道 Y 调节电容				R2PAR		
配置寄存器 3	未用		通道 Z 调节电容				R3PAR		
配置寄存器 4	通道 X 灵敏度控制				通道 Y 灵敏度控制				R4PAR
配置寄存器 5	AUTOCHSEL	AGCSIG	MODMIN	MODMIN	通道 Z 灵敏度控制				R5PAR
配置寄存器 6	列校验位								R6PAR
AFE 状态寄存器 7	活动通道指示器			AGCACT	唤醒通道指示器			ALARM	PEI

寄存器 11-1: 配置寄存器 0 (地址: 0000)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
OEH1	OEH0	OEL1	OEL0	ALRTIND	LCZEN	LCYEN	LCXEN	R0PAR	
bit 8									bit 0

- bit 8-7 **OEH<1:0>**: 输出使能滤波器高持续时间 (TOEH) 位
 00 = 禁止输出使能滤波器 (不需要唤醒序列, 把所有信号传送给 LFDATA)
 01 = 1 ms
 10 = 2 ms
 11 = 4 ms
- bit 6-5 **OEL<1:0>**: 输出使能滤波器低持续时间 (TOEL) 位
 00 = 1 ms
 01 = 1 ms
 10 = 2 ms
 11 = 4 ms
- bit 4 **ALRTIND**: $\overline{\text{ALERT}}$ 位, 输出由以下触发:
 1 = 校验错误和 / 或报警定时器到期 (接收噪声, 参见 11.14.3 “报警定时器”)
 0 = 校验错误
- bit 3 **LCZEN**: LCZ 使能位
 1 = 禁止
 0 = 使能
- bit 2 **LCYEN**: LCY 使能位
 1 = 禁止
 0 = 使能
- bit 1 **LCXEN**: LCX 使能位
 1 = 禁止
 0 = 使能
- bit 0 **R0PAR**: 寄存器校验位——置 1/ 清零, 从而 9 位寄存器为奇校验——置 1 的位数为奇数

图注:

R = 可读位	W = 可写位	U = 未用位, 读为 0
- n = POR 值	1 = 置 1	0 = 清零
		x = 未知

PIC12F635/PIC16F636/639

寄存器 11-2: 配置寄存器 1 (地址: 0001)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
DATOUT1	DATOUT0	LCXTUN5	LCXTUN4	LCXTUN3	LCXTUN2	LCXTUN1	LCXTUN0	R1PAR
bit 8								bit 0

bit 8-7 **DATOUT<1:0>**: LFDATA 输出类型位

00 = 解调输出
 01 = 载波时钟输出
 10 = RSSI 输出
 11 = RSSI 输出

bit 6-1 **LCXTUN<5:0>**: LCX 调节电容位

000000 = +0 pF (缺省值)
 :
 111111 = +63 pF

bit 0 **R1PAR**: 寄存器校验位——置 1/ 清零, 从而 9 位寄存器为奇校验——置 1 的位数为奇数

图注:			
R = 可读位	W = 可写位	U = 未用位, 读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

寄存器 11-3: 配置寄存器 2 (地址: 0010)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
RSSIFET	CLKDIV	LCYTUN5	LCYTUN4	LCYTUN3	LCYTUN2	LCYTUN1	LCYTUN0	R2PAR
bit 8								bit 0

bit 8 **RSSIFET**: LFDATA 引脚上下拉 MOSFET 位 (仅在 RSSI 模式下可以被用户控制)

1 = 下拉 RSSI MOSFET 开启
 0 = 下拉 RSSI MOSFET 关闭

bit 7 **CLKDIV**: 载波时钟除以为

1 = 载波时钟 /4
 0 = 载波时钟 /1

bit 6-1 **LCYTUN<5:0>**: LCY 调节电容位

000000 = +0 pF (缺省值)
 :
 111111 = +63 pF

bit 0 **R2PAR**: 寄存器校验位——置 1/ 清零, 从而 9 位寄存器为奇校验——置 1 的位数为奇数

图注:			
R = 可读位	W = 可写位	U = 未用位, 读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

PIC12F635/PIC16F636/639

寄存器 11-4: 配置寄存器 3 (地址: 0011)

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
—	—	LCZTUN5	LCZTUN4	LCZTUN3	LCZTUN2	LCZTUN1	LCZTUN0	R3PAR	
bit 8									bit 0

bit 8-7 未用: 读为 0

bit 6-1 **LCZTUN<5:0>**: LCZ 调节电容位

000000 = +0 pF (缺省值)

:

111111 = +63 pF

bit 0 **R3PAR**: 寄存器校验位——置 1/ 清零, 从而 9 位寄存器为奇校验——置 1 的位数为奇数

图注:

R = 可读位

W = 可写位

U = 未用位, 读为 0

-n = POR 值

1 = 置 1

0 = 该位被清零

x = 未知

寄存器 11-5: 配置寄存器 4 (地址: 0100)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
LCXSEN3	LCXSEN2	LCXSEN1	LCXSEN0	LCYSEN3	LCYSEN2	LCYSEN1	LCYSEN0	R4PAR	
bit 8									bit 0

bit 8-5 **LCXSEN<3:0>⁽¹⁾**: 典型的 LCX 灵敏度衰减位

0000 = -0 dB (缺省值)

0001 = -2 dB

0010 = -4 dB

0011 = -6 dB

0100 = -8 dB

0101 = -10 dB

0110 = -12 dB

0111 = -14 dB

1000 = -16 dB

1001 = -18 dB

1010 = -20 dB

1011 = -22 dB

1100 = -24 dB

1101 = -26 dB

1110 = -28 dB

1111 = -30 dB

bit 4-1 **LCYSEN<3:0>⁽¹⁾**: 典型的 LCY 灵敏度衰减位

0000 = -0 dB (缺省值)

:

1111 = -30 dB

bit 0 **R4PAR**: 寄存器校验位——置 1/ 清零, 从而 9 位寄存器为奇校验——置 1 的位数为奇数

注 1: 设计为严格单调递增 (或递减)。

图注:

R = 可读位

W = 可写位

U = 未用位, 读为 0

-n = POR 值

1 = 置 1

0 = 清零

x = 未知

PIC12F635/PIC16F636/639

寄存器 11-6: 配置寄存器 5 (地址: 0101)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
AUTOCHSEL	AGCSIG	MODMIN1	MODMIN0	LCZSEN3	LCZSEN2	LCZSEN1	LCZSEN0	R5PAR
bit 8								bit 0

- bit 8 **AUTOCHSEL**: 自动通道选择位
 1 = 使能——AFE 选择在 TSTAB 结束时解调器输出“高”的通道; 否则阻塞通道。
 0 = 禁止——AFE 服从寄存器 0 中定义的通道使能 / 禁止位。
- bit 7 **AGCSIG**: 解调器输出使能位, 在 AGC 回路处于活动状态之后
 1 = 使能——在 AGC 调节到输入引脚 20 mVPP 左右之前无输出。AGC 开始调节时, AGC 活动状态位置 1。
 0 = 禁止——AFE 传送任何它能检测到的信号
- bit 6-5 **MODMIN<1:0>**: 最小调制深度位
 00 = 50%
 01 = 75%
 10 = 25%
 11 = 12%
- bit 4-1 **LCZSEN<3:0>⁽¹⁾**: LCZ 灵敏度衰减位
 0000 = -0dB (缺省值)
 :
 1111 = -30dB
- bit 0 **R5PAR**: 寄存器校验位——置 1/ 清零以使 9 位寄存器为奇校验——置 1 的位数为奇数
 注 1: 设计为严格单调递增 (或递减)。

图注:			
R = 可读位	W = 可写位	U = 未用位, 读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

寄存器 11-7: 列校验寄存器 6 (地址: 0110)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
COLPAR7	COLPAR6	COLPAR5	COLPAR4	COLPAR3	COLPAR2	COLPAR1	COLPAR0	R6PAR
bit 8								bit 0

- bit 8 **COLPAR7**: 置 1/ 清零, 以使第 8 个校验位 + 配置寄存器行校验位之和为奇数个置 1 的位。
- bit 7 **COLPAR6**: 置 1/ 清零, 以使第 7 个校验位 + 配置寄存器 0 到 5 中第 7 位之和为奇数个置 1 的位。
- bit 6 **COLPAR5**: 置 1/ 清零, 以使第 6 个校验位 + 配置寄存器 0 到 5 中第 6 位之和为奇数个置 1 的位。
- bit 5 **COLPAR4**: 置 1/ 清零, 以使第 5 个校验位 + 配置寄存器 0 到 5 中第 5 位之和为奇数个置 1 的位。
- bit 4 **COLPAR3**: 置 1/ 清零, 以使第 4 个校验位 + 配置寄存器 0 到 5 中第 4 位之和为奇数个置 1 的位。
- bit 3 **COLPAR2**: 置 1/ 清零, 以使第 3 个校验位 + 配置寄存器 0 到 5 中第 3 位之和为奇数个置 1 的位。
- bit 2 **COLPAR1**: 置 1/ 清零, 以使第 2 个校验位 + 配置寄存器 0 到 5 中第 2 位之和为奇数个置 1 的位。
- bit 1 **COLPAR0**: 置 1/ 清零, 以使第 1 个校验位 + 配置寄存器 0 到 5 中第 1 位之和为奇数个置 1 的位。
- bit 0 **R6PAR**: 寄存器校验位——置 1/ 清零, 从而 9 位寄存器为奇校验——置 1 的位数为奇数

图注:			
R = 可读位	W = 可写位	U = 未用位, 读为 0	
-n = POR 值	1 = 置 1	0 = 清零	x = 未知

PIC12F635/PIC16F636/639

寄存器 11-8: AFE 状态寄存器 (地址: 0111)

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
CHZACT	CHYACT	CHXACT	AGCACT	WAKEZ	WAKEY	WAKEX	ALARM	PEI
bit 8								bit 0

- bit 8 **CHZACT**: 通道 Z 激活⁽¹⁾ 位 (由软复位清零)
 1 = TAGC 之后, 通道 Z 传送数据
 0 = TAGC 之后, 通道 Z 不传送数据
- bit 7 **CHYACT**: 通道 Y 激活⁽¹⁾ 位 (由软复位清零)
 1 = TAGC 之后, 通道 Y 传送数据
 0 = TAGC 之后, 通道 Y 不传送数据
- bit 6 **CHXACT**: 通道 X 激活⁽¹⁾ 位 (由软复位清零)
 1 = TAGC 之后, 通道 X 传送数据
 0 = TAGC 之后, 通道 X 不传送数据
- bit 5 **AGCACT**: AGC 激活状态位 (实时, 由软复位清零)
 1 = AGC 激活 (输入信号强)。当输入信号电压约 > 20 mVPP 时, AGC 处于激活状态。
 0 = AGC 静止 (输入信号弱)
- bit 4 **WAKEZ**: 唤醒通道 Z 指示器状态位 (由软复位清零)
 1 = 通道 Z 导致 AFE 唤醒 (传送 +64 时钟计数器)
 0 = 通道 Z 未导致 AFE 唤醒
- bit 3 **WAKEY**: 唤醒通道 Y 指示器状态位 (由软复位清零)
 1 = 通道 Y 导致 AFE 唤醒 (传送 +64 时钟计数器)
 0 = 通道 Y 未导致 AFE 唤醒
- bit 2 **WAKEX**: 唤醒通道 X 指示器状态位 (由软复位清零)
 1 = 通道 X 导致 AFE 唤醒 (传送 +64 时钟计数器)
 0 = 通道 X 未导致 AFE 唤醒
- bit 1 **ALARM**: 表明是否发生报警定时器超时 (由读“状态寄存器命令”清除)
 1 = 报警定时器超时。可能导致 $\overline{\text{ALERT}}$ 输出变低, 取决于配置寄存器 0 中 bit 4 的状态
 0 = 报警定时器没有超时
- bit 0 **PEI**: 校验错误指示位——指明是否已产生配置寄存器校验错误 (实时)
 1 = 发生校验错误, 致使 $\overline{\text{ALERT}}$ 输出变低
 0 = 没有发生校验错误

注 1: 无论通道是否传送数据, 该位均为 1。在待机模式下该位为 0。

图注:

R = 可读位	W = 可写位	U = 未用位, 读为 0
- n = POR 值	1 = 置 1	0 = 清零
		x = 未知

各种 SPI 命令和 AFE 上电复位之后, AFE 状态寄存器的位状态可参见表 11-7。

PIC12F635/PIC16F636/639

表 11-7: AFE 状态寄存器位状态 (上电复位和各种 SPI 命令后)

条件	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
	CHZACT	CHYACT	CHXACT	AGCACT	WAKEZ	WAKEY	WAKEX	ALARM	PEI
POR	0	0	0	0	0	0	0	0	1
读命令 (仅限状态寄存器)	u	u	u	u	u	u	u	0	u
休眠命令	u	u	u	u	u	u	u	u	u
软复位执行 ⁽¹⁾	0	0	0	0	0	0	0	u	u

图注: u = 不变

注 1: 软复位执行的状态, 见 11.20 “软复位” 和 11.32.2.4 “软复位命令”。

PIC12F635/PIC16F636/639

12.0 CPU 的特殊功能

PIC12F635/PIC16F636/639 有许多功能，用来最大限度地增强系统可靠性，减少外部器件以最大限度地降低成本，并提供省电工作模式和代码保护功能

这些功能包括：

- 复位
 - 上电复位 (POR)
 - 唤醒复位 (WUR)
 - 上电延时定时器 (PWRT)
 - 振荡器起振定时器 (OST)
 - 欠压检测 (BOD)
- 中断
- 看门狗定时器 (WDT)
- 振荡器选择
- 休眠
- 代码保护
- ID 地址单元
- 在线串行编程

PIC12F635/PIC16F636/639 有两个定时器，可提供上电时必须的延时。其中一个为振荡器起振定时器 (OST)，用于确保器件在晶体振荡器稳定之前处于复位状态。另一个为上电延时定时器 (PWRT)，仅在上电时提供 64 ms (标称值) 的固定延时，用来确保器件在电源电压稳定之前处于复位状态。而且，器件还有在出现欠压情况时复位器件的内部电路，该电路可使用上电延时定时器，提供至少标称 64 ms 的复位。由于片内已具有这三种功能，对于大多数应用来说无需外部复位电路。

休眠模式的设计提供了一种极低电流消耗的断电工作模式。用户可通过以下方法把器件从休眠中唤醒：

- 外部复位
- 看门狗定时器唤醒
- 中断

器件还具有几种不同的振荡器模式，以满足不同应用场合的需要。选择 INTOSC 模式可以节省系统成本，而选择 LP 晶体模式则可以降低功耗。通过配置位的设定可选择不同的振荡器模式 (见寄存器 12-1)。

12.1 配置字的位

通过编程配置字的位 (读为 0) 或不编程 (读为 1)，可以选择各种器件配置，如寄存器 12-1 所示。这些寄存器位在程序存储器中的映射地址为 2007h。

注： 地址 2007h 在用户程序存储器空间以外，属于特殊配置存储空间 (2000h - 3FFFh)，仅可在编程时对其进行访问。更多信息可参见“PIC12F6XX/16F6XX Memory Programming Specification” (DS41204)。

PIC12F635/PIC16F636/639

寄存器 12-1: CONFIG——配置字（地址：2007h）

U-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1
—	\overline{WURE}	FCMEN	IESO	BODEN1	BODEN0	\overline{CPD}	\overline{CP}	MCLRE	$\overline{PWRTE}^{(1)}$	WDTE	FOSC2	FOSC1	FOSCO
bit 13													bit 0

- bit 13 未用：读为 1
- bit 12 **WURE**：唤醒复位使能位
1 = 使能标准唤醒和继续
0 = 使能唤醒和复位
- bit 11 **FCMEN**：故障保护时钟监控器使能位
1 = 使能故障保护时钟监控器
0 = 禁止故障保护时钟监控器
- bit 10 **IESO**：内部 / 外部切换位
1 = 使能内部外部切换模式
0 = 禁止内部外部切换模式
- bit 9-8 **BODEN<1:0>**：欠压检测使能位
11 = 使能 BOD，且禁止 SBODEN 位
10 = 运行时使能 BOD，休眠时禁止 BOD。禁止 SBODEN 位。
01 = 寄存器 2-6 中的 SBODEN 控制 BOD 功能
00 = 禁止 BOD 和 SBODEN
- bit 7 **CPD**：数据代码保护位
1 = 数据存储单元未受保护
0 = 数据存储单元外部写保护
- bit 6 **CP**：代码保护位
1 = 程序存储器未受代码保护
0 = 程序存储器外部读写保护
- bit 5 **MCLRE**：MCLR 引脚功能选择位
1 = MCLR 引脚为 MCLR 功能，使能弱内部上拉
0 = MCLR 引脚为其他功能，MCLR 功能被内部禁止
- bit 4 **PWRTE**：上电延时定时器使能位 ⁽¹⁾
1 = 禁止 PWRT
0 = 使能 PWRT
- bit 3 **WDTE**：看门狗定时器使能位
1 = 使能 WDT
0 = WDT 被禁止，但可以用寄存器 12-2 中的 SWDTEN 位使能
- bit 2-0 **FOSC<2:0>**：振荡器选择位
000 = LP 振荡器。低功耗晶振在 RA5/T1CKI/OSC1/CLKIN 和 RA4/T1G/OSC2/CLKOUT 上
001 = XT 振荡器。晶振 / 谐振器在 RA5/T1CKI/OSC1/CLKIN 和 RA4/T1G/OSC2/CLKOUT 上
010 = HS 振荡器。高速晶体 / 谐振器在 RA5/T1CKI/OSC1/CLKIN 和 RA4/T1G/OSC2/CLKOUT 上
011 = EC：RA4/T1G/OSC2/CLKOUT 作为 I/O 引脚，RA5/T1CKI/OSC1/CLKIN 作为 CLKIN
100 = INTOSCIO 振荡器。RA4/T1G/OSC2/CLKOUT 作为 I/O 引脚，RA5/T1CKI/OSC1/CLKIN 作为 I/O 引脚
101 = INTOSC 振荡器。RA4/T1G/OSC2/CLKOUT 作为 CLKOUT 引脚，RA5/T1CKI/OSC1/CLKIN 作为 I/O 引脚
110 = EXTRCIO 振荡器。RA4/T1G/OSC2/CLKOUT 作为 I/O 引脚，RA5/T1CKI/OSC1/CLKIN 作为 RC
111 = EXTRC 振荡器。RA4/T1G/OSC2/CLKOUT 作为 CLKOUT 引脚，RA5/T1CKI/OSC1/CLKIN 作为 RC 引脚

注 1：使能欠压检测不会自动使能上电延时定时器（PWRT）。

图注：

R = 可读位	W = 可写位	U = 未用位，读为 0
-n = 上电复位值	1 = 置 1	0 = 清零
		x = 未知

12.2 复位

PIC12F635/PIC16F636/639 有以下几种不同的复位:

- a) 上电复位 (POR)
- b) 唤醒复位 (WUR)
- c) 正常工作状态下的 WDT 复位
- d) 休眠状态下的 WDT 复位
- e) 正常工作状态下的 MCLR 复位
- f) 休眠状态下的 MCLR 复位
- g) 欠压检测 (BOD) 复位

有些寄存器的状态在任何复位条件下都不会受到影响; 上电复位时它们的状态是不确定的, 而在其他复位发生时其状态将保持不变。其他大多数寄存器在以下复位事件发生时将被复位成“复位状态”:

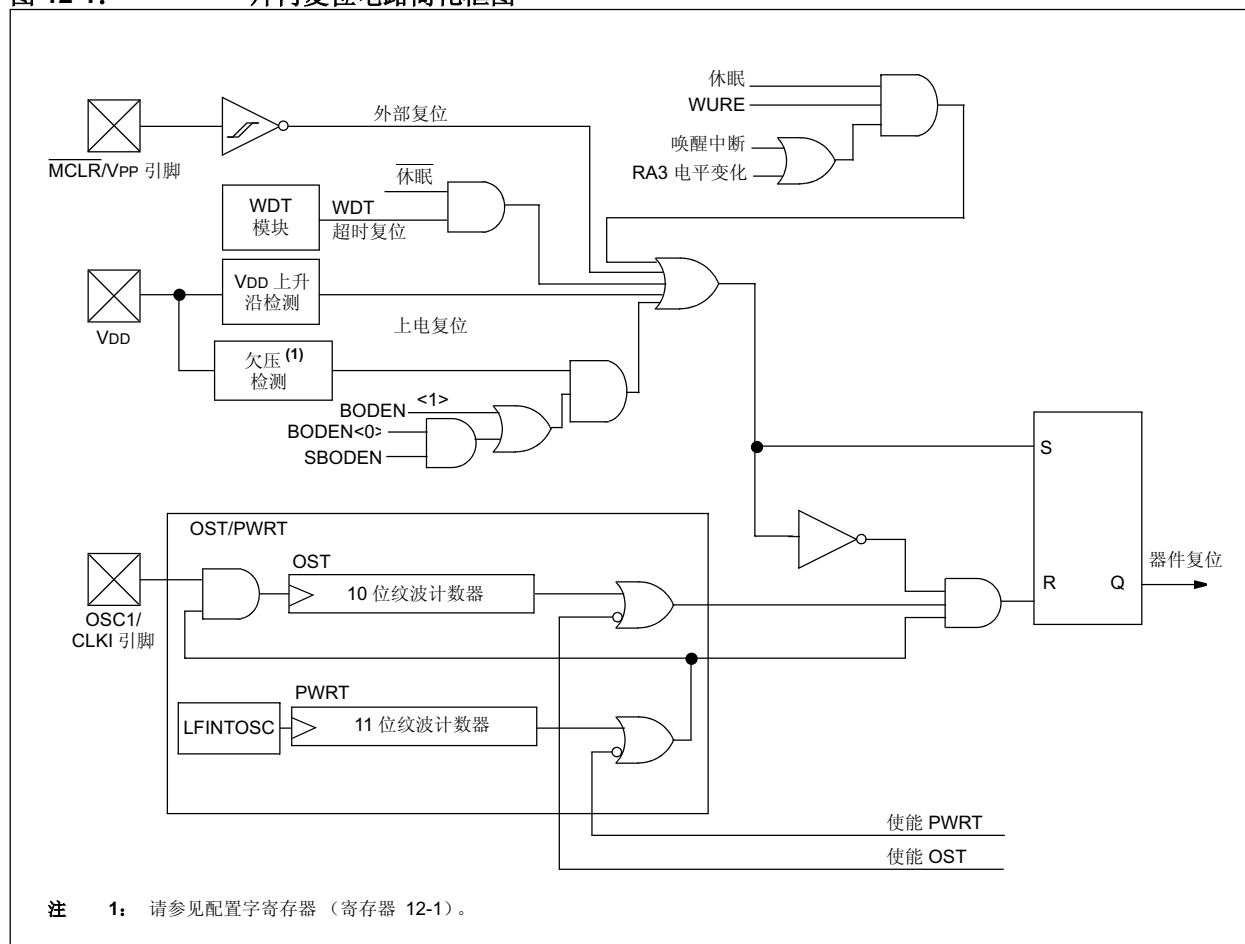
- 上电复位
- MCLR 复位
- 休眠状态下的 MCLR 复位
- WDT 复位
- 欠压检测复位

但它们不受 WDT 唤醒的影响, 这是因为这种情况被视为正常操作的继续。不同复位条件下 \overline{TO} 和 \overline{PD} 位是置 1 还是清零也有所不同, 如表 12-3 所示。这些位在软件中使用, 以确定复位的性质。有关复位条件下所有寄存器状态的完整说明见表 12-4。

图 12-1 给出了片内复位电路的简化结构框图。

\overline{MCLR} 复位路径上有一个噪声滤波器, 用来检测和滤除小脉冲。脉冲宽度的技术参数可参见 15.0 “电气特性”。

图 12-1: 片内复位电路简化框图



PIC12F635/PIC16F636/639

12.3 上电复位

在 VDD 达到适合器件正常工作的电平之前，片内 POR 电路将使器件保持在复位状态。要利用 POR，可通过一个电阻简单地把 MCLR 引脚连接到 VDD 即可。这样可省去建立上电复位电路通常所需的外部 RC 元件。VDD 的最大上升时间必须得到满足，详见 15.0 “电气特性”。如果 BOD 被使能，最大上升时间参数将不再适用。BOD 电路将使器件保持在复位状态直至 VDD 达到 VBOD（见 12.6 “欠压检测 (BOD)”）。

注： 当 VDD 跌落时，POR 电路将不会产生内部复位。要再次使能 POR，VDD 须达到 VSS 并保持至少 100 μ s。

当器件开始正常工作时（退出复位状态），器件工作参数（即电压、频率和温度等）必须满足技术要求以确保正常运行。如果这些要求得不到满足，则器件必须保持在复位状态，直到满足为止。

更多信息可参见应用笔记 AN607 “Power-up Trouble Shooting”（DS00607）。

12.4 唤醒复位 (WUR)

PIC12F635/PIC16F636/639 具有改进的从休眠状态唤醒的机制。当从休眠中唤醒时，WUR 功能将使器件复位，当 VDD 达到可接受水平时，WUR 功能使器件退出复位状态。

如果在配置字寄存器中 WURE 位使能 (0)，通过下列事件之一，器件将从休眠中唤醒复位：

1. 任何导致唤醒复位事件的事件发生。必须使能外设，以便产生中断或唤醒，GIE 状态被忽略。
2. 当 WURE 使能时，在休眠状态下 RA3 将始终产生电平变化中断信号。

PCON 寄存器中 WUR、POR 和 BOD 位，以及状态寄存器中 TO 和 PD 位，可以用来确定器件复位的原因。

要允许 RA3 电平变化的 WUR，应

1. 使能 WUR 功能，WURE 配置位 = 0。
2. 使能 RA3，使之作为输入，MCLRE 配置位 = 0。
3. 读取 PORTA，确定 RA3 的当前状态。
4. 执行 SLEEP 指令。
5. 当 RA3 状态改变时，器件将唤醒，然后复位。PCON 中的 WUR 位将被清零。

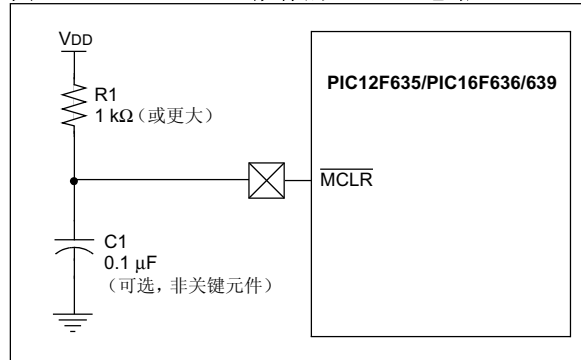
12.5 MCLR

PIC12F635/PIC16F636/639 在 MCLR 复位路径上有一个噪声滤波器。滤波器将滤除小脉冲。

应该注意的是，WDT 复位不会驱动 MCLR 引脚为低电平。推荐的 MCLR 电路，见图 12-2。

通过清除配置字寄存器中的 MCLRE 位，可使能内部 MCLR 功能。一旦使能，MCLR 则从内部连接至 VDD，且内部弱上拉将被使能用于 MCLR 引脚。选择内部 MCLR 功能并不影响在线串行编程。

图 12-2: 推荐的 MCLR 电路



12.6 欠压检测 (BOD)

配置字寄存器中的 BODEN0 和 BODEN1 位用来选择四个 BOD 模式之一。增加了两个模式，以允许软件或硬件控制 BOD 使能。当 BODEN<1:0> = 01 时，SBODEN 位 (PCON<4>) 使能 / 禁止 BOD，允许软件控制 BOD。通过选择 BODEN<1:0>，休眠状态下 BOD 被自动禁止以节省功耗，唤醒时 BOD 将被自动使能。在此模式下，SBODEN 位被禁止。配置字寄存器的定义见寄存器 12-1。

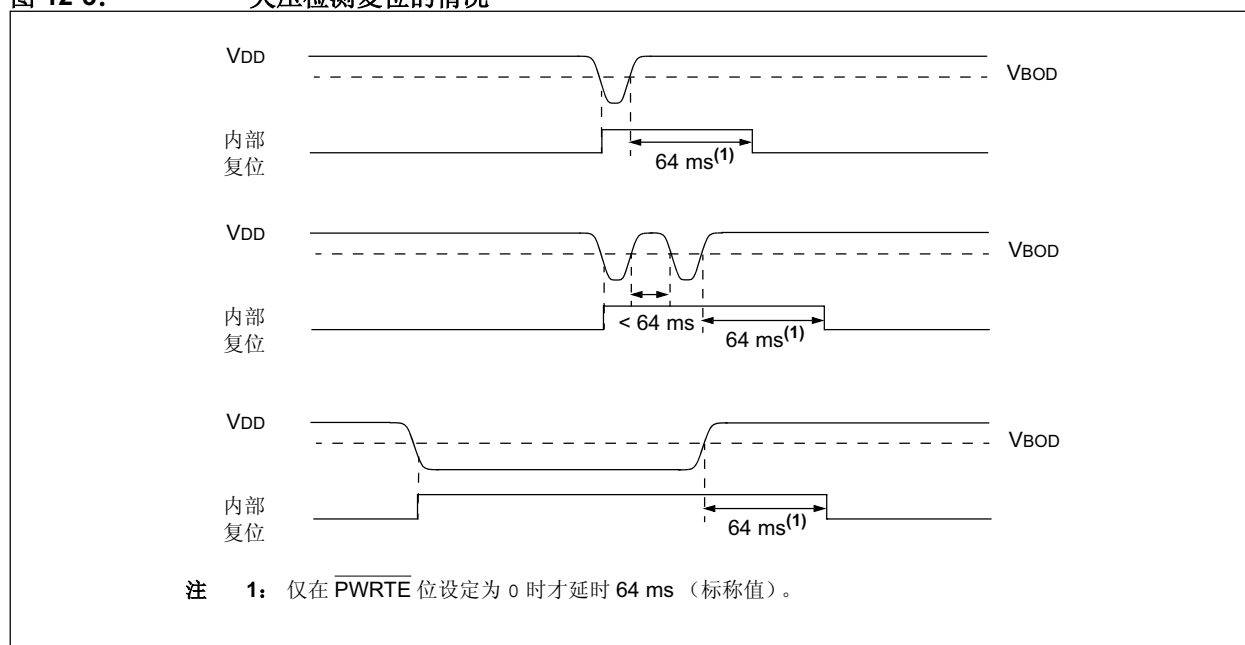
如果 VDD 跌落至 VBOD 以下，且持续时间大于参数 (TBOD) (见 15.0 “电气特性”)，此时无论 VDD 转换率如何，欠压情形都将使器件复位。如果 VDD 跌落至 VBOD 以下的时间小于规定参数 (TBOD)，将不保证一定产生复位。

任何复位发生时 (上电复位、欠压复位或看门狗定时器复位等)，器件将保持复位状态，直至 VDD 上升到 BVDD 以上 (见图 12-3)。此时上电延时定时器启动 (如果已使能的话)，并将使器件在随后 64 ms (标称值) 中处于延时复位状态。

注： 通过配置字寄存器中的 PWRTE 位，使能上电延时定时器。

如果在上电延时定时器运行过程中，VDD 跌落至 VBOD 以下，器件将返回欠压检测复位状态，上电延时定时器将被重新初始化。一旦 VDD 上升至 VBOD 以上，上电延时定时器将执行一个 64 ms 的复位。

图 12-3: 欠压检测复位的情况



PIC12F635/PIC16F636/639

12.7 延时顺序

上电时，延时顺序如下：首先，在 POR 结束之后，启动 PWRT 定时；随后，在 PWRT 结束之后，OST 将被激活。总延时根据振荡器配置和 PWRTE 位的状态不同而有所变化。例如，在 EC 模式下，当 PWRTE 位被擦除（PWRT 被禁止），此时将不会产生任何超时。图 12-4、图 12-5 和图 12-6 所示为延时顺序。当 OST 处于活动状态时，通过使能双速启动或故障保护时钟监控器，器件能够通过 INTOSC 执行代码。（见 3.6.2 “双速启动顺序”和 3.7 “故障保护时钟监控器”）。

由于延时的发生来自于 POR 脉冲，如果 MCLR 在足够长时间内保持低电平，延时将终止。此后，将 MCLR 拉高将立即执行代码（见图 12-5）。这对于测试或同步并行工作的多个 PIC12F635/PIC16F636/639 器件非常有用。

表 12-5 给出了一些特殊寄存器在复位时的状态，而表 12-4 所示为所有寄存器在复位时的状态值。

表 12-1: 各种情况下的延时

振荡器配置	上电		欠压检测		从休眠中唤醒
	PWRTE = 0	PWRTE = 1	PWRTE = 0	PWRTE = 1	
XT、HS、LP	TPWRT + 1024 · TOSC	1024 · TOSC	TPWRT + 1024 · TOSC	1024 · TOSC	1024 · TOSC
RC、EC、INTOSC	TPWRT	—	TPWRT	—	—

表 12-2: 欠压检测相关寄存器汇总

地址	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR/BOD/WUR 时的值	其他复位值 ⁽¹⁾
03h	STATUS	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxx	000q quuu
8Eh	PCON	—	—	ULPWUE	SBODEN	\overline{WUR}	—	\overline{POR}	\overline{BOD}	--01 q-qq	--0u u-uu

图注: u = 不变, x = 未知, — = 未用, 读为 0, q = 值取决于具体条件。BOD 不使用阴影单元。

注 1: 其他复位（非上电复位）包括正常操作中的 MCLR 复位和看门狗定时器复位。

12.8 电源控制（PCON）寄存器

电源控制寄存器 PCON（地址 8Eh）有两个状态位，用来指明上次发生的复位的类型。

Bit 0 是 \overline{BOD} （欠压检测）。上电复位时 \overline{BOD} 不确定。随后用户必须对其置 1，并检测在随后的复位中 BOD 是否仍为 0；如果 BOD = 0，则表示发生欠压检测复位。BOD 状态位是“无关”位，如果欠压检测电路被禁止（在配置字中寄存器中，BODEN<1:0> = 00），BOD 状态位并不总是可预知的。

Bit 1 是 \overline{POR} （上电复位）。该位在上电复位时为 0，在其他情况下不受影响。在上电复位后，用户必须将该位置 1。在随后的复位中，如果 POR 为 0，表明发生了上电复位（即 VDD 可能过低）。

更多信息请参见 4.2.3 “超低功耗唤醒”和 12.6 “欠压检测（BOD）”。

PIC12F635/PIC16F636/639

表 12-3: PCON 位及其含义

POR	BOD	WUR	TO	PD	条件
0	x	x	1	1	上电复位
u	0	u	1	1	欠压检测
u	u	u	0	u	WDT 复位
u	u	u	0	0	WDT 唤醒
u	u	u	u	u	正常工作中的 $\overline{\text{MCLR}}$ 复位
u	u	u	1	0	休眠模式下的 $\overline{\text{MCLR}}$ 复位
u	u	0	1	0	休眠模式下的唤醒复位
u	0	u	1	1	休眠模式下的欠压检测

图注: u = 不变, x = 未知

PIC12F635/PIC16F636/639

图 12-4: 上电复位时的延时时序 ($\overline{\text{MCLR}}$ 未接至 VDD): 情形 1

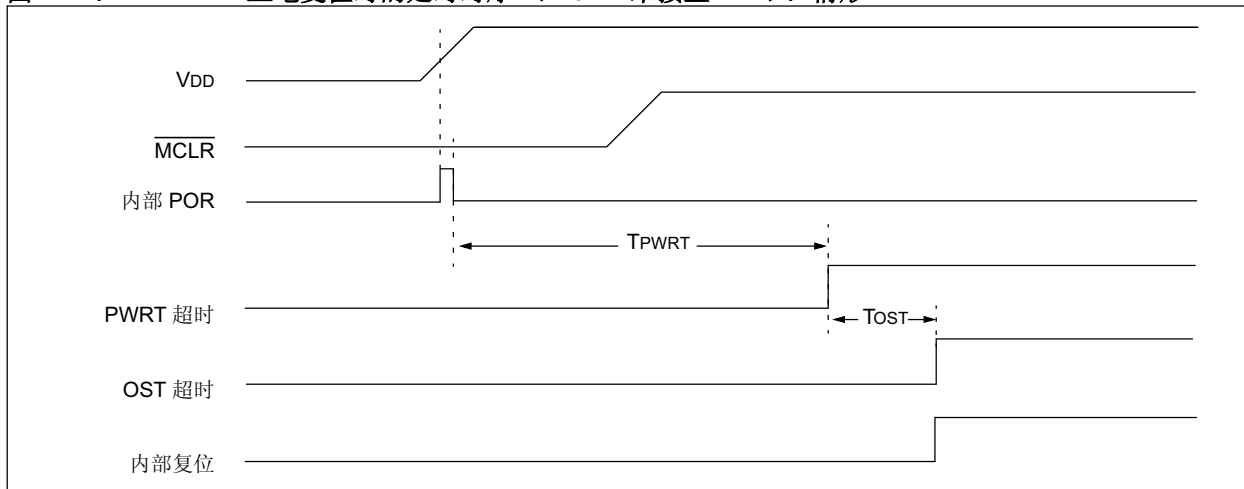


图 12-5: 上电复位时的延时时序 ($\overline{\text{MCLR}}$ 未接至 VDD): 情形 2

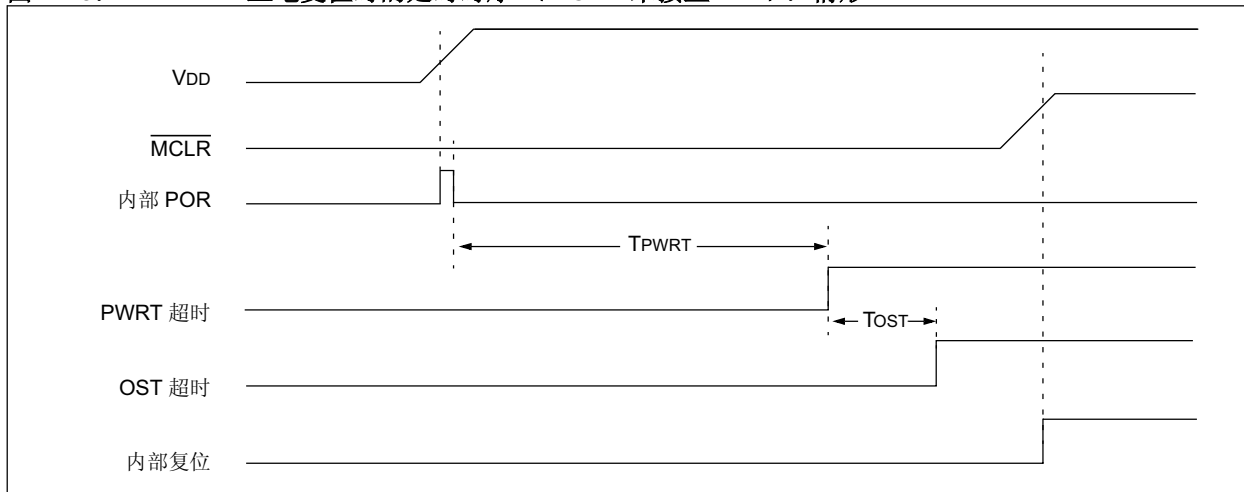


图 12-6: 上电复位时的延时时序 ($\overline{\text{MCLR}}$ 接至 VDD)

