

## PLL 在 MODELSIM SE 中的仿真步骤

www.Cytech.com

说明：本文基于 Modelsim 6.0 SE 版本和 Quartus II 4.2+SP1 版本,详细讲述 PLL 在 Modelsim SE 版本中的仿真步骤.其仿真步骤同样适合 Altera 公司另外的 Megacore。这里以 PLL 完成 20→40M 的倍频功能为例说明。

准备工作:

1. 在 Quartus II 中执行 Tools→Mega-Wizard.....向导产生的 PLL 文件为 PLL.V.Source Code 附后.
2. 并为 PLL.V 文件书写 Testbench, 命名为 Test\_Pll.V. Source Code 附后.
3. 在 D 盘上新建名为 Test 的文件夹.

1. 执行 File→New→Project 命令,如图 1 新建工程 所示.

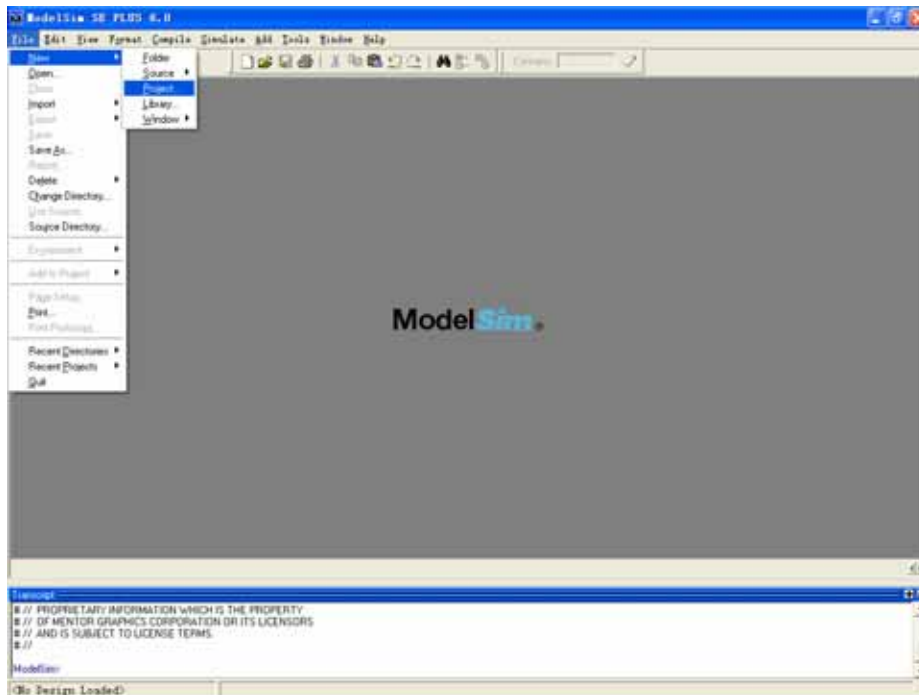


图 1 新建工程

2. 执行完第一步后,弹出图 2 对话框.Project name 命名为 test, Project Location 指向 D:/test, Default Library name 填写 work.如图 2 创建工程所示.

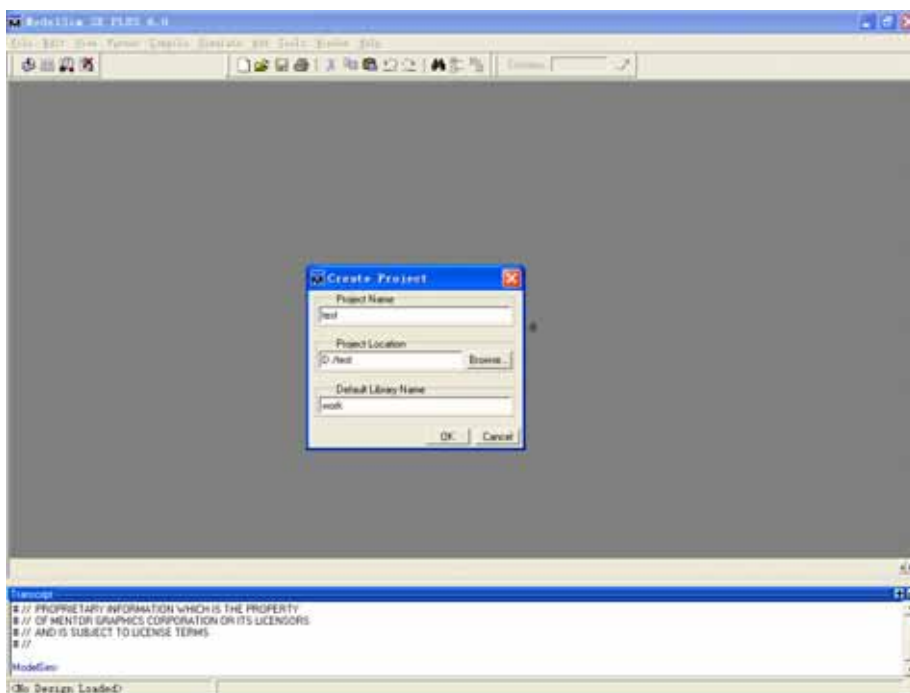


图 2 创建工程

3. 点击 OK,进入图 3. Add File to the Project 对话框.单击”Add existing file”,弹出 Add file to project 对话框.

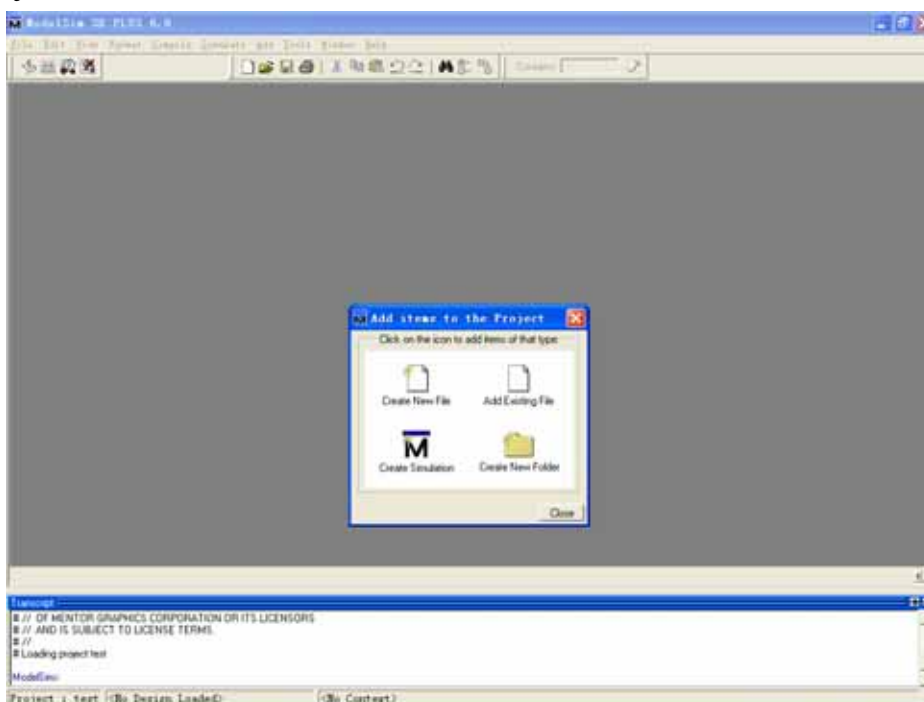


图 3. Add File to the Project 对话框

4. ,单击”File Name”右边的 Browse.导入 altera\_mf.v 和 220model.v 文件(Quartus II 安装目录 X:\QuartusII\eda\sim\_lib).

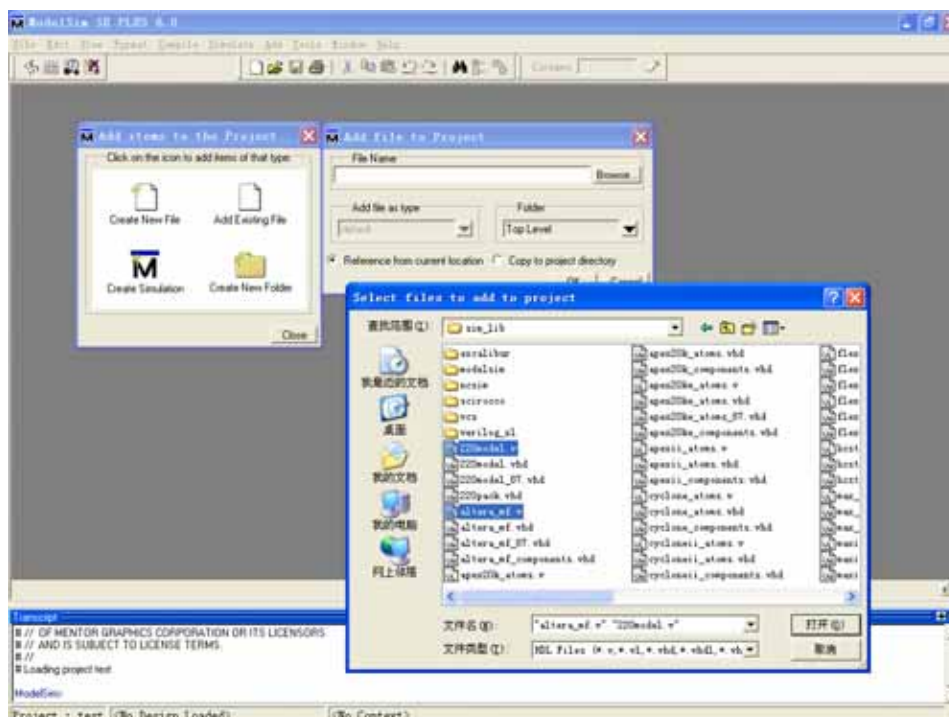


图 4 导入 altera\_mf.v 和 220model.v 文件

5. 单击“打开”,在 Add File to project 对话框中单击“OK”,得到图 5. 成功添加 altera\_mf.v 和 220model.v 文件.

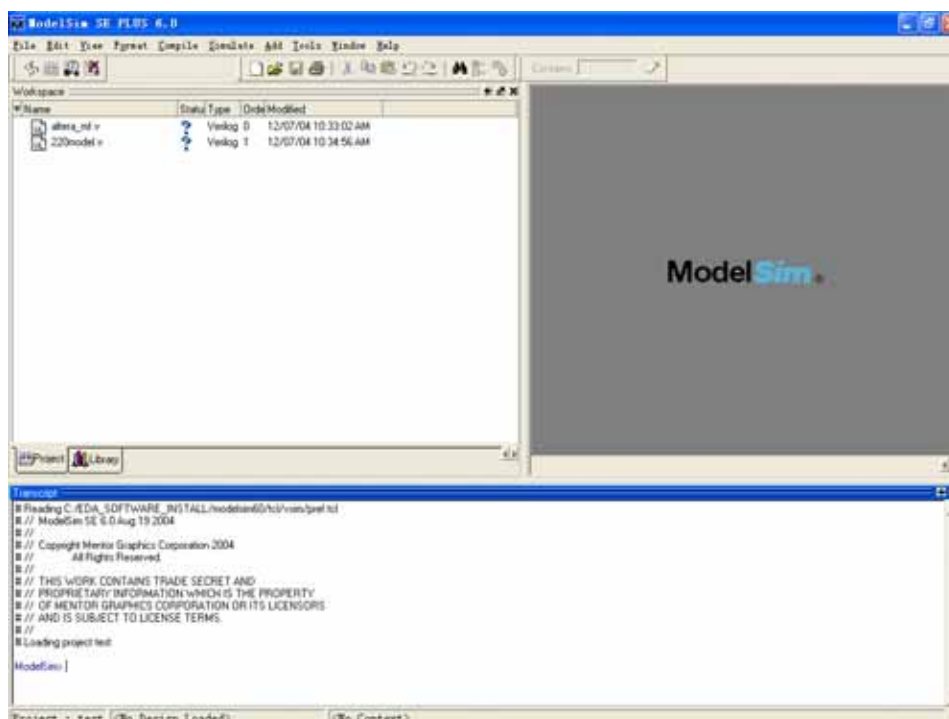


图 5 成功添加 altera\_mf.v 和 220model.v 文件

6. 执行 compile→compile All 命令.编译 altera\_mf.v 和 220model.v 文件,图 6 编译 altera\_mf.v 和 220model.v 文件所示.

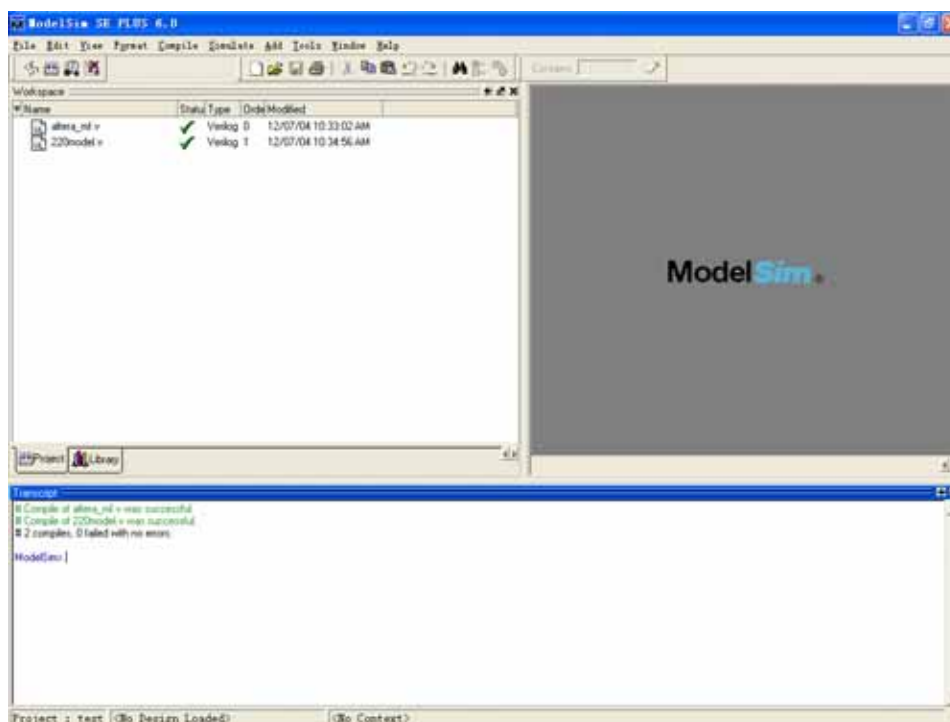


图 6 编译 altera\_mf.v 和 220model.v 文件

7. 添加 PLL.V 和 Test\_Pll.V 文件.执行 File→Add to project→Existing file,如图 7 添加 PLL.V 和 Test\_Pll.V 向导.

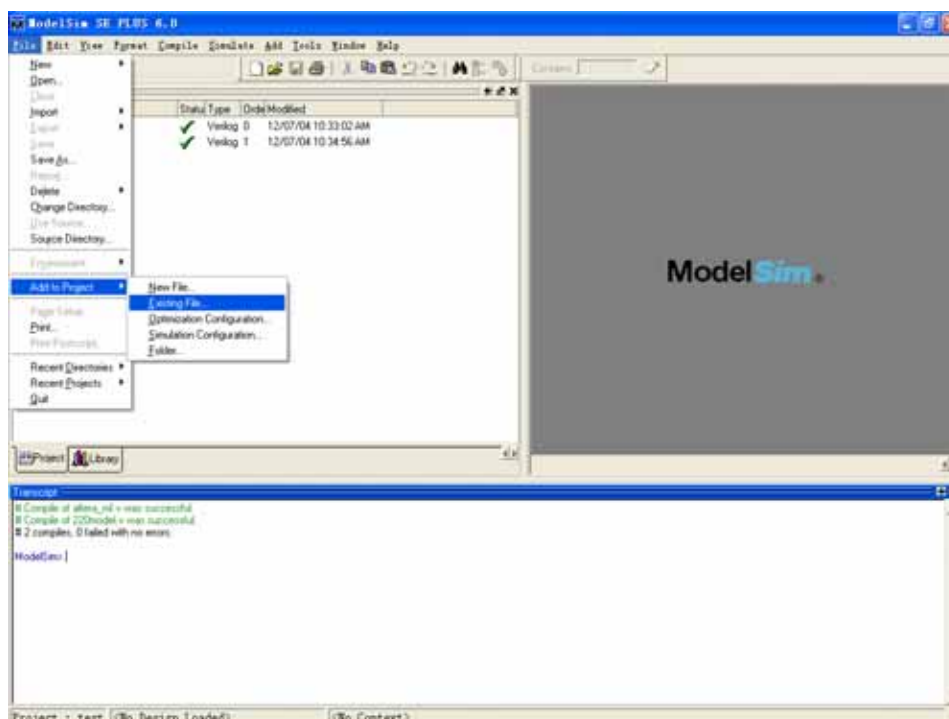


图 7 添加 PLL.V 和 Test\_Pll.V 向导.

8. 单击 File Name 右边的 Browse,导入 PLL.V 和 Test\_Pll.V 两个文件.按 OK 确定.如图 8 Add File to the project.

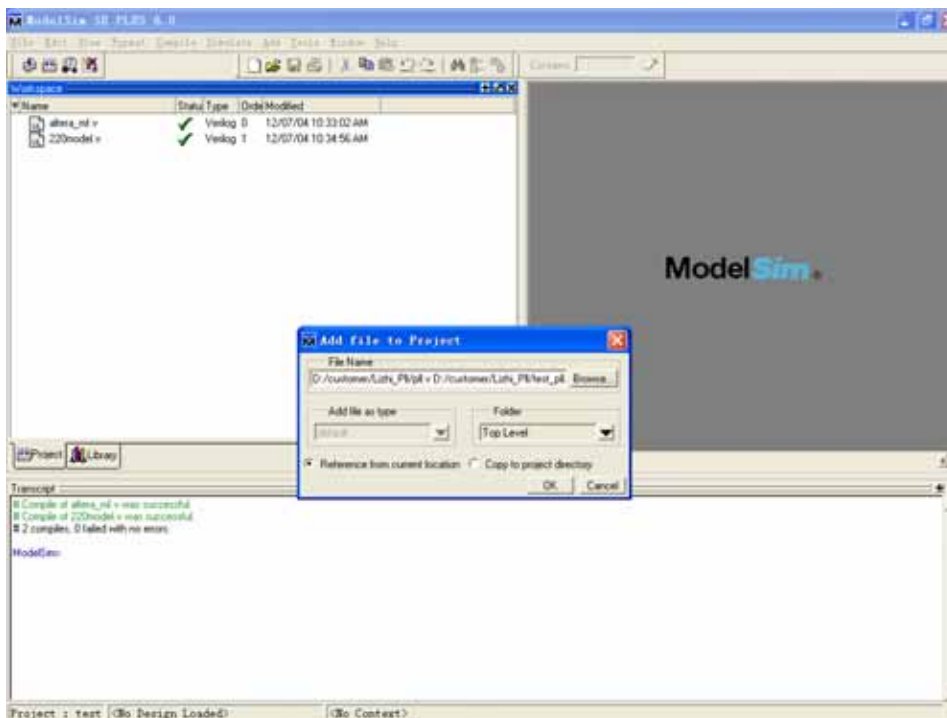


图 8 Add File to the project

9. 分别对 PLL.V 和 Test\_Pll.v 执行 compile→Compile selected 命令.如图 9 编译 PLL.V 和 Test\_Pll.V 所示.

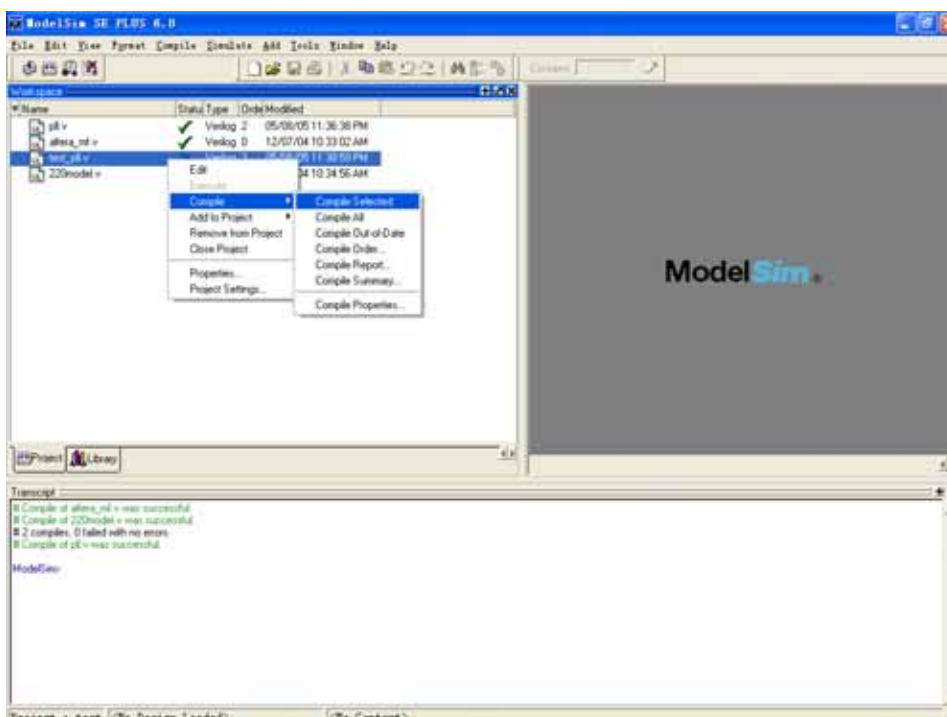


图 9 编译 PLL.V 和 Test\_Pll.V

10. 右击 Test\_Pll.v 文件,执行 Add to project→simulation configuration 命令.如图 10 图 10 Simulation Configuration 所示.

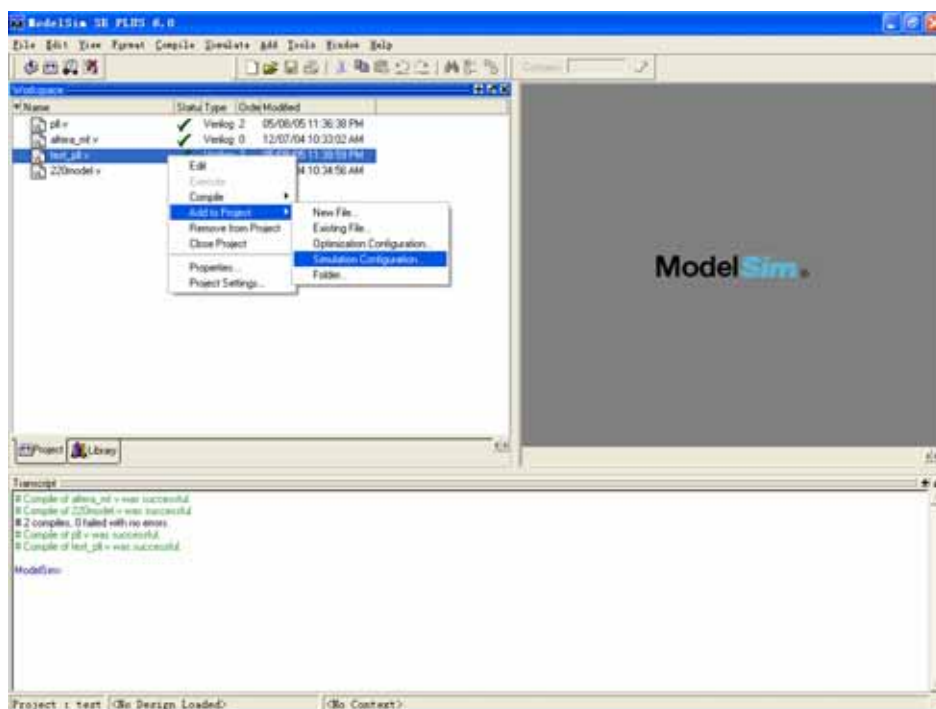


图 10 Simulation Configuration

11.执行完毕后,弹出图 11 Simulation Configuration Module 对话框.在 design 中,选择 test\_pll module.点击 OK 确定.

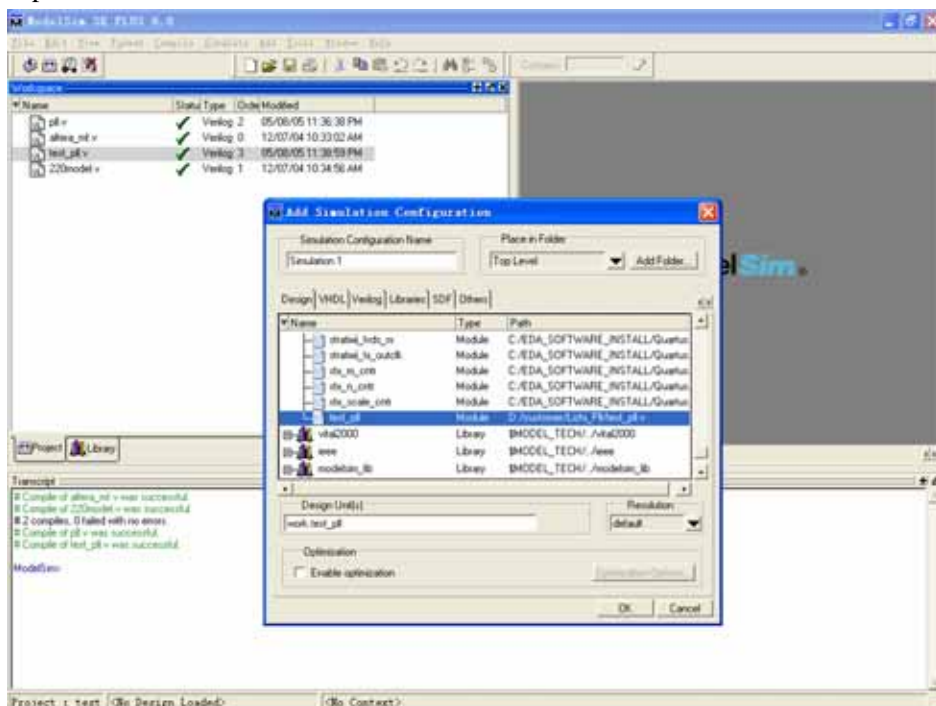


图 11 Simulation Configuration Module

12.双击“Simulation 1”开始 Load Design.如图 12 Load Design 所示.

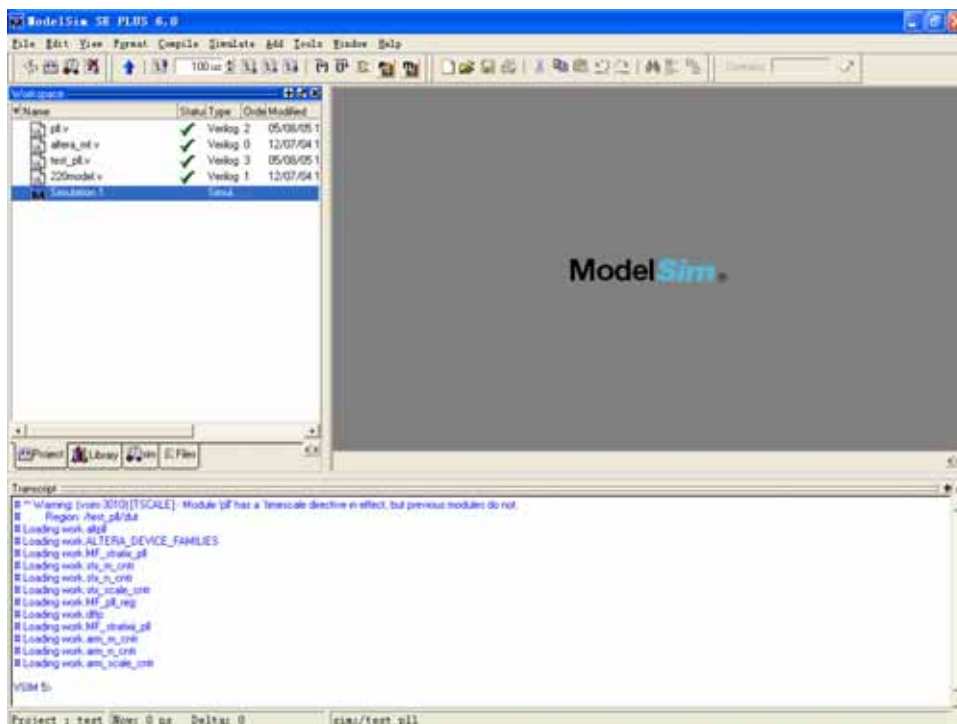


图 12 Load Design

13. 执行 View→Debug Windows→objects, 弹出图 13 Objects 窗口。

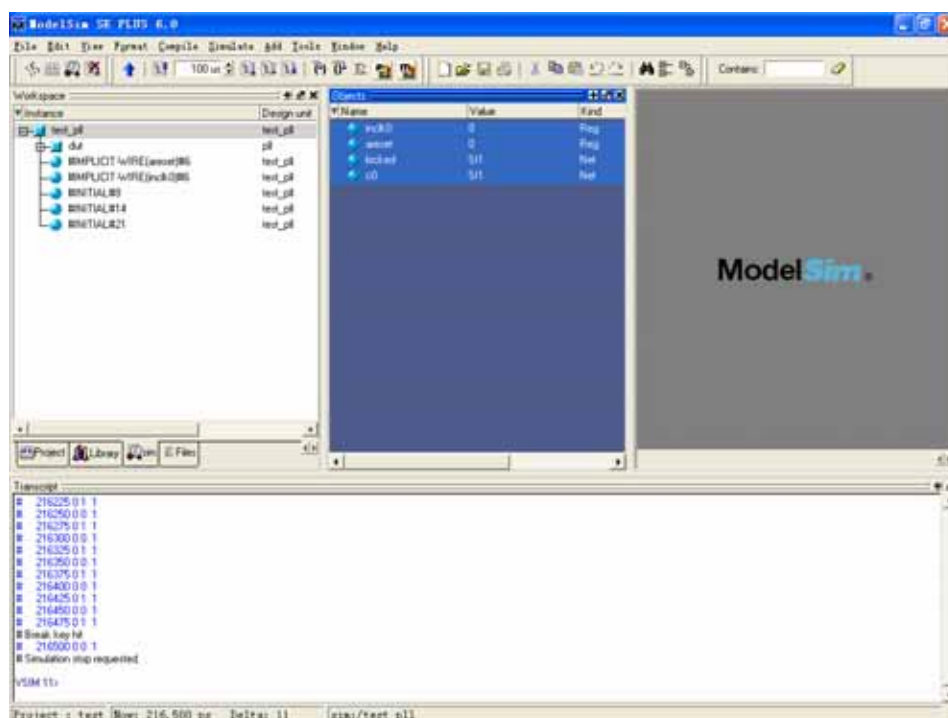


图 13 Objects 窗口

14. 按下 Ctrl 键, 鼠标左键选中需要查看的信号, 右击, 执行 Add to wave→selected Signals, 弹出

Wave 对话框,如图 14 Wave 界面.

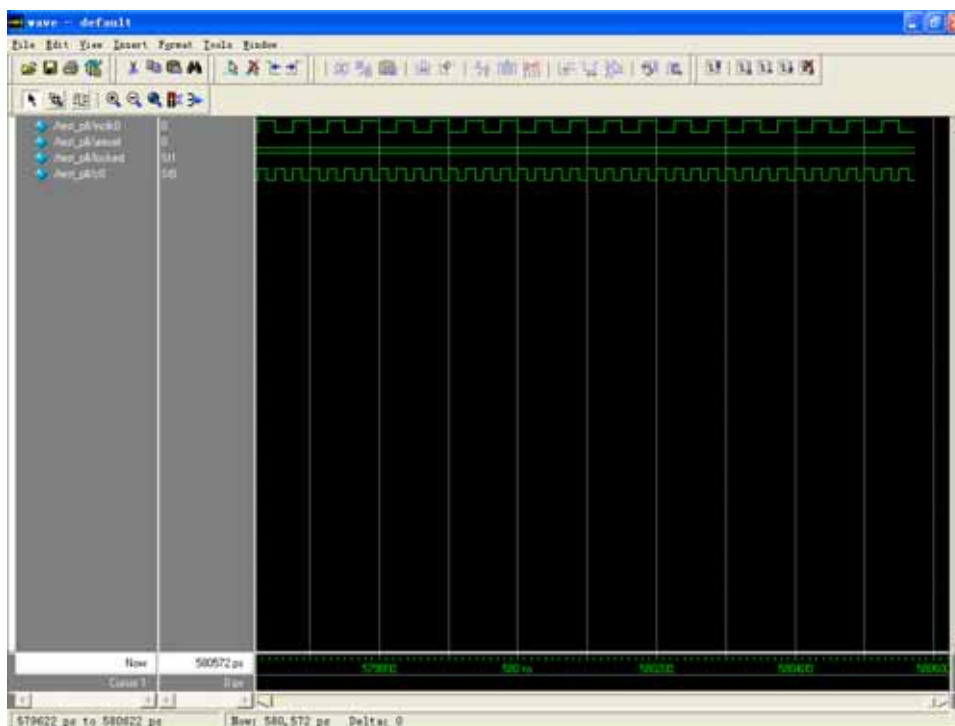


图 14.Wave 界面

15.执行按下 Run All 快捷键,运行一段后,执行 Break 命令.就可以观察到波形.

TestBench Source Code:

```
module test_pll;

reg inclk0, areset;
wire locked,c0;

pll dut ( inclk0,areset,c0,locked);

initial // Clock generator
begin
    inclk0 = 0;
    forever #25 inclk0 = !inclk0;
end

initial // Test stimulus
begin
    areset = 0;
    #5 areset = 1;
    #4 areset = 0;
```



```
end

initial
    $monitor($stime,, areset,, inclk0,, locked);

endmodule
```

PLL Source Code:

```
// synopsys translate_off
`timescale 1 ps / 1 ps
// synopsys translate_on
module pll (inclk0,areset,c0,locked);

    input    inclk0;
    input    areset;
    output   c0;
    output   locked;

    wire [5:0] sub_wire0;
    wire  sub_wire2;
    wire [0:0] sub_wire5 = 1'h0;
    wire [0:0] sub_wire1 = sub_wire0[0:0];
    wire  c0 = sub_wire1;
    wire  locked = sub_wire2;
    wire  sub_wire3 = inclk0;
    wire [1:0] sub_wire4 = {sub_wire5, sub_wire3};

    altpll    altpll_component (
        .inclk (sub_wire4),
        .areset (areset),
        .clk (sub_wire0),
        .locked (sub_wire2)
        // synopsys translate_off
        ,
        .activeclock (),
        .clkbad (),
        .clkena (),
        .clkloss (),
        .clkswitch (),
        .enable0 (),
        .enable1 (),
        .extclk (),
```

```
.extclkena (),
.fbin (),
.pfdena (),
.pllena (),
.scanaclr (),
.scanclock (),
.scandata (),
.scandataout (),
.scandone (),
.scanread (),
.scanwrite (),
.sclkout0 (),
.sclkout1 ()
// synopsys translate_on
);

defparam
    altpll_component.clk0_duty_cycle = 50,
    altpll_component.lpm_type = "altpll",
    altpll_component.clk0_multiply_by = 2,
    altpll_component.invalid_lock_multiplier = 5,
    altpll_component.inclk0_input_frequency = 50000,
    altpll_component.clk0_divide_by = 1,
    altpll_component.pll_type = "AUTO",
    altpll_component.valid_lock_multiplier = 1,
    altpll_component.intended_device_family = "Cyclone",
    altpll_component.operation_mode = "NORMAL",
    altpll_component.compensate_clock = "CLK0",
    altpll_component.clk0_phase_shift = "0";

endmodule
```

## 骏龙科技有限公司

### 香港:

香港九龙尖沙咀广东道 33 号中港城第 3 座 19 字楼 1918 室

电话: (852) 2375 8866

传真: (852) 2375 7700

Altera 中国区授权代理—骏科技有限公司(技术支持部)

**深圳:**

中国深圳市华侨城汉唐大厦 702A-B

电话: (86755) 2693 5811

传真: (86755) 2693 5400

**成都:**

中国成都市顺城大街 308 号冠城广场 7 楼 V 座

电话: (8628) 8652 7116, 8652 7226, 8652 7336

传真: (8628) 8652 7556

**武汉:**

中国武汉市武昌区民主路 788 号白玫瑰酒店 722、705、706 房

电话: (8627) 6887 6878

传真: (8627) 8736 0547

**西安:**

中国西安市南二环路西段 9 号永安大厦 303 室

电话: (8629) 8836 2820 , 8837 8918

传真: (8629) 8837 8919

**厦门:**

中国厦门市厦禾路 189 号银行中心 2812B 室

电话: (86592) 2681021 Sam Huang

(86592) 2681022 Heiko Wu

传真: (86592) 2681023

**上海:**

中国上海市中山西路 1800 号兆丰环球大厦 10D & E1

电话: (8621) 6440 1373

Altera 中国区授权代理—骏科技有限公司(技术支持部)

传真: (8621) 6440 0166

**南京:**

中国南京市黄埔路 2 号黄埔大厦 10D1 座

电话: (8625)8481 0877

传真: (8625)8480 8023

**北京:**

中国北京市海淀区北四环西路 58 号理想国际大厦 5 楼 501-502 室

电话: (8610) 8260 7990

传真: (8610) 8260 7570

**杭州:**

杭州市 延安南路 9 号 吴山名楼 6010 室

电话: (86571) 8755 2869

传真: (86571) 8755 2657

**广州:**

中国广州黄埔大道侧白马花苑一棟一梯 203

电话: (020) 3868 9390

**青岛:**

中国青岛市李沧区兴华路 47 号 17 号楼 2 单元 601

电话: (0532) 8466 3427

中国青岛市市北区宁安路 7 号福岭社区 A5-3-401

电话: (0532) 8598 8435

**重庆:**

中国重庆市渝州路 108 号珠江华轩, E-5-11

电话: (86) 133 8965 7981