

基于 Verilog 语言的等精度频率计设计

赵 亮, 吴振宇

(大连理工大学创新院, 辽宁省大连市 116023)

摘 要:介绍了等精度测量频率的原理,利用 Verilog 硬件描述语言设计实现了频率计内部功能模块,对传统的等精度测量方法进行了改进,增加了测量脉冲宽度的功能;采用 AT89S51 单片机进行数据运算处理,利用液晶显示器对测量的频率、周期、占空比进行实时显示,可读性好。充分发挥 FPGA (现场可编程门阵列) 的高速数据采集能力和单片机的高效计算与控制能力,使两者有机地结合起来。在 Quartus 6.0 EDA (电子设计自动化) 开发平台上进行仿真、测试,并最终下载到 FPGA 芯片内部。系统测量精度高,实时性好,具有很好的应用前景。

关键词:等精度;频率计;Verilog 硬件描述语言;单片机

中图分类号: TM935.1

0 引言

传统测量频率的方法主要有直接测量法、分频测量法、测周法等,这些方法往往只适用于测量一段频率,当被测信号的频率发生变化时,测量的精度就会下降。本文提出一种基于等精度原理的测量频率的方法,在整个频率测量过程中都能达到相同的测量精度,而与被测信号的频率变化无关。本文利用 FPGA (现场可编程门阵列) 的高速数据处理能力,实现对被测信号的测量计数;利用单片机的运算和控制能力,实现对频率、周期、脉冲宽度的计算及显示。

1 等精度测量原理

等精度测量的一个最大特点是测量的实际门控时间不是一个固定值,而是一个与被测信号有关的值,刚好是被测信号的整数倍。在计数允许时间内,同时对标准信号和被测信号进行计数,再通过数学公式推导出被测信号的频率。由于门控信号是被测信号的整数倍,就消除了对被测信号产生的 ± 1 误差,但是会产生对标准信号 ± 1 的误差。如图 1 所示。

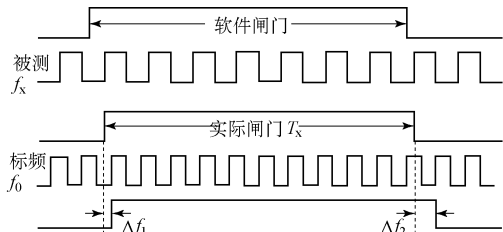


图 1 等精度测量原理

系统中,如果采用的标准信号源的精度很高,就可以达到一个很高的测量精度,一般情况下都是采用晶体作为标准信号源,因此可以达到很高的精度,满足一般系统的要求。

2 FPGA 模块设计

本系统在传统的等精度测量原理基础上进行了改进和优化。增加了测量占空比的功能,同时由 FPGA 内部产生清零信号,节省了资源。改进后的 FPGA 核心模块如图 2 所示。FPGA 部分主要由门控信号产生模块、计数器控制模块、计数器模块、锁存器、中断输出、数据选择输出、顶层模块组成。

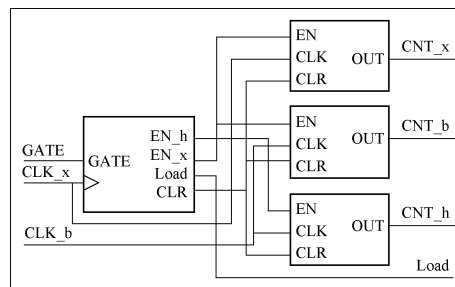


图 2 等精度测量核心结构

1) 门控信号

为了测量频率为 1 Hz 的信号,要求系统的开门时间不小于 1 s;同理,为了测量 0.1 Hz 频率的信号,要求开门时间最短为 10 s。但是如果系统一直采用 10 s 的门控信号,测量高频信号的等待时间太长,显然不合理,因为测量结果的显示必须要等到一个测量周期结束之后才能更新。本系统采用的方法是,由单片机给 FPGA 提供一个门控的选择信号,如果 FPGA 测得的频率小于 1 Hz,那么单片机自动给出一个启动 10 s 门控

的控制信号;反之,如果发现测量的频率大于 1 Hz,自动切换回 1 s 门控,实现了一个闭环的自动控制,很好地解决了门控的时间问题。

2)计数器控制模块

该模块是本文的创新点所在,主要用来同步被测信号。由前面的分析可知,门控信号启动(上升沿)后,在被测信号的上升沿启动计数允许模块,允许计数器计数;门控信号关闭(下降沿)后,在被测信号的下一个上升沿关闭计数允许模块,停止计数,从而保证了门控信号是被测信号的整数倍,达到了等精度的目的。该模块有 GATE、CLK_x 这 2 个输入端;EN_h、EN_x、Load、CLR 这 4 个输出端。GATE 为上一级给出的门控信号;CLK_x 为被测信号;EN_h,高电平期间对标准信号进行计数,得到 CNT_h;EN_x 为给出的允许计数信号,在 EN_x 的高电平期间,对被测信号、标准信号同时计数,得到 CNT_x、CNT_b;Load 为锁存信号;CLR 为计数器清零信号。

由 CNT_x 和 CNT_b 可以计算出被测信号的频率和周期;由 CNT_x 和 CNT_h 可以计算出被测信号的脉冲宽度。

仿真图如图 3 所示。

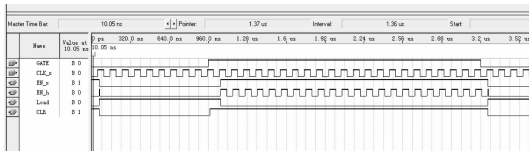


图 3 Quartus 仿真

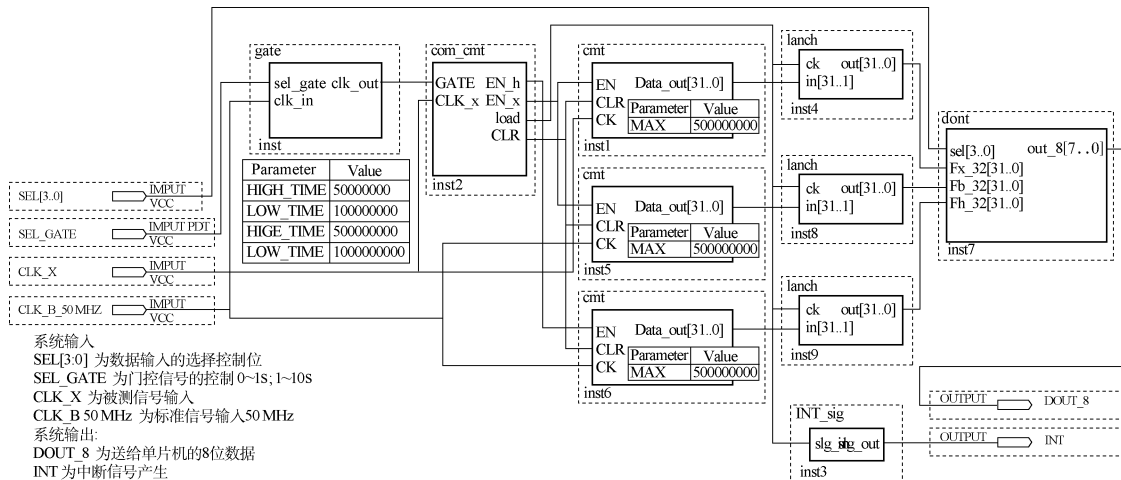


图 4 FPGA 整体结构

3 单片机模块控制

3.1 理论分析

在计数允许 EN_x 时间内,对被测信号和标准信

3)计数器模块

在设计计数器的过程中需要注意计数器的宽度设置,系统中采用的最大门控时间为 10 s,标准信号源的频率为 50 MHz,则在计数的允许时间内计数的最大值为: $10 \times 50\,000\,000 = 500\,000\,000 < 2^{29} = 536\,870\,912$,为了方便数据传输,系统中采用了 32 位位宽的计数器。

4)锁存器模块

在门控信号关闭的同时,停止计数,同时启动锁存模块,把测量的数据锁存起来,以便传输。

5)中断输出

锁存数据的同时,给单片机一个低电平的中断信号,通知单片机读取数据。

6)数据选择输出模块

系统中采用了 3 个 32 位的计数器,由于单片机采用的是 51 系列单片机,只有 8 位的数据总线,所以一次通信只能传输 8 位数据, $3 \times 32/8 = 12$,所以设计了一个数据输出控制模块,由单片机提供 4 根地址线,译码后可以选择 16 组数据,单片机得到中断通知后,分 12 次读取测量的数据。

7)顶层模块

实例化所有的底层模块,同时为了调试方便,加入了一些测试点。

FPGA 部分的整体结构图如图 4 所示。

号同时进行进行计数,得到 CNT_x 和 CNT_b,设被测信号的周期为 T_x 、频率为 F_x ,标准信号周期为 T_b 、频率为 F_b 。则有:

$$CNT_x \times T_x = CNT_b \times T_b \quad (1)$$

式中：

$$T_x = \frac{1}{F_x} \quad (2)$$

$$T_b = \frac{1}{F_b} \quad (3)$$

将式 (2)、式 (3)代入式 (1)可以得到：

$$\frac{CNT_x}{F_x} = \frac{CNT_b}{F_b} \quad (4)$$

变换可以得到被测信号频率为：

$$F_x = \frac{F_b}{CNT_b} \times CNT_x \quad (5)$$

系统实现的被测频率为：

$$F_{x'} = \frac{F_b}{CNT_{F_b}} \times CNT_{F_x} \quad (6)$$

被测周期为：

$$T_{x'} = \frac{1}{F_{x'}} \quad (7)$$

占空比 r 为：

$$H_duty = CNT_{F_h} / CNT_{F_b} \quad (8)$$

系统中采用式 (6) ~式 (8)进行计算,得到最终的测量数据,单片机中采用浮点数进行运算,计算的精度可以满足系统的要求。

3.2 硬件电路

系统硬件电路比较简单,就是单片机的最小系统加上液晶显示模块,设计时需要注意,51单片机端口电压是 5 V 输出,而 FPGA 是 3.3 V 输出,所以在数据传输时要串联一个电阻,一般 100 ~ 300 Ω 即可。电路原理图如图 5 所示。

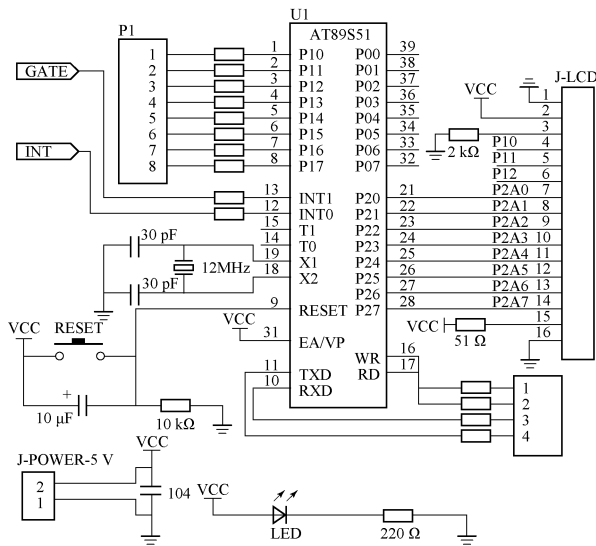


图 5 单片机部分电路

3.3 软件设计

单片机软件主要由系统初始化、数据传输、频率、周期、占空比计算、液晶显示等程序模块组成。

下面简单介绍主函数及计算子函数。

系统主函数：

```
void main (void)
{
    Init_mcu(); //初始化系统
    while(1)
    {
        if( F_x < 1) //判断测量的频率大小,控制门控
            Sel_gate = 1;
        if( F_x > 1)
            Sel_gate = 0;
        if(flag) //进入中断
        {
            Trans(); //传输数据
            Cal(); //计算
            flag=0; //清除中断标志位
        }
        Display(); //显示测量的结果
    }
}
```

计算子函数：

```
void Cal (void)
{
    long temp3, temp2, temp1, temp0; //定义临时变量
    temp3 = Cnt_F_b_data[3];
    temp2 = Cnt_F_b_data[2];
    temp1 = Cnt_F_b_data[1];
    temp0 = Cnt_F_b_data[0];
    Cnt_F_b = (temp3 << 24) + (temp2 << 16) + (temp1 << 8) + (temp0 << 0);
    // 将测得的数据进行组合
    temp3 = Cnt_F_x_data[3];
    temp2 = Cnt_F_x_data[2];
    temp1 = Cnt_F_x_data[1];
    temp0 = Cnt_F_x_data[0];
    Cnt_F_x = (temp3 << 24) + (temp2 << 16) + (temp1 << 8) + (temp0 << 0);
    temp3 = Cnt_F_h_data[3];
    temp2 = Cnt_F_h_data[2];
    temp1 = Cnt_F_h_data[1];
    temp0 = Cnt_F_h_data[0];
    Cnt_F_h = (temp3 << 24) + (temp2 << 16) + (temp1 << 8) + (temp0 << 0);
    F_x = F_b / Cnt_F_b * Cnt_F_x;
    // 计算频率
    T_x = 1 / F_x;
    // 计算周期
    H_duty = Cnt_F_h / Cnt_F_b;
    // 计算占空比
}
```

软件流程如图 6 所示。

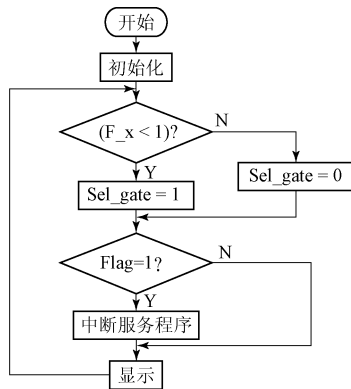


图 6 系统流程

中断服务子程序如图 7 所示。

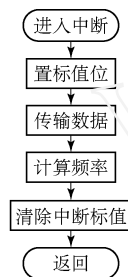


图 7 中断服务子程序

4 结束语

本系统设计采用 FPGA 和单片机相结合的方式实现等精度测量频率,充分发挥了 FPGA 高速的数据处理能力以及单片机的计算、控制能力。采用 Verilog 硬件描述语言对系统进行仿真测试,最终下载到 FPGA 内部。单片机采用 C 语言编写程序,利用浮点数进行计算,精度高。同时设计了门控信号自动选择的闭环控制,大大地提高了系统的性能。等精度测量技术在生产、实验等环境中得到了广泛的应用。

参 考 文 献

- [1] PALN ITKAR S. Verilog HDL 数字设计与综合 [M]. 二版. 夏宇闻,胡燕祥,刁岚松,等译. 北京:电子工业出版社, 2004.
- [2] 常晓明,李媛媛. Verilog - HDL 工程实践入门 [M]. 北京: 北京航空航天大学出版社, 2005.
- [3] 马忠梅. 单片机的 C 语言应用程序设计 [M]. 北京:北京航空航天大学出版社, 2003.

赵 亮 (1983-),男,硕士研究生,主要从事 FPGA 方面的研究工作。

Design of Equal Precision Frequency Meter Based on Verilog HDL

ZHAO L iang, W U Zhenyu

(Dalian University of Technology, Dalian 116023, China)

Abstract: The principle of equal precision measurement is introduced in this paper, it adopts Verilog Hardware Description Language to implemen function module in frequency meter, and adds pulse width measurement on the base of traditional frequency measurement. It also adopts AT89S51 Micro Controller Unit as data processing unit, uses LCD1602 equipment to display frequency, periods and pulse in real-time. FPGA's high-speed data acquisition and high-performance controlling and computing of MCU are represented in this system. Data is simulated and tested in Quartus 6.0 EDA development platform, and finally downloaded to the chip.

Keywords: equal precision measurement; frequency meter; Verilog HDL; MCU

欢 迎 投 稿

E-mail: radamet @ 126 .com