

# 高速 PCB 布线实践指南

作者: John Ardizzone

虽然印制电路板 (PCB) 布线在高速电路中具有关键的作用,但它往往是电路设计过程的最后几个步骤之一。高速 PCB 布线有很多方面的问题,关于这个题目已有人撰写了大量的文献。本文主要从实践的角度来探讨高速电路的布线问题。主要目的在于帮助新用户当设计高速电路 PCB 布线时对需要考虑的多种不同问题引起注意。另一个目的是为已经有一段时间没接触 PCB 布线的客户提供一种复习资料。由于版面有限,本文不可能详细地论述所有的问题,但是我们将讨论对提高电路性能、缩短设计时间、节省修改时间具有最大成效的关键部分。

虽然这里主要针对与高速运算放大器有关的电路,但是这里所讨论的问题和方法对用于大多数其它高速模拟电路的布线是普遍适用的。当运算放大器工作在很高的射频 (RF) 频段时,电路的性能很大程度上取决于 PCB 布线。“图纸”上看起来很好的高性能电路设计,如果由于布线时粗心马虎受到影响,最后只能得到普通的性能。在整个布线过程中预先考虑并注意重要的细节会有助于确保预期的电路性能。

## 原理图

尽管优良的原理图不能保证好的布线,但是好的布线开始于优良的原理图。在绘制原理图时要深思熟虑,并且必须考虑整个电路的信号流向。如果在原理图中从左到右具有正常稳定的信号流,那么在 PCB 上也应具有同样好的信号流。在原理图上尽可能多给出有用的信息。因为有时候电路设计工程师不在,客户会要求我们帮助解决电路的问题,从事此工作的设计师、技术员和工程师都会非常感激,也包括我们。

除了普通的参考标识符、功耗和误差容限外,原理图中还应该给出哪些信息呢?下面给出一些建议,可以将普通的原理图变成一流的原理图。加入波形、有关外壳的机械信息、印制线长度、空白区;标明哪些元件需要置于 PCB 上面;给出调整信息、元件取值范围、散热信息、控制阻抗印制线、注释、扼要的电路上动作描述……(以及其它)。

## 谁都别信

如果不是你自己设计布线,一定要留出充裕的时间仔细检查布线人的设计。在这点上很小的预防抵得上一百倍的补救。不要指望布线的人能理解你的想法。在布线设计过程的初期你的意见和指导是最重要的。你能提供的信息越多,并且整个布线过程中你介入的越多,结果得到的 PCB 就会越好。给布线设计工程师设置一个暂定的完成点——按照你想要的布线进展报告快速检查。这种“闭合环路”方法可以防止布线误入歧途,从而将返工的可能性降至最低。

需要给布线工程师的指示包括:电路功能的简短描述,标明输入和输出位置的 PCB 略图,PCB 层叠信息(例如,板子有多

厚,有多少层,各信号层和接地平面的详细信息——功耗、地模拟信号、数字信号和 RF 信号);各层需要那些信号;要求重要元件的放置位置;旁路元件的确切位置;哪些印制线很重要;哪些线路需要控制阻抗印制线;哪些线路需要匹配长度;元件的尺寸;哪些印制线需要彼此远离(或靠近);哪些线路需要彼此远离(或靠近);哪些元器件需要彼此远离(或靠近);哪些元器件要放在 PCB 的上面,哪些放在下面。永远不要抱怨需要给别人的信息太多——太少吗?是;太多吗?不。

一条学习经验:大约 10 年前,我设计一块多层的表面贴电路板——板子的两面都有元件。用很多螺钉将板子固定在一个镀金的铝制外壳中(因为有很严格的防震指标)。提供偏置馈通的引脚穿过板子。该引脚是通过焊接线连接到 PCB 上的。这是一个很复杂的装置。板子上的一些元件是用于测试设定 (SAT) 的。但是我已经明确规定了这些元件的位置。你能猜出这些元件都安装在什么地方吗?对了,在板子的下面。当产品工程师和技术员不得不将整个装置拆开,完成设定后再将它们重新组装的时候,显得很不高兴。从那以后我再也没有犯过这种错误了。

## 位置

正像在 PCB 中,位置决定一切。将一个电路放在 PCB 上的什么位置,将其具体的电路元件安装在什么位置,以及其相邻的其它电路是什么,这一切都非常重要。

通常,输入、输出和电源的位置是预先确定好的,但是它们之间的电路就需要“发挥各自的创造性”了。这就是为什么注意布线细节将产生巨大回报的原因。从关键元件的位置入手,根据具体电路和整个 PCB 来考虑。从一开始就规定关键元件的位置以及信号的路径有助于确保设计达到预期的工作目标。一次就得到正确的设计可以降低成本和压力——也就缩短了开发周期。

## 旁路电源

在放大器的电源端旁路电源以便降低噪声是 PCB 设计过程中一个很重要的方面——包括对高速运算放大器还是其它的高速电路。旁路高速运算放大器有两种常用的配置方法。

电源端接地:这种方法在大多数情况下都是最有效的,采用多个并联电容器将运算放大器的电源引脚直接接地。一般说来两个并联电容就足够了——但是增加并联电容器可能给某些电路带来益处。

并联不同的电容值的电容器有助于确保电源引脚在很宽的频带上只能看到很低的交流 (AC) 阻抗。这对于在运算放大器电源抑制比 (PSR) 衰减频率处尤其重要。该电容器有助于补偿放大器降低的 PSR。在许多十倍频程范围内保持低阻抗的接地通路将有助于确保有害的噪声不能进入运算放大器。图 1 示出了采用多个并联电容器的优点。在低频段,大的电容器提供低阻抗的接地通路。但是一旦频率达到了它们自身的谐振频率,电容器的容性就会减弱,并且逐渐呈现出感性。这就是为什么

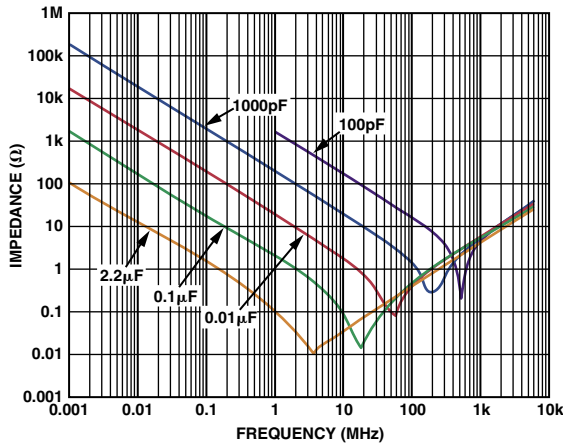


图 1. 电容器的阻抗与频率的关系

采用多个电容器是很重要的原因：当一个电容器的频率响应开始下降时，另一个电容器的频率响应开始其作用，所以能在许多十倍频程范围内保持很低的 AC 阻抗。

直接从运算放大器的电源引脚入手；具有最小电容值和最小物理尺寸的电容器应当与运算放大器置于 PCB 的同一面——而且尽可能靠近放大器。电容器的接地端应该用最短的引脚或印制线直接连至接地平面。上述的接地连接应该尽可能靠近放大

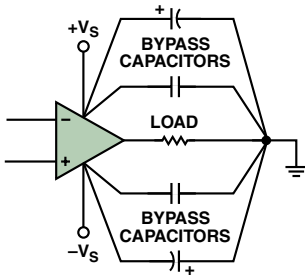


图 2. 旁路电源端和地的并联电容器

器的负载端以便减小电源端和接地端之间的干扰。图 2 示出了这种连接方法。

对于次大电容值的电容器应该重复这个过程。最好从 0.01 μF 最小电容值开始放置，并且靠近放置一个 2.2 μF (或大一点儿) 的具有低等效串联电阻 (ESR) 的电解电容器。采用 0508 外壳尺寸的 0.01 μF 电容器具有很低的串联电感和优良的高频性能。

电源端到电源端：另外一种配置方法采用一个或多个旁路电容跨接在运算放大器的正电源端和负电源端之间。当在电路中配置四个电容器很困难的情况下通常采用这种方法。它的缺点是电容器的外壳尺寸可能增大，因为电容器两端的电压是单电源旁路方法中电压值的两倍。增大电压就需要提高器件的额定击穿电压，也就是要增大外壳尺寸。但是，这种方法可以改进 PSR 和失真性能。

因为每种电路和布线都是不同的，所以电容器的配置、数量和电容值都要根据实际电路的要求而定。

### 寄生效应

所谓寄生效应就是那些溜进你的 PCB 并在电路中大施破坏、头痛令人、原因不明的小故障（按照字面意思）。它们就是渗入高速电路中隐藏的寄生电容和寄生电感。其中包括由封装引脚和印制线过长形成的寄生电感；焊盘到地、焊盘到电源平面和焊盘到印制线之间形成的寄生电容；通孔之间的相互影响，以及许多其它可能的寄生效应。图 3 (a) 示出了一个典型的同相运算放大器原理图。但是，如果考虑寄生效应的话，同样的电路可能会变成图 3(b)那样。

在高速电路中，很小的值就会影响电路的性能。有时候几十个皮法 (pF) 的电容就足够了。相关实例：如果在反相输入端仅有 1 pF 的附加寄生电容，它在频率域可以引起差不多 2 dB 的尖脉冲（见图 4）。如果寄生电容足够大的话，它会引起电路的不稳定和振荡。

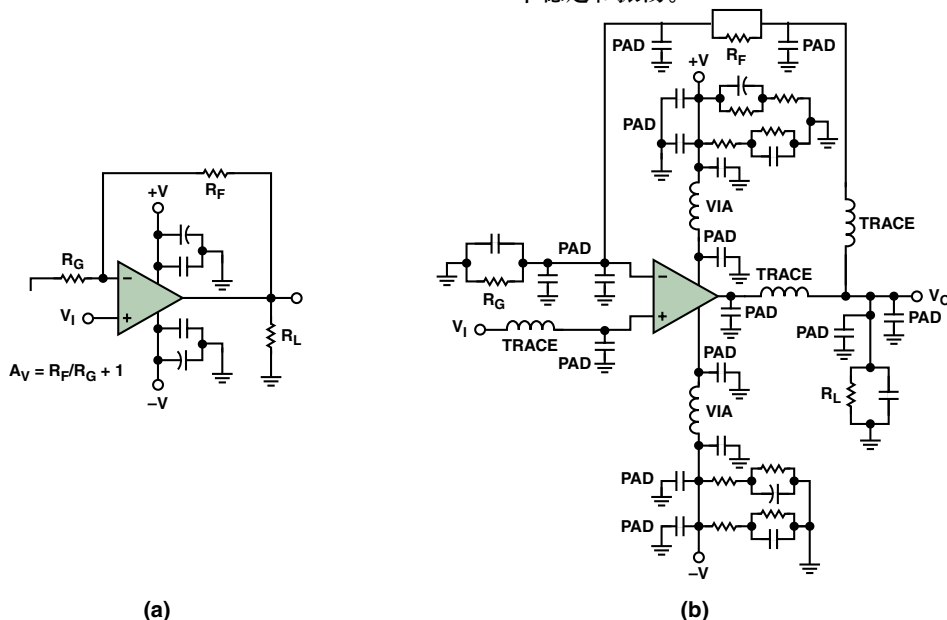


图 3. 典型的运算放大器电路，(a) 原设计图，(b) 考虑寄生效应后的图

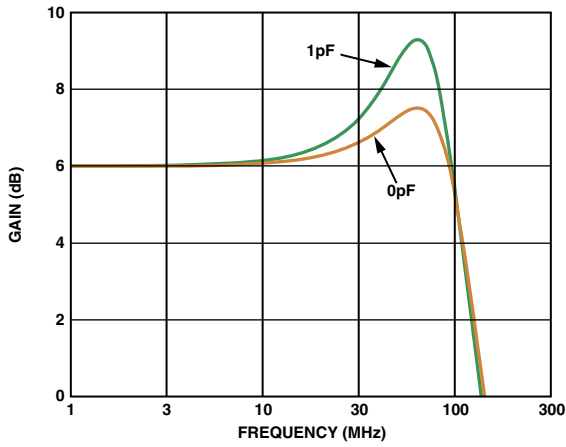


图 4. 由寄生电容引起的附加尖脉冲

当寻找有问题的寄生源时，可能用得着几个计算上述那些寄生电容尺寸的基本公式。公式 (1) 是计算平行极板电容器（见图 5）的公式。

$$C = \frac{kA}{11.3d} \text{ pF} \quad (1)$$

C 表示电容值，A 表示以  $\text{cm}^2$  为单位的极板面积，k 表示 PCB 材料的相对介电常数，d 表示以 cm 为单位的极板间距离。

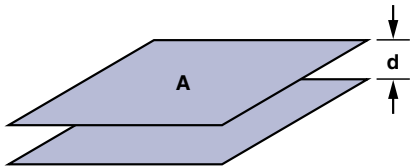


图 5. 两极板间的电容

带状电感是另外一种需要考虑的寄生效应，它是由于印制线过长或缺乏接地平面引起的。

式 (2) 示出了计算印制线电感 (Inductance) 的公式。参见图 6。

$$\text{Inductance} = 0.0002L \left[ \ln \frac{2L}{(W+H)} + 0.2235 \left( \frac{W+H}{L} \right) + 0.5 \right] \mu\text{H} \quad (2)$$

W 表示印制线宽度，L 表示印制线长度，H 表示印制线的厚度。全部尺寸都以 mm 为单位。

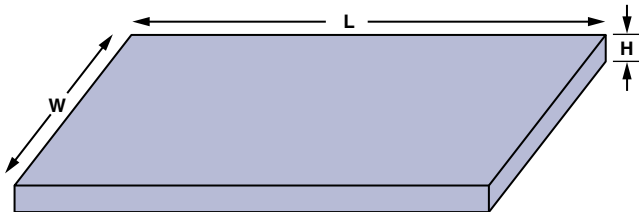


图 6. 印制线电感

图 7 中的振荡示出了高速运算放大器同相输入端长度为 2.54 cm 的印制线的影响。其等效寄生电感为 29 nH ( $10^{-9}\text{H}$ )，足以造成持续的低压振荡，会持续到整个瞬态响应周期。图 7 还示出了如何利用接地平面来减小寄生电感的影响。

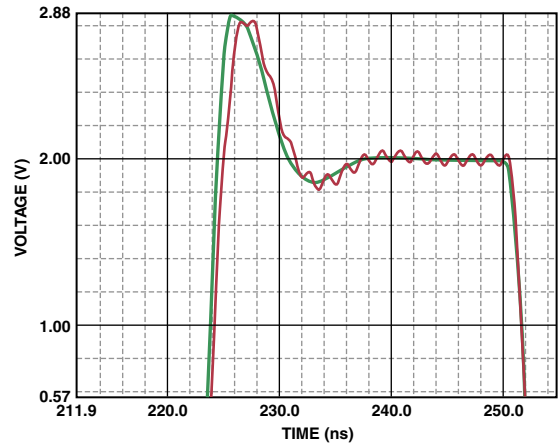


图 7. 有接地平面和没有接地平面的脉冲响应

通孔是另外一种寄生源；它们能引起寄生电感和寄生电容。公式 (3) 是计算寄生电感的公式（参见图 8）。

$$L = 2T \left[ \ln \frac{4T}{d} + 1 \right] \text{ nH} \quad (3)$$

T 表示 PCB 的厚度，d 表示以 cm 为单位的通孔直径。

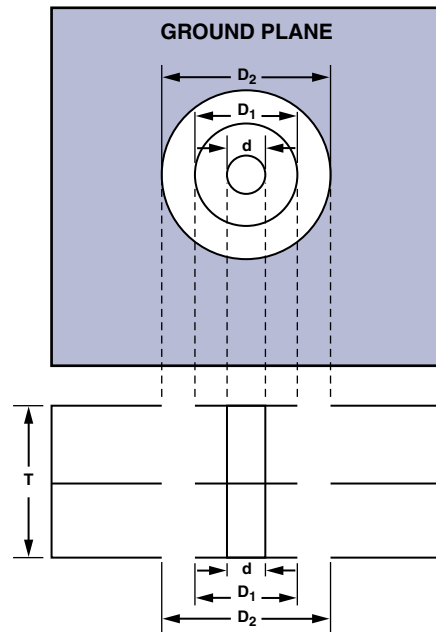


图 8. 通孔尺寸

公式 (4) 示出了如何计算通孔（参见图 8）引起的寄生电容

$$C = \frac{0.55\epsilon_r T D_1}{D_2 - D_1} \text{ pF} \quad (4)$$

$\epsilon_r$  表示 PCB 材料的相对磁导率。T 表示 PCB 的厚度。 $D_1$  表示环绕通孔的焊盘直径。 $D_2$  表示接地平面中隔离孔的直径。所有尺寸均以 cm 为单位。在一块 0.157 cm 厚的 PCB 上一个通孔就可以增加 1.2 nH 的寄生电感和 0.5 pF 的寄生电容；这就是为什么在给 PCB 布线时一定要时刻保持戒备的原因，要将寄生效应的影响降至最小。

## 接地平面

实际上需要讨论的内容远不止本文提到的这些，但是我们会重点突出一些关键特性并鼓励读者进一步探讨这个题。本文的最后列出有关的参考文献。

接地平面起到公共基准电压的作用，提供屏蔽，能够散热和减小寄生电感（但它也会增加寄生电容）的功能。虽然使用接地平面有许多好处，但是在实现时也必须小心，因为它对能够做的和不能够做的都有一些限制。

理想情况下，PCB 有一层应该专门用作接地平面。这样当整个平面不被破坏时才会产生最好的结果。千万不要挪用此专用层中接地平面的区域用于连接其它信号。由于接地平面可以消除导体和接地平面之间的磁场，所以可以减小印制线电感。如果破坏接地平面的某个区域，会给接地平面上面或下面的印制线引入意想不到的寄生电感。

因为接地平面通常具有很大的表面积和横截面积，所以使接地平面的电阻保持最小值。在低频段，电流会选择电阻最小的路径，但是在高频段，电流会选择阻抗最小的路径。

然而也有例外，有时候小的接地平面会更好。如果将接地平面从输入或者输出焊盘下挪开，高速运算放大器会更好工作。因为在输入端的接地平面引入的寄生电容，增加了运算放大器的输入电容，减小了相位裕量，从而造成不稳定性。正如在寄生效应一节的讨论中所看到的，运算放大器输入端 1 pF 的电容能引起很明显的尖脉冲。输出端的容性负载——包括寄生的容性负载——造成了反馈环路中的极点。这会降低相位裕量并造成电路变得不稳定。

如果有可能的话，模拟电路和数字电路——包括各自的地和接地平面——应该分开。快速的上升沿会造成电流毛刺流入接地平面。这些快速的电流毛刺引起的噪声会破坏模拟性能。模拟地和数字地（以及电源）应该被连接到一个共用的接地点以便降低循环流动的数字和模拟接地电流和噪声。

在高频段，必须考虑一种称为“趋肤效应”的现象。趋肤效应会引起电流流向导线的外表面——结果会使得导线的横截面变窄，因此使直流（DC）电阻增大。虽然趋肤效应超出了本文讨论的范围，这里还是给出铜线中趋肤深度(Skin Depth)的一个很好的近似公式（以 cm 为单位）：

$$\text{Skin Depth} = \frac{6.61}{\sqrt{f(\text{Hz})}} \quad (5)$$

低灵敏度的电镀金属有助于减小趋肤效应。

## 封装

运算放大器通常采用不同的封装形式。所选的封装会影响放大器的高频性能。主要的影响包括寄生效应（前面提到的）和信号路径。这里我们集中讨论放大器的路径输入、输出和电源。

图 9 示出了采用 SOIC 封装 (a) 和 SOT-23 封装 (b) 的运算放

大器之间的布线区别。每种封装都有它自身的一些问题。重点看 (a)，仔细观察反馈路径就发现有多种方法连接反馈。最重要的是保证印制线长度最短。反馈路径中的寄生电感会引起振铃和过冲。在图 9 (a) 和 9 (b) 中，环绕放大器连接反馈路径。图 9 (c) 示出了另外一种方法——在 SOIC 封装下面连接反馈路径——这样就减小了反馈路径的长度。每种方法都有细微的差别。第一种方法会导致印制线过长，会增大串联电感。第二种方法采用了通孔，会引起寄生电容和寄生电感。在给 PCB 布线时必须要考虑这些寄生效应的影响及其隐含的问题。SOT-23 布线差几乎是最理想的：反馈印制线长度最短，而且很少利用通孔；负载和旁路电容从很短的路径返回到相同的地线连接；正电源端的电容（图 9 (b) 中未示出）直接放在在 PCB 的背面的负电源电容的下面。

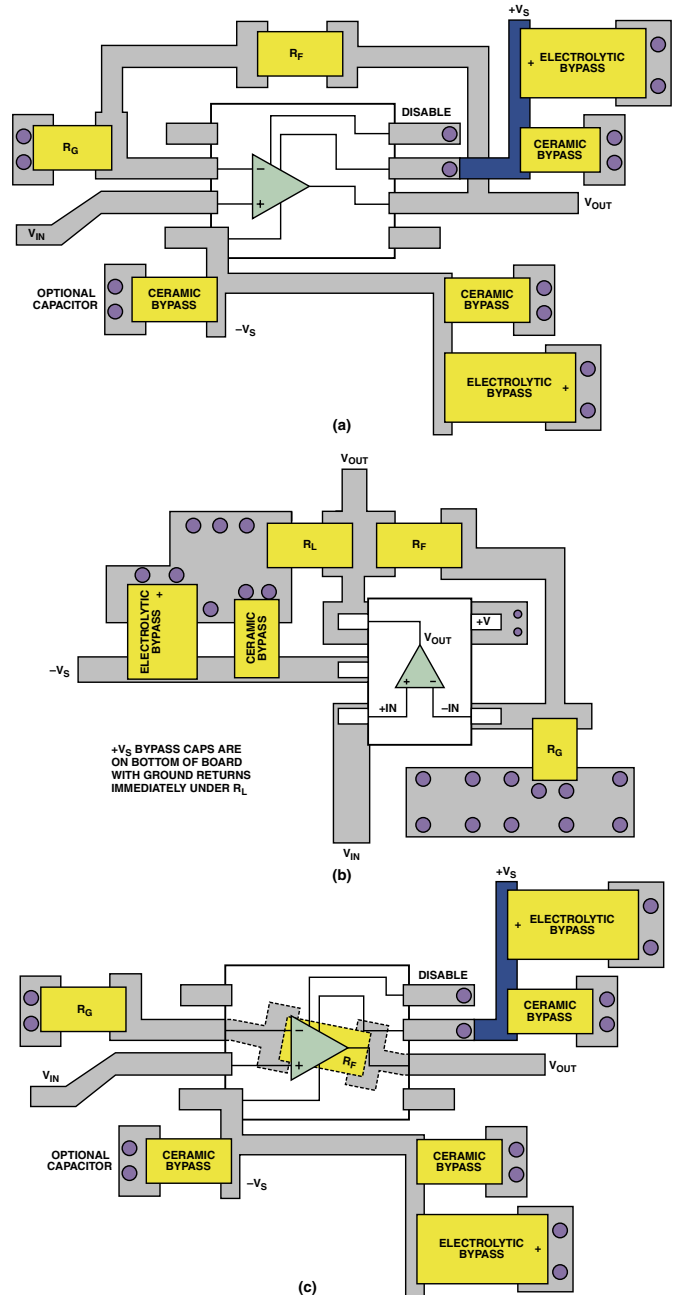


图 9. 同一运算放大器电路的布线区别。(a) SOIC 封装，(b) SOT-23 封装，(c) 在 PCB 下面采用 RF 的 SOIC 封装

低失真放大器的引脚排列:ADI公司提供的一些运算放大器(例如 AD8045<sup>1</sup>)采用了一种新的低失真引脚排列,有助于消除上面提及的两个问题;而且它还提高了其它两个重要方面的性能。LFCSP 的低失真引脚排列,如图 10 所示,将传统运算放大器的引脚排列按着逆时针方向移动一个引脚并且增加了一个输出引脚作为专用的反馈引脚。

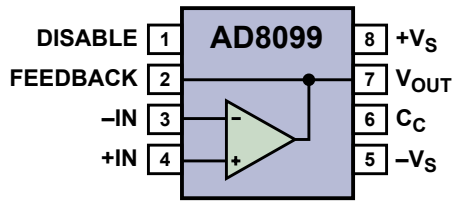


图 10. 采用低失真引脚排列的运算放大器

低失真引脚排列允许输出引脚(专用反馈引脚)和反相输入引脚之间可以靠近连接,如图 11 所示。这样极大地简化和改善了布线。

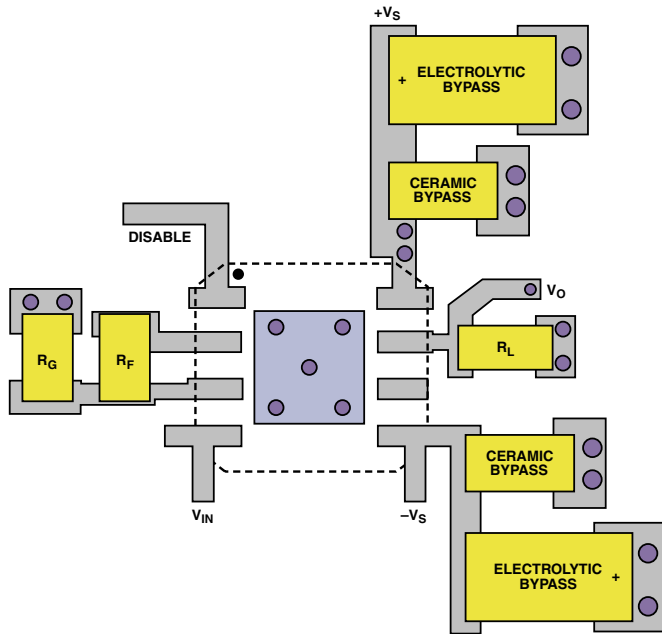


图 11. AD8045 低失真运算放大器的 PCB 布线

这种引脚排列还有一个好处就是降低了二次谐波失真。传统运算放大器的引脚配置中引起二次谐波失真的一个原因是同相输入和负电源引脚之间的耦合作用。LFCSP 封装的低失真引脚排列消除了这种耦合所以极大地降低了二次谐波失真;在有些情况下最多可降低 14 dB。图 12 示出了 AD8099<sup>2</sup> 采用 SOIC 封装和 LFCSP 封装失真性能的差别。

这种封装还有一个好处——功耗低。LFCSP 封装有一个裸露的焊盘,它降低了封装的热阻,从而能改善  $\theta_{JA}$  值约 40%。因为降低了热阻,所以降低了器件的工作温度,也就相当于提高可靠性。

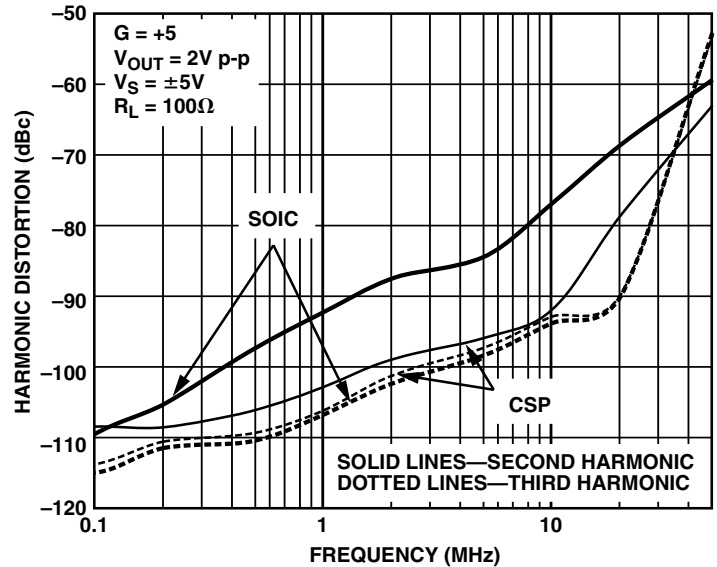


图 12. AD8099 不同封装失真性能对比——相同的运算放大器采用 SOIC 和 LFCSP 封装

目前,ADI 公司提供采用新的低失真引脚排列三种高速运算放大器:AD8045, AD8099 和 AD8000<sup>3</sup>。

### 布线和屏蔽

PCB 上存在各种各样的模拟和数字信号,包括从高到低的电压或电流,从 DC 到 GHz 频率范围。保证这些信号不相互干扰是非常困难的。

回顾前面“谁都别信”部分的建议,最关键的是预先思考并且为了如何处理 PCB 上的信号制定出一个计划。重要的是注意哪些信号是敏感信号并且确定必须采取何种措施来保证信号的完整性。接地平面为电信号提供一个公共参考点,也可以用于屏蔽。如果需要进行信号隔离,首先应该在信号印制线之间留出物理距离。下面是一些值得借鉴的实践经验:

减小同一 PCB 中长并联线的长度和信号印制线间的接近程度可以降低电感耦合。

- 减小相邻层的长印制线长度可以防止电容耦合。

需要高隔离度的信号印制线应该走不同的层而且——如果它们无法完全隔离的话——应该走正交印制线,而且将接地平面置于它们之间。正交布线可以将电容耦合减至最小,而且地线会形成一种电屏蔽。在构成控制阻抗印制线时可以采用这种方法。

高频 (RF) 信号通常在控制阻抗印制线上流动。就是说,该印制线保持一种特征阻抗,例如 50  $\Omega$  (RF 应用中的典型值)。两种最常见的控制阻抗印制线,微带线<sup>4</sup>和带状线<sup>5</sup>都可以达到类似的效果,但是实现的方法不同。

微带控制阻抗印制线，如图 13 所示，可以用在 PCB 的任意一面；它直接采用其下面的接地平面作为其参考平面。

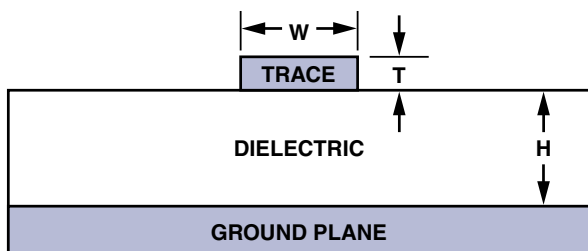


图 13. 微带传输线。

公式 (6) 可以用于计算一块 FR4 板的特征阻抗

$$Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \left[ \frac{5.98H}{(0.8W + T)} \right] \quad (6)$$

H 表示从接地平面到信号印制线之间的距离，W 表示印制线宽度，T 表示印制线厚度；全部尺寸均以密耳 (mils) ( $10^{-3}$  英寸) 为单位。 $\epsilon_r$  表示 PCB 材料的介电常数。

带状控制阻抗印制线 (参见图 14) 采用了两层接地平面，信号印制线夹在其中。这种方法使用了较多的印制线，需要的 PCB 层数更多，对电介质厚度变化敏感，而且成本更高——所以通常只用于要求严格的应用中。

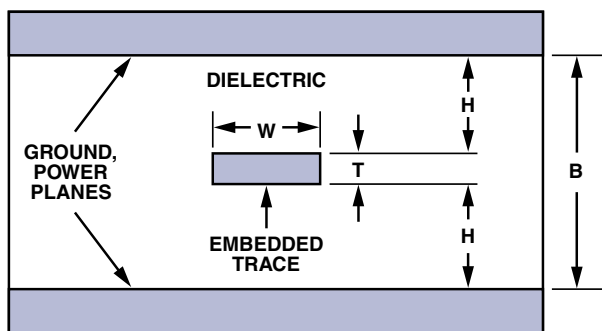


图 14. 带状控制阻抗印制线。

用于带状线的特征阻抗计算公式如公式 (7) 所示

$$Z_0(\Omega) = \frac{60}{\sqrt{\epsilon_r}} \ln \left[ \frac{1.9(B)}{(0.8W + T)} \right] \quad (7)$$

保护环，或者说“隔离环”，是运算放大器常用的另一种屏蔽方法，它用于防止寄生电流进入敏感结点。其基本原理很简单——用一条保护导线将敏感结点完全包围起来，导线保持或者迫使它保持 (低阻抗) 与敏感结点相同的电势，因此使吸收的寄生电流远离了敏感结点。图 15 (a) 示出了用于运算放大器反相配置和同相配置中的保护环的原理图。图 15 (b) 示出用于 SOT-23-5 封装中两种保护环的典型布线方法。

还有很多其它的屏蔽和布线方法。欲获得有关这个问题和上述其它题目的更多信息，建议读者阅读下列参考文献。

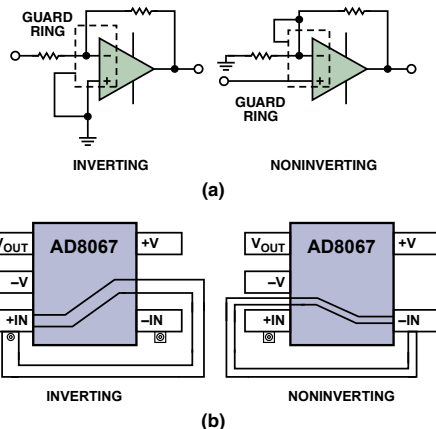


图 15. 保护环。(a) 反相和同相工作。  
(b) SOT-23-5 封装

## 结论

高水平的 PCB 布线对成功的运算放大器电路设计是很重要的，尤其是对高速电路。一个好原理图是好的布线的基础；电路设计工程师和布线设计工程师之间的紧密配合是根本，尤其是关于器件和接线的位置问题。需要考虑的问题包括旁路电源，减小寄生效应，采用接地平面，运算放大器封装的影响，以及布线和屏蔽的方法。

## 深入阅读资料

Ardizzoni, John, “Keep High-Speed Circuit-Board Layout on Track,” EE Times, May 23, 2005.

Brokaw, Paul, “An IC Amplifier User’s Guide to Decoupling, Grounding, and Making Things Go Right for a Change,” Analog Devices Application Note AN-202.

Brokaw, Paul and Jeff Barrow, “Grounding for Low- and High-Frequency Circuits,” Analog Devices Application Note AN-345.

Buxton, Joe, “Careful Design Tames High-Speed Op Amps,” Analog Devices Application Note AN-257.

DiSanto, Greg, “Proper PC-Board Layout Improves Dynamic Range,” EDN, November 11, 2004.

Grant, Doug and Scott Wurcer, “Avoiding Passive-Component Pitfalls,” Analog Devices Application Note AN-348.

Johnson, Howard W. and Martin Graham, *High-Speed Digital Design, a Handbook of Black Magic*, Prentice Hall, 1993.

Jung, Walt, ed., *Op Amp Applications Handbook*, Elsevier-Newnes, 2005.

## 参考文献

<sup>1</sup> ADI website: [www.analog.com](http://www.analog.com) (Search) AD8045 (Go)

<sup>2</sup> ADI website: [www.analog.com](http://www.analog.com) (Search) AD8099 (Go)

<sup>3</sup> ADI website: [www.analog.com](http://www.analog.com) (Search) AD8000 (Go)

<sup>4</sup> <http://www.microwaves101.com/encyclopedia/microstrip.cfm>

<sup>5</sup> <http://www.microwaves101.com/encyclopedia/stripline.cfm>