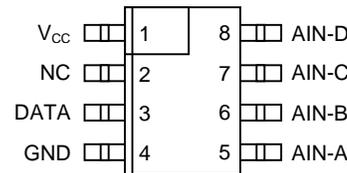


特性

- 通过 1-Wire[®]总线控制 4 路高阻输入抗通道来测量模拟电压
- 用户可编程的输入电压范围 (2.56V, 5.12V)、分辨率(1 至 16 位)和电压报警门限
- 5V 单电源工作
- 极低功耗：工作电流 2.5mW，待机功耗 25μW
- 内置多节点控制器，允许多个 DS2450 连接到同一 1-Wire 总线上；主机可识别总线上的各个 DS2450
- 如果测量到的模拟电压值超过报警门限，则器件会响应条件搜索命令
- 未作为模拟输入的通道可用作开漏数字输出通道，用于闭环控制
- 器件可直接连接到微处理器的一个端口，通信速率可达 16.3kbps
- 高速通信模式下通信速率可达 142kbps
- 片内 16 位 CRC 发生器可为数据传输提供校验信息
- 由工厂激光刻制并经过检验的 64 位唯一注册码(8 位家族码 + 48 位序列号 + 8 位 CRC 校验码)；由于没有两个器件的注册码相同，因此可保证器件绝对的可追踪性
- 主机通过 8 位家族码确定器件的通信要求
- 工作温度范围：-40°C 至 +85°C
- 紧凑的、低成本 8 引脚 SOIC 表贴封装

引脚配置



8 引脚 SOIC (208mil)

引脚说明

V _{CC}	4.5 至 5.5V
NC	没有连接
DATA	1-Wire 总线
GND	地
AIN-A	模拟输入 A
AIN-B	模拟输入 B
AIN-C	模拟输入 C
AIN-D	模拟输入 D

订购信息

DS2450S	8-pin SOIC
DS2450S/T&R	8-pin SOIC Tape-and-Reel
DS2450S+	8-pin SOIC
DS2450S+T&R	8-pin SOIC Tape-and-Reel

+ 表示无铅封装。

1-Wire 是 Dallas Semiconductor 的注册商标。Dallas Semiconductor 是 Maxim Integrated Products, Inc. 的全资子公司。

简介

DS2450 是一个 1-Wire 接口的四路 A/D 转换器，它集成一个逐次逼近型模数转换器和一个 4 选 1 模拟复用器。每个输入通道都有自己的寄存器组，用于保存输入电压范围、分辨率、报警电压门限数据以及用于使器件在其测量到的电压超出设定范围时，响应条件搜索命令的标志位。每个通道均有两个报警标志位，用于指示测量到的电压是否过高或过低，这样主机就不必读回测量到的电压与门限值比较来判断其是否超限。每次 A/D 转换均由总线上的主机引发。当通道不用作为模拟电压输入通道时可作为开漏的数字输出通道使用。关闭输入通道后，总线上的主机可直接打开或关闭选中通道的漏极开路晶体管。所有器件配置信息都保存在 SRAM 中，当器件通过 1-Wire 总线

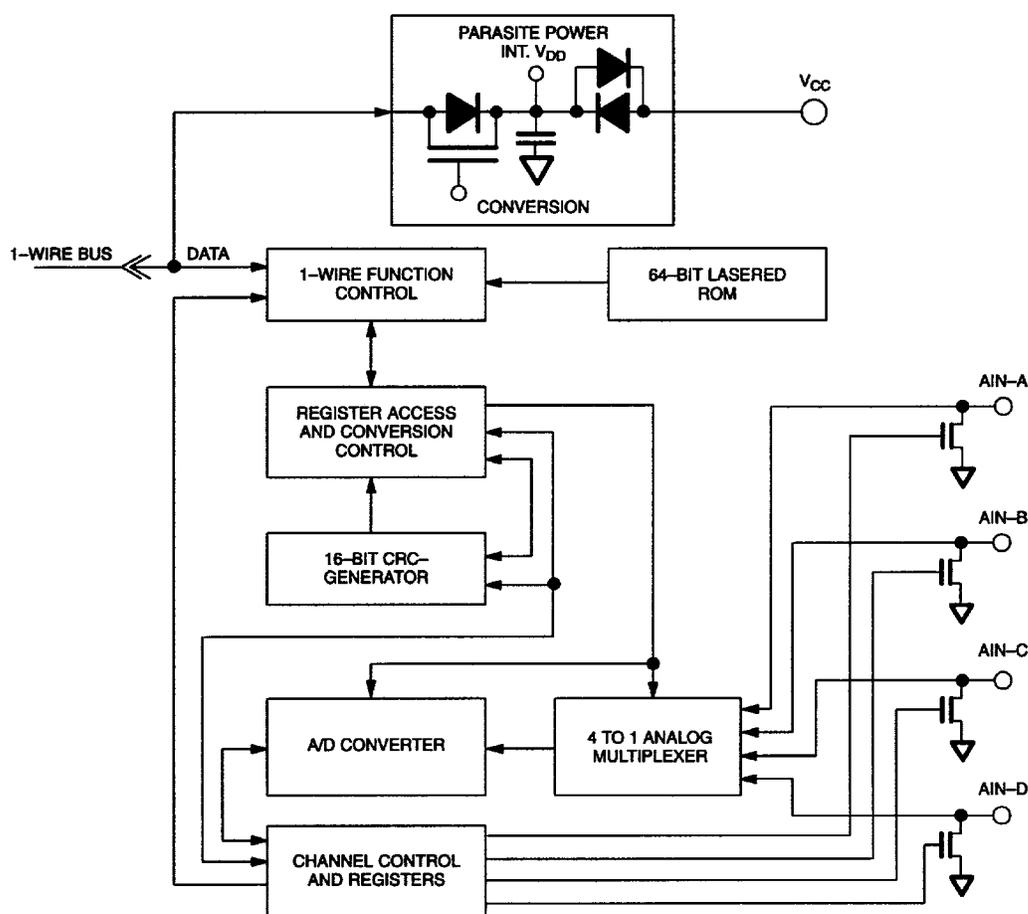
或其 V_{CC} 引脚供电时这些配置信息不会丢失。上电后，上电复位标志位置位，该标志位表明总线上的主机在对器件进行操作之前要重新装入器件配置信息。器件内所有的寄存器和转换结果读出寄存器被安排在共 3 页，每页 8 字节的线性空间中，其结构与DS2505/6 的状态存储器类似。片上CRC16 发生器可以在读取一个存储器页及写入单个字节时防止传输错误。

概述

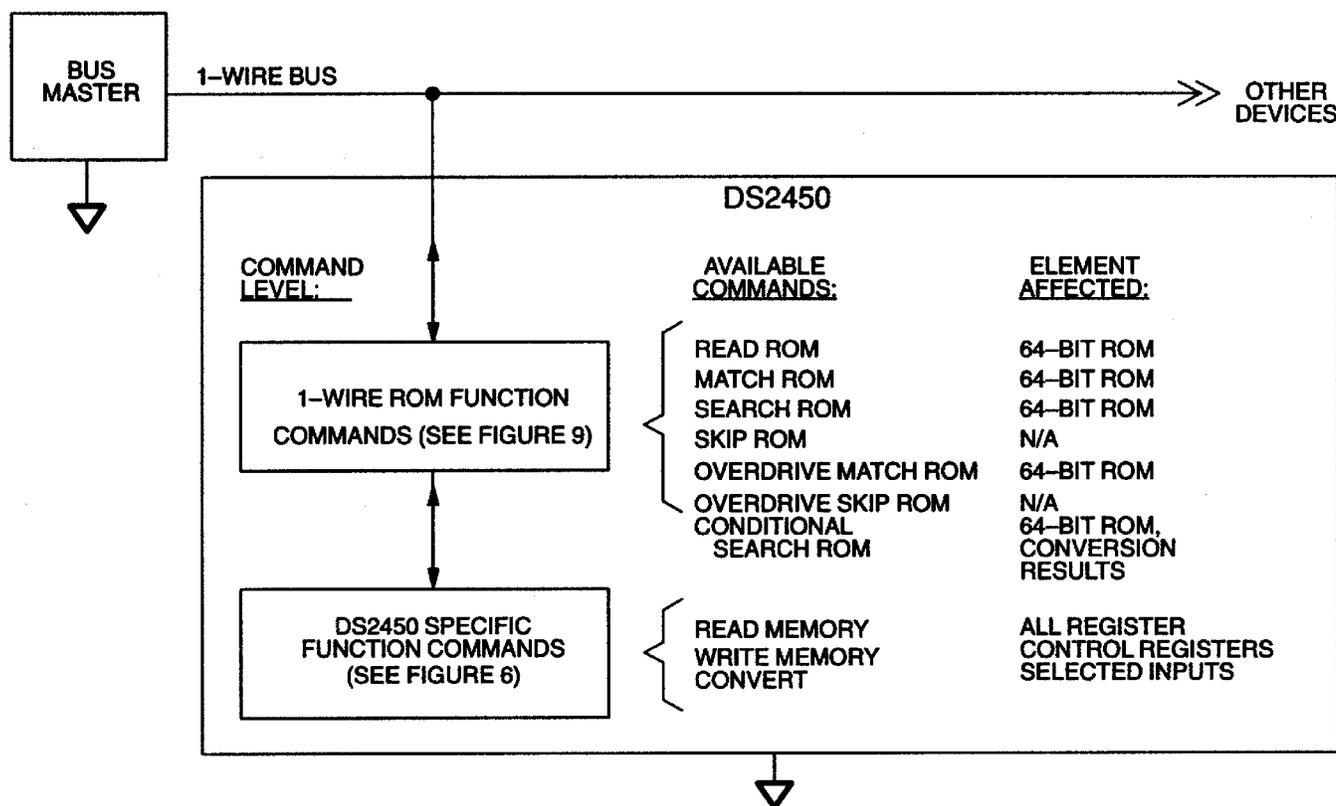
DS2450 主要功能模块结构框图如图 1 所示。DS2450 包含一个工厂激光光刻的注册码，由唯一的 48 位序列号、8 位 CRC 校验码和 8 位家族码(20h)组成。DS2450 的 64 位 ROM ID 不仅是器件的绝对唯一的电子身份证明，而且也能使器件在总线上被主机定位和访问，以便由主机控制某个 DS2450 实现其功能。

DS2450 可以从 1-Wire 总线或其 V_{CC} 引脚获得电源。在不连接 V_{CC} 电源引脚的情况下，当 1-Wire 信号线的电平为高时，DS2450 会将电能储存在内部电容中。当信号的电平变低时，器件会释放出电容中存储的电能以维持器件的工作，直至 1-Wire 总线电平再次变高；此时电容将被再次充电。然而，这种供电方式仅能为通信提供充足的电源，要进行A/D转换， 1-Wire总线和 5V或 V_{CC} 供电间要有一个强上拉通道存在。

DS2450 结构框图 图 1



1-Wire 协议分层结构 图 2

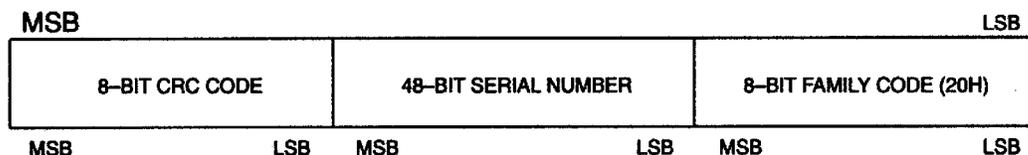


DS2450 采用 Dallas Semiconductor 之标准 1-Wire 协议传输数据。要与 DS2450 进行通信只需一个 I/O 口（该 I/O 口通常是微控制器的一个端口）。1-Wire 协议的分层结构如图 2 所示。1-Wire 总线主机必须先向 1-Wire 从机发送下述七条 ROM 功能命令中的一条：1) Read ROM、2) Match ROM、3) Search ROM、4) Conditional Search ROM、5) Skip ROM、6) Overdrive-Skip ROM、7) Overdrive-Match ROM。在标准通讯速率下执行了可以使器件进入高速通讯模式的 ROM 命令后，器件便进入高速通信模式；此后主机和器件的通讯便在高速模式下进行。图 9 描述了这些 ROM 功能命令所需的协议。在 ROM 功能命令成功执行后，主机可以发出任一条有效的存储器或功能命令对器件进行存储器或功能操作。图 6 给出了这些控制命令的协议。读出和写入数据时都从最低有效位开始。

64 位光刻 ROM

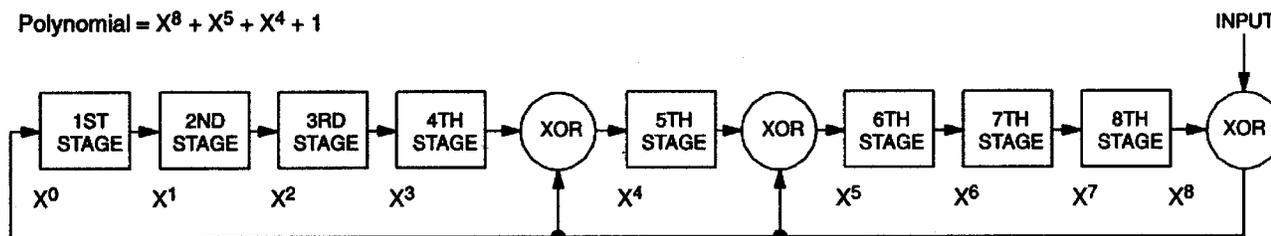
每片 DS2450 中都有一个唯一的 64 位长 ROM 码，其中前 8 位是 1-Wire 器件的家族码，后 48 位是唯一的序列号，最后 8 位是由前 56 位 ROM 码计算得出的 CRC8 校验码，详见图 3。其中的 1-Wire CRC 码由移位寄存器和异或门组成的多项式发生器生成，见图 4，该多项式为： $X^8 + X^5 + X^4 + 1$ 。关于 Dallas 1-Wire 循环冗余校验的更多信息请参见 *Book of iButton Standards*。作为 CRC 累加器的移位寄存器被初始化为零。然后，从家族码的最低有效位开始，每次移入一位。当家族码第 8 位移入后，再移入序列号，当 48 位序列号全部移入后，留在移位寄存器中的就是 CRC 值。将得到 8 位 CRC 校验码移入移位寄存器，则移位寄存器应该全部归零。

64 位光刻 ROM 图 3



1-Wire CRC 发生器 图 4

$$\text{Polynomial} = X^8 + X^5 + X^4 + 1$$



器件寄存器

DS2450 的寄存器被映射到由 24 个相邻字节组成的一个线性空间内，该线性空间被分为三页，每页 8 字节。第一页为转换结果读出寄存器页，芯片内部逻辑会将转换的结果放于该页，总线主机可从该页读到转换结果。如图 5a 所示，从位于最低地址处的通道 A 转换结果寄存器开始，每个通道均有一个 16 位区域用于存储转换结果，上电后转换结果读出寄存器的默认值为全零。无论分辨率的设置为何，转换结果的最高有效位总在同一个位置。如果设定的分辨率低于 16 位，芯片会以 0 来填充转换结果的最低有效位，以始终得到一个 16 位的转换结果。对于不需要 4 个模拟输入通道的应用场合，应以通道 D 作为第一个模拟输入通道，以通道 C 作为第二个模拟输入通道，以此类推。以这样的形式来安排通道，在读取转换结果时可以读到该寄存器页的末尾，这时在进行读操作候将获得读到信息的 CRC16 码并且将 1-Wire 总线上的通信量减至最小。有关读操作的更多细节参见 Read Memory 命令描述。

存储器映射页 0, 转换结果读出页 图 5a

Address	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
00	A	A	A	A	A	A	A	LSBIT A
01	MSBIT A	A	A	A	A	A	A	A
02	B	B	B	B	B	B	B	LSBIT B
03	MSBIT B	B	B	B	B	B	B	B
04	C	C	C	C	C	C	C	LSBIT C
05	MSBIT C	C	C	C	C	C	C	C
06	D	D	D	D	D	D	D	LSBIT D
07	MSBIT D	D	D	D	D	D	D	D

所有通道的控制和状态信息寄存器位于存储器页 1 (图 5b)。如同转换结果读出寄存器一样，每通道共有 16 个控制和状态信息位。其中四个最低有效位 RC3 至 RC0 是无符号二进制数，用于指定转换结果的位数。代码 1111 (十进制的 15) 表示转换结果为 15 位。要获得一个 16 位的转换结果，代码应为 0000。RC3 左边的两位始终为 0。他们没有相应的功能设置效用，且不能被置为 1s。

接下来的两位是 OC (输出控制)和 OE (使能输出), 用来控制将通道作为输出通道使用。通常情况下, OE 位应该为 0, 以使通道作为模拟输入通道使用, 此时 OC 位可为任意值。当 OE 置为 1, OC 为 0 时将使通道的输出晶体管导通, OC 为 1 将使晶体管关闭。例如, 采用上拉电阻拉至正电压时, OC 位将直接转换为与其逻辑状态等效的电压值。将通道作为数字输出通道时不会关闭其上的模拟输入, A/D 转换依然可以进行, 但如果此时晶体管导通, 得到的转换结果将接近于 0。

IR 位位于各个通道的控制和状态寄存器的第二个字节的 0 位, 用来选择输入电压范围。IR 置为 0 时, 可达之最大转换结果对应的电压为 2.55V。IR 置为 1 时, 同样的可达之最大转换结果对应的电压为 5.10V。IR 左边的一位没有定义。它的值始终为 0 且不能变为 1。

接下来两位是 AEL 和 AEH, AEL 为低报警使能, AEH 为高报警使能。如果转换结果高于(对应 AEH)或低于(对应 AEL)器件报警设置中规定的报警门限电压, 则这两位将用来控制器件是否响应条件搜索命令(参见 ROM 功能)。报警标记 AFL (低报警标志位)和 AFH (高报警标志位)将告知总线主机在最近的一次转换中通道的输入电压是否低于或高于门限。当器件进行新的转换, 且新的转换结果不在报警范围内, AFL 和 AFH 标志被自动清除。如果不进行转换, 则主机也可通过向这 2 位 (AFL 和 AFH) 写 0 来将它们清除。

通道控制和状态存储器的下一位始终为 0 并且不能被变为 1。在器件执行上电复位周期时 POR 位(上电复位)自动置 1。只要该位为 1, 则器件将始终响应 Conditional Search 命令以通知总线主机之前设置的控制和门限数据不再有效。上电以后总线主机应将 POR 写为 0。这一步可以同重装控制和门限数据一起进行。总线主机可以将 POR 位写为 1, 这将使器件响应条件检索命令, 但不会产生复位周期。由于 POR 位的值与器件有关但与通道无关, 因此当主机将其置 1 时, 它不会影响当前的输入电压范围或报警设置。控制和状态数据的上电缺省设置为每通道第一个字节是 08h, 第二个字节为 8Ch。

存储器映射页 1, 控制/状态 数据 图 5b

Address	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
08	OE-A	OC-A	0	0	RC3-A	RC2-A	RC1-A	RC0-A
09	POR	0	AFH-A	AFL-A	AEH-A	AEL-A	0	IR-A
0A	OE-B	OC-B	0	0	RC3-B	RC2-B	RC1-B	RC0-B
0B	POR	0	AFH-B	AFL-B	AEH-B	AEL-B	0	IR-B
0C	OE-C	OC-C	0	0	RC3-C	RC2-C	RC1-C	RC0-C
0D	POR	0	AFH-C	AFL-C	AEH-C	AEL-C	0	IR-C
0E	OE-D	OC-D	0	0	RC3-D	RC2-D	RC1-D	RC0-D
0F	POR	0	AFH-D	AFL-D	AEH-D	AEL-D	0	IR-D

存储器映射页 2, 报警设置 图 5c

Address	bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
10	MSBL-A	A	A	A	A	A	A	LSBL-A
11	MSBH-A	A	A	A	A	A	A	LSBH-A
12	MSBL-B	B	B	B	B	B	B	LSBL-B
13	MSBH-B	B	B	B	B	B	B	LSBH-B
14	MSBL-C	C	C	C	C	C	C	LSBL-C
15	MSBH-C	C	C	C	C	C	C	LSBH-C
16	MSBL-D	D	D	D	D	D	D	LSBL-D
17	MSBH-D	D	D	D	D	D	D	LSBH-D

用于存储各通道报警门限电压值的寄存器位于存储器页 2 (图 5c), 每个通道都有 2 个门限值寄存器, 用于存储低电压报警门限和高电压报警门限; 前者位于该寄存器对的低地址空间。上电后, 低报警门限寄存器的默认值为 00h, 高报警门限寄存器的默认值为 FFh。报警值的设置始终为一个八位值。如果分辨率为 8 位或更高, 则当转换结果高 8 的位值大于高报警阈值或小于低报警阈值时, 报警信号标记 AFH 或 AFL 置 1。若分辨率低于八位, 报警寄存器的最低有效位被忽略。

存储器映射页 3, 工厂校准, VCC 控制字节 图 5d

Address	
18	Factory Calibration (do not change)
19	Factory Calibration (do not change)
1A	Factory Calibration (do not change)
1B	Factory Calibration (do not change)
1C	Set to 40 hex if VCC powered
1D	Factory Calibration (do not change)
1E	Factory Calibration (do not change)
1F	Factory Calibration (do not change)

工厂校准时需要用到地址范围为 18 至 1F 的存储器页 4。用户可通过 Read Memory 和 Write Memory 命令访问这些存储器页。随意改变这些存储页的数据, 将使 A/D 转换器的校准失效或使器件无法发挥作用; 除非经过一个上电复位过程将其恢复。**如果器件由 VCC 供电, 必须在上电后向存储地址 1C 写入 0x40 以使模拟电路始终保持工作状态。**这样一来也可消除每次转换时都有的偏置时间。详细说明参见 CONVERT 命令描述。

功能命令

功能命令流程图(图 6)描述了访问 DS2450 寄存器所需的协议。对 16 位的寻址空间而言, DS2450 的存储器映射范围较小, 因此地址的 11 位最高有效位在进入 CRC 发生器之前将被强制为 0。主机和 DS2450 之间的通信可以标准通信模式(缺省情况, OD = 0)或以高速通信模式(OD = 1)来进行。如果不明确设置为高速通信模式则器件将以标准速度通信。

Read Memory [AAh]

Read Memory 命令用于读取转换结果、控制/状态数据和报警设置。总线主机在发出命令字节之后，发出 2 字节地址值(TA1=(T7:T0), TA2=(T15:T8))，以指示要从哪个字节开始读取数据。总线主机随后发出读数据时隙，主机就可从其指定的起始地址处从 DS2450 中读出数据；读操作可以一直持续到达某个八字节存储器页的末尾。此时若总线主机继续读操作，则将接收到基于命令字节、地址字节和数据字节生成的 16 位 CRC 码。该 16 位 CRC 码由 DS2450 计算，总线主机回读该校验码以确认器件接收的命令字、起始地址和数据是否正确。如果总线主机读到的 CRC 不正确，必须发出复位脉冲，重新执行整个时序。

注意：在首次运行 Read Memory 命令流程时，CRC 的形成过程是：清空 CRC 发生器，然后移入命令字节、双地址字节以及某存储区内第一个寻址到的数据字节，之后一直移入数据字节，直至到达所寻址的寄存器页内的最后一个字节。若在上述过程结束后继续读，16 位 CRC 形成过程为：清空 CRC 产生器，移入从下一页第一个字节开始的新数据字节。

Write Memory [55h]

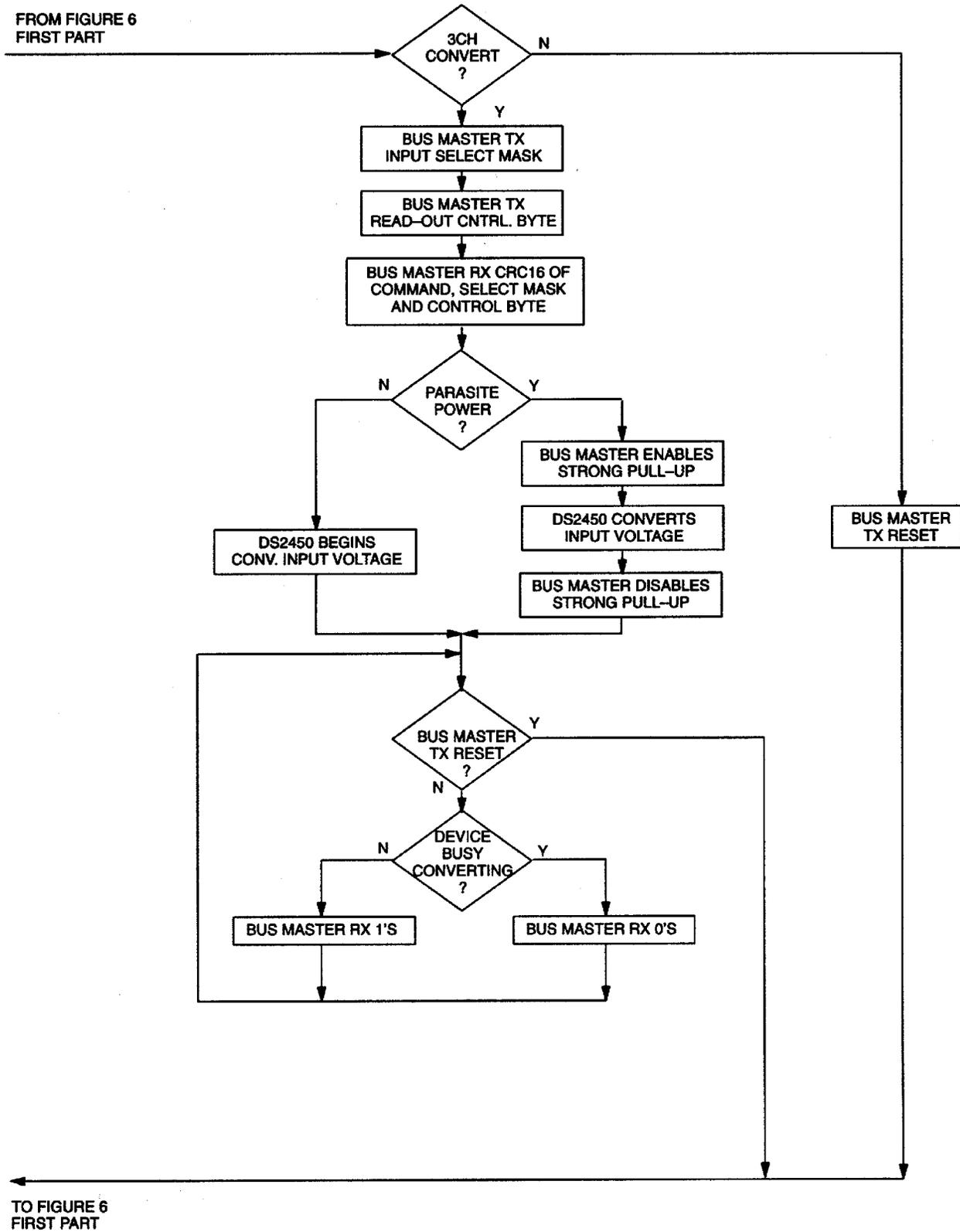
Write Memory（写存储器）命令用于写存储器的页 1 和页 2，以设置各通道的控制数据和报警门限。该命令也可用于向地址 1Ch 处的（在存储器页 3 内）内存单元写入控制字节。总线主机在发出命令字节之后，发出由(TA1=(T7:T0), TA2=(T15:T8)) 2 个字节组成的起始地址和 1 个字节的数据(D7:D0)。DS2450 会计算基于命令、地址和数据字节的 16 位 CRC 校验码，总线主机读回该 CRC 码，以确认命令字、起始地址和数据字节是否被正确接收。然后 DS2450 将数据字节复制到指定的存储单元。在接下来的 8 个时隙中，总线主机将接收到写入字节的副本；该副本是从被访问的存储单元中读回的，以让主机验证是否正确写入。如果写入失败，则主机发出复位脉冲，重新写入。

如果总线主机不发出复位脉冲，并且写访问未到达存储器末尾，DS2450 自动将其地址计数器加一指向下一个内存单元。此时，地址计数器的新值被载入 16 位 CRC 发生器作为初值。总线主机用八个写时隙发送下个字节。一旦 DS2450 接收到该字节，也会将它移入 CRC 发生器，并且得到根据新的数据字节和新地址计算出的 16 位 CRC。在接下来的十六个读时隙中总线主机将从 DS2450 读出该 16 位 CRC，以核实地址的增加以及接收的数据字节是否正确。之后主机从存储器中读到刚刚写入的字节。如果 CRC 或读回字节不正确，主机应该发出复位脉冲以重复 Write Memory 命令序列。

需说明的是，第一次执行 Write Memory 命令流程所产生的 16 位 CRC 值，是由移入 CRC 生成器的命令字节及随后移入的 2 个地址字节和 1 个数据字节生成的。若在上述流程结束后继续写，则 16 位 CRC 码，由直接向 CRC 发生器加载 DS2450 自动增加的地址计数器之数值，以及移入新的数字字节产生。

总线主机将决定是否在接收到不正确的 CRC 码或验证失败后继续写操作。向转换结果读出寄存器写数据是不可能的。如果试图对页 0 地址执行写操作，器件会完全依照 Write Memory 流程，但从存储器中读回数据字节进行验证往往会失败。只需发出复位脉冲，Write Memory 命令序列就可随时被终止。

功能命令流程图图 6 (续)



Convert [3Ch]

Convert命令用于启动一个或多个通道的模拟-数字转换，转换时的分辨率由存储器页 1—控制/状态数据寄存器中的设置决定。每发出一次Convert命令，每位的转换时间为 60 μ s至 80 μ s；再加上最大值为 160 μ s的偏置时间。以每通道 12 位分辨率之四通道A/D转换为例，转换命令的执行时间不会超过 4x12x80 μ s加上 160 μ s（偏置时间），共计 4ms。如果DS2450 由V_{CC}引脚供电，当DS2450 忙于进行A/D转换时，总线主机可以和 1-Wire总线上之其它 1-Wire器件通信。如果器件完全由 1-Wire总线供电，总线主机必须在估计的转换期内提供一 5V强上拉以提供充足的能量。

转换过程由输入通道选择掩码（input select mask）（图 7a）和读出控制字节（图 7b）控制。总线主机在输入通道选择掩码中指定哪些通道进行转换。如果一个通道的相关掩码位被设置为 1，则该通道会执行转换过程。如果要进行转换的通道多于一个，则转换以 A，B，C，D 的顺序在通道间依次进行，未被选中的通道被跳过。在其他已选通道的转换完成之前，总线主机可以读取已经完成转换的通道结果。总线主机用读出控制字节来区别一个结果的新/旧值。该字节允许把每个已选通道的转换结果读出寄存器预先设为全 1 或全 0。如果估计转换结果接近 0，那么应该预先设定为全 1，如果估计转换结果可能是一个较大的数值，则应预先设定为全 0。在总线主机可以等待至所有已选通道都完成转换后再读取数据的场合，则无需预先设定寄存器。**注意：**对于未选中通道，通道的读出控制设置不起作用。如果通道的转换结果经常接近 0，通道的输出晶体管也许会导通。详见器件寄存器一节。

输入通道选择掩码 (转换命令) 图 7a

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
"don't care"				D	C	B	A

读出控制 (转换命令) 图 7b

bit 7	bit 6	bit 5	bit 4	bit 3	bit 2	bit 1	bit 0
Set D	Clear D	Set C	Clear C	Set B	Clear B	Set A	Clear A

Set	Clear	Explanation
0	0	no preset, leave as is
0	1	preset to all 0's
1	0	preset to all 1's
1	1	(illegal code)

在 Convert 命令字节之后，总线主机发送输入通道选择掩码和读出控制字节。之后总线主机将读到基于命令字节、输入通道选择掩码和控制字节产生的 CRC16 码。在总线主机接收到 CRC16 码的最高有效位之后，转换将在 10 μ s 内开始。

当用寄生电源为总线供电时，主机必须在这 10 μ s 的窗口期内激活强上拉电路，并在预估的转换时间内（如何预估该时间请参考上文）维持强上拉。之后，数据线返回空闲高电平状态，总线上的通信可重新开始。通常总线主机可发送复位脉冲以退出 Convert 命令。如果转换时间计算正确，若主机在强上拉结束之后，但在发出复位脉冲之前，发出读时隙，将会读到全 1。

由V_{CC}电源供电时总线主机可以发送复位脉冲以中止Convert命令或者继续发出读时隙。只要DS2450 还在忙于进行转换，总线主机将读到 0。而当转换完成后总线主机将接收 1。由于在开漏环境下单个 0 覆盖多个 1，因此总线主机可以同时监测多个器件的转换过程，并可在最后一个器

件转换结束后立即知道所有器件的转换任务已经结束。和采用寄生供电时的情况一样，主机最后必须通过发送复位脉冲中止Convert命令。

1-Wire 总线系统

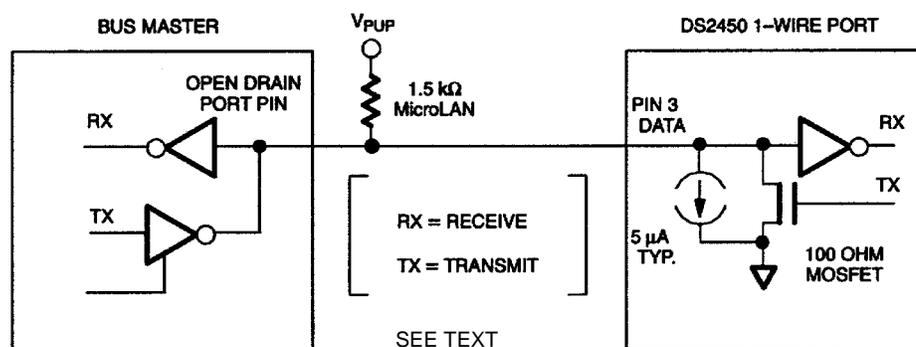
在典型的 1-Wire 系统中只有一个主机而可以有多个从机。任何情况下，DS2450 都是从设备。有关总线系统的讨论将分为三个主题：硬件结构、传输顺序和 1-Wire 信令（信号类型和时序）。1-Wire 协议以特定时隙内的总线状态来定义总线上的信号传输，该时隙起始于由总线主机发出的同步脉冲的下降沿。该协议的详细描述参见 *Book of iButton Standards* 的第 4 章。

硬件配置

根据定义 1-Wire 总线系统中只有一根信号线；因此总线上的各个设备可在恰当的时间驱动总线是相当重要的。为达到这一目的，每一个接入 1-Wire 总线的器件都要有漏极开路或三态输出口。DS2450 的 1-Wire 端口为漏极开路输出，其内部等效电路如图 8 所示。一个多点系统由一个主机和多个从机组成。标准速率下，1-Wire 总线的最高数据传输速率为 16.3kbps。采用高速模式时数据传输速率可提升至 142kbps。采用标准速率时 1-Wire 总线需要一个约为 5kΩ 的上拉电阻，在高速模式下通信需要一个最大为 2.2kΩ 的上拉电阻。如果 DS2450 完全由 1-Wire 供电，进行 A/D 转换期间总线主机必须给器件提供 5V 的强上拉。

1-Wire 总线的空闲状态为高电平。如果由于某种原因需要暂停通讯工作，稍后还要恢复的话，必须将总线置于高电平的空闲状态。否则，如果总线置为低电平的时间超过 16μs（高速模式）或 120μs（标准速率），总线上的器件将被复位。

硬件配置 图 8



传输流程

通过 1-Wire 端口访问 DS2450 的操作流程如下：

- 初使化
- ROM 功能命令
- 存储/转换功能命令
- 传输/数据

初使化

1-Wire 总线上所有的传输均由初始化开始。初始化过程由主机发出的复位脉冲和从机响应的应答脉冲组成。应答脉冲让总线主机知晓 DS2450 在总线上，并且已经准备就绪。更多详细内容，请参阅“1-Wire 信令”一节。

ROM 功能命令

一旦主机检测到在线应答脉冲，就可以发出七条 ROM 功能命令中的一条。所有 ROM 功能命令的字长均是 8 位。下面是这些 ROM 命令的简要介绍(参考图 9 所示的流程图)。

Read ROM [33h]

主机用该命令来读取 DS2450 的 8 位家族码、唯一的 48 位序列号和 8 位 CRC 码。该命令适用于总线上只有一个 DS2450 的情况。如果总线上挂接有多个从器件，那么所有从器件都试图在同一时刻传送数据时，此时就会发生数据冲突(开漏输出将产生“线与”结果)，将会导致主机读取的家族码和 48 位序列与 CRC 不匹配。

Match ROM [55h]

发出 Match ROM 命令后紧跟着发出 64 位 ROM 码，该命令使得主机可以访问多点系统中的一个特定的 DS2450。只有内部 ROM 码与主机发出的 64 位 ROM 码匹配的 DS2450 才会响应随后的存储/转换功能命令，所有其他的从器件将不响应主机随后发来的命令，直至复位脉冲到来。该命令适用于总线上有一个或多个从器件的场合。

Skip ROM [CCh]

在单点总线系统中，总线主机可使用该命令在不提供从器件 64 位 ROM 码的情况下直接执行存储/转换功能，从而节省时间。如果总线上挂接有多个从器件，Skip ROM 命令后发出读命令将会导致总线冲突，因为会有多个从器件同时发送数据(开漏下拉将产生一个“线与”结果)。

Search ROM [F0h]

当系统刚初始化时，总线主机可能不知道 1-Wire 总线上挂接有多少个器件，也不知道各器件的 64 位 ROM 码。利用 Search ROM 命令，主机可通过一个排除过程来确认总线上所有从机器件的 64 位 ROM 码。Search ROM 是以下三个简单步骤的重复，这三个步骤是：读一位、读该位的补码、写一位所希望的数值。总线主机对 ROM 的每一位都执行这三个步骤。经过一个完整循环后，总线主机就可得到某器件的 ROM 码。继续进行类似的过程可获悉其他从器件的 ROM 码。有关 Search ROM 的深入讨论，请参阅 *Book of iButton Standards* 的第 5 章，文中给出了一个实例。

Conditional Search [ECh]

Conditional Search ROM 命令的执行情况与 Search ROM 命令类似，但只有满足特定条件的器件才会参与到搜索过程中来。如果通道的报警使能标记 AEH 和/或 AEL 置为 1 且转换结果超出了通道报警门限电压的规定范围，DS2450 会响应 Conditional Search 命令；（参见设备寄存器部分以获得详细信息）。在多点系统中，Conditional Search ROM 命令为总线主机识别那些必须报告一些重要事件（如电压超出门限）的从器件提供了一种有效的方法。当每次成功地执行 Conditional Search 命令得到多点系统中某个特定器件的 64 位 ROM 码后，就可像发出了 Match ROM 命令后那般单独寻址该特定器件；因为此时所有其它的器件都退出搜索过程，等待下一个复位脉冲的到来。

Overdrive Skip ROM [3Ch]

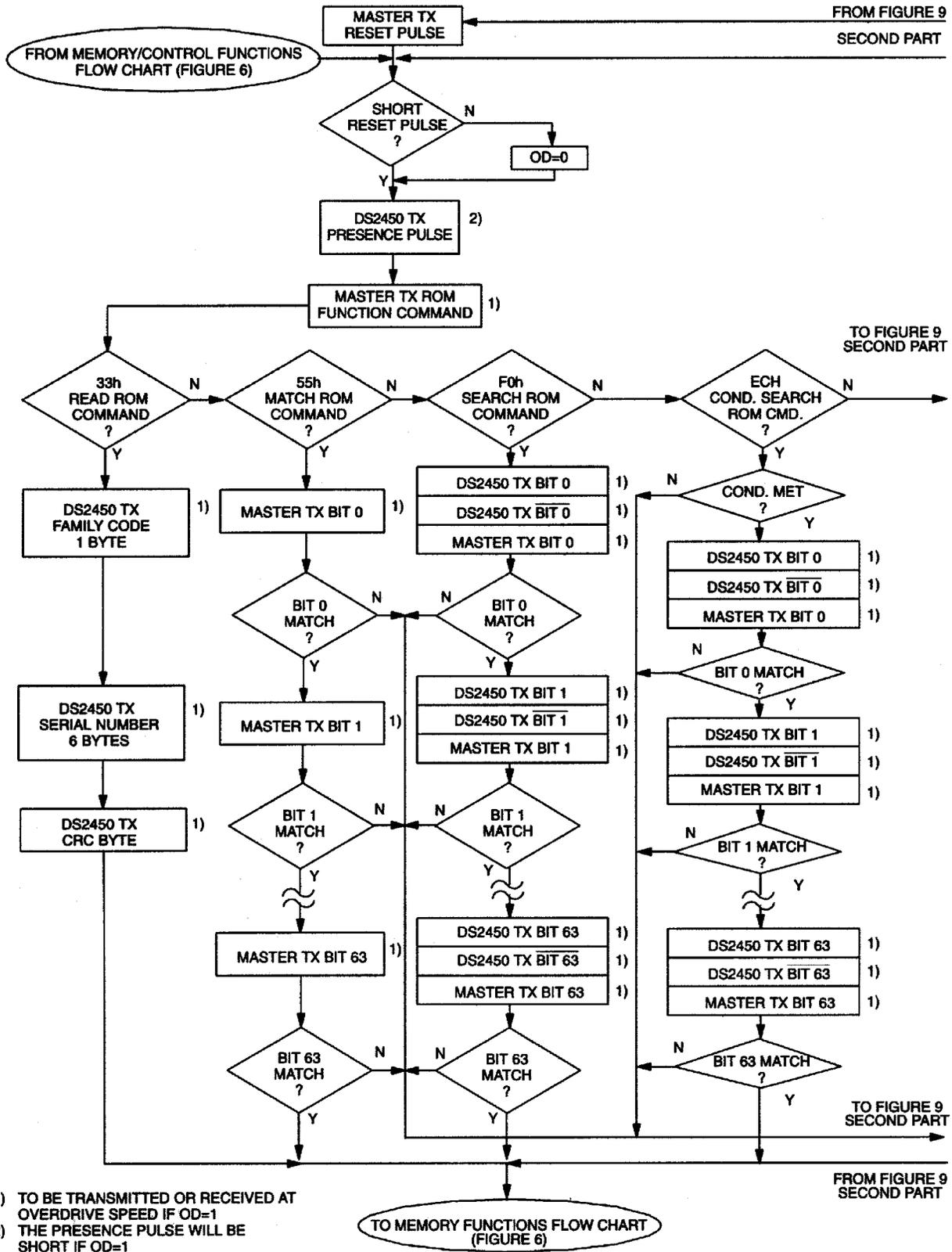
在单点系统中发出该命令，总线主机无需提供 64 位 ROM 码就可以访问器件的存储/转换功能，从而节省了时间。不同于通常的 Skip ROM 命令，Overdrive Skip ROM 命令将使 DS2450 进入高速模式（OD = 1）。发出该命令码后所有的通信都将以高速模式进行，直到有一个最短持续 480 μ s 的复位脉冲把总线上的所有器件都复位到标准速率（OD = 0）。

在多点总线上发出该命令时，所有支持高速模式的器件都被置入高速模式。随后，为了寻址特定的高速模式器件，必须发出一个高速模式下的复位脉冲，接着发出 Match ROM 或 Search ROM 命令来寻址，这将加速搜索过程。如果总线上有多个支持高速模式的从机，并且 Overdrive Skip ROM 命令后接着就是 Read 命令，那么由于多个从机会同时传输数据，总线上会产生数据冲突（多个开漏输出下拉将产生线“与”结果）。

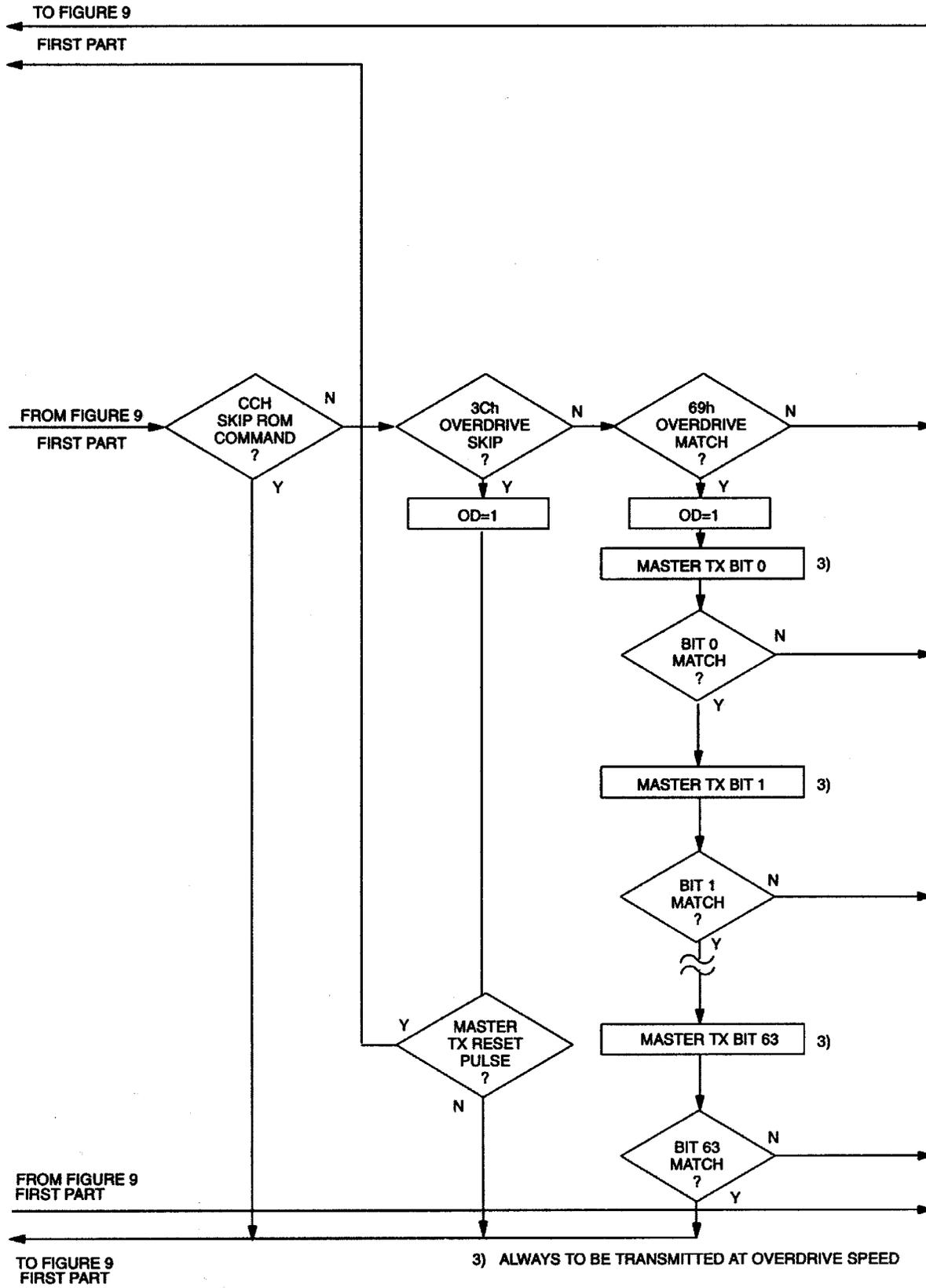
Overdrive Match ROM [69h]

主机发出 Overdrive Match ROM 命令，之后在高速模式发送 64 位注册号，总线主机可以在多点总线上找到某个特定的 DS2450，同时将它设置入高速模式。只有自身的 64 位注册码与主机发来的 64 位注册码完全匹配的 DS2450 才会响应后续的存储功能命令。先前已经被 Overdrive Skip 或 Overdrive Match 命令置入高速模式的从机将继续保持高速模式。直到发出一个最短持续时间 480 μ s 的复位脉冲后，所有的高速模式器件将恢复为标准速率。命令 Overdrive Match ROM 适用于总线有一个或多个器件的情况。

ROM 功能命令流程图 图 9



ROM 功能流程图 图 9 (续)



用法示例 (设置部分)

此例中，1-Wire总线上有一个由V_{CC}供电的DS2450。通道D分辨率设定为 12 位，测量输入电压的最大值设为 5.12V，报警门限设置为 2.0V (64h)和 3.0V (96h) (增量 20mV)以及转换输入电压;发生低报警时打开通道A输出，发生高报警时打开通道B。

主机工作状态	数据 (LSB 在先)	说明	
TX	复位	复位脉冲 (480 至 960 μ s)	
RX	在线	在线应答脉冲	
TX	CCh	发送“Skip ROM”命令	
TX	55h	发送“Write Memory”命令	
TX	08h	TA1, 起始地址	
TX	00h	TA2, 地址 = 0008h	
TX	C0h	数据字节 (地址 0008)	CH-A
RX	<CRC16>	CRC 命令, 地址, 数据字节	
RX	C0h	回读数据, 简单验证	
TX	00h	下一个数据字节 (地址 0009h)	
RX	<CRC16>	CRC 地址, 数据字节	
RX	00h	回读数据, 简单验证	
TX	C0h	数据字节 (地址 000A)	CH-B
RX	<CRC16>	CRC 地址, 数据字节	
RX	C0h	回读数据, 简单验证	
TX	00h	下一个数据字节 (地址 000Bh)	
RX	<CRC16>	CRC 地址, 数据字节	
RX	00h	回读数据, 简单验证	
TX	C0h	数据字节 (地址 000C)	CH-C*
RX	<CRC16>	CRC 地址, 数据字节	
RX	C0h	回读数据, 简单验证	
TX	00h	下一个数据字节 (地址 000Dh)	
RX	<CRC16>	CRC 地址, 数据字节	
RX	00h	回读数据, 简单验证	
TX	0Ch	数据字节 (地址 000E)	CH-D
RX	<CRC16>	CRC 地址, 数据字节	
RX	0Ch	回读数据, 简单验证	
TX	0Dh	下一个数据字节 (地址 000Fh)	
RX	<CRC16>	CRC 地址, 数据字节	
RX	0Dh	回读数据, 简单验证	

接下一页。

*在多点式系统中设置未用通道所需的时间少于将该通道跳过所需的时间。

用法示例 (设置继续, 转换, 读标记)

主机工作状态	数据 (LSB 在先)	说明
TX	复位	复位脉冲 (480 至 960 μ s)
RX	在线	在线应答脉冲
TX	CCh	发送“Skip ROM”命令
TX	55h	发送“Write Memory”命令
TX	16h	TA1, 起始地址
TX	00h	TA2, 地址 = 0016h
TX	64h	数据字节 (地址 0016) CH-D
RX	<CRC16>	CRC 命令, 地址, 数据字节
RX	64h	回读数据, 简单验证
TX	96h	下一个数据字节 (地址 0017h)
RX	<CRC16>	CRC 地址, 数据字节
RX	96h	回读数据, 简单验证
TX	复位	复位脉冲 (480 至 960 μ s)
RX	在线	在线应答脉冲
TX	CCh	发送“Skip ROM”命令
TX	3Ch	发送“Convert”命令
TX	08h	输入选择屏蔽 CH-D
TX	40h	读出控制字节
RX	<CRC16>	CRC 命令, 屏蔽, 控制字节
RX	<multiple data bytes>	连接读取直到 FFh
TX	复位	复位脉冲 (480 至 960 μ s)
RX	在线	在线应答脉冲
TX	CCh	发送“Skip ROM”命令
TX	Aah	发送“Read Memory”命令
TX	0Fh	TA1, 起始地址
TX	00h	TA2, 地址 = 000Fh
RX	<data byte>	状态数据* CH-D
RX	<CRC16>	CRC 命令, 地址, 数据字节

接下页。

*状态数据字节包括通道 D 报警标记 AFH 和 AFL, 它们用来控制通道 A、B 的输出(见下页)。

用法示例 (控制通道 A 和通道 B 的输出)

主机工作状态	数据 (LSB 在先)	说明
TX	复位	复位脉冲 (480 至 960 μ s)
RX	在线	在线应答脉冲
TX	CCh	发送“Skip ROM”命令
TX	55h	发送“Write Memory”命令
TX	08h	TA1, 起始地址
TX	00h	TA2, 地址 = 0008h
TX	如果 AFL = 1, 80h / 如果 AFL = 0, C0h	数据字节 (地址 0008) CH-A
RX	<CRC16>	CRC 命令, 地址, 数据字节
RX	<data byte>	回读数据, 简单验证
TX	00h	下一个数据字节 (地址 0009h) *
RX	<CRC16>	CRC 地址, 数据字节
RX	00h	回读数据, 简单验证
TX	如果 AFH = 1, 80h / 如果 AFH = 0, C0h	数据字节 (地址 000A) CH-B
RX	<CRC16>	CRC 地址, 数据字节
RX	<data byte>	回读数据, 简单验证
TX	复位	复位脉冲 (480 至 960 μ s)
RX	在线	在线应答脉冲

*在多点系统中执行“不改写”写周期所需的时间少于跳过字节所需的时间。

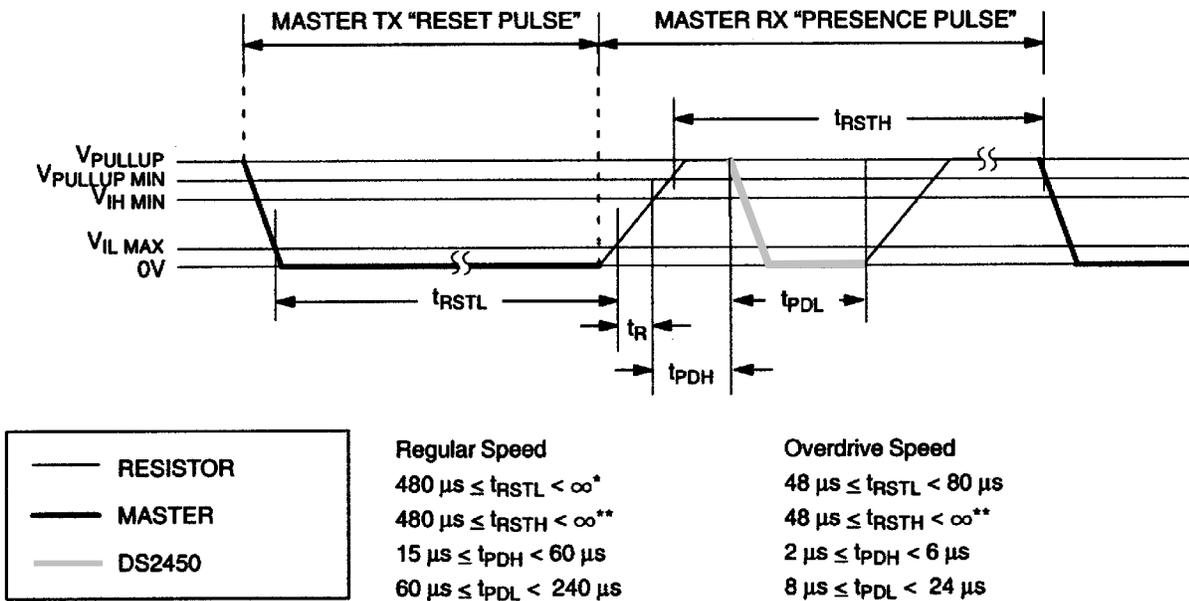
1-Wire 信令

DS2450 需要严格的协议来保证数据的完整性。该协议由一根信号线上的 4 种信令组成：由复位脉冲和从机应答信号组成的复位过程、写 0 时隙、写 1 时隙、读数据时隙。除应答脉冲外，所有信号都由总线主机发出。DS2450 可以标准和高速两种模式进行通信。如果没有明确设置为高速模式，则 DS2450 将以标准速率通信。高速模式下所有波形均使用快速时序。

与 DS2450 进行通信时所需的初始化时序如图 10 所示。若主机在发出复位脉冲后检测到响应信号，则表明 DS2450 已经做好准备且只要主机正确地发送后续的 ROM 或 Memory 功能命令，那么 DS2450 就将接收或发出数据。总线主机发送(TX) 一个复位脉冲(t_{RSTL} ，标准速率下最短时间为 480 μ s，高速模式下最短时间为 48 μ s)，然后总线主机释放总线并进入接收(RX)模式，这时 1-Wire 总线被上拉电阻拉至高电平。当在检测到数据引脚上的上升沿后，DS2450 将等待一段时间(t_{PDH} ，标准速率下 15 μ s 至 60 μ s，高速模式下 2 μ s 至 6 μ s)后发送在线应答脉冲(t_{PDL} ，标准速率下 60 μ s 至 240 μ s，高速模式下 8 μ s 至 24 μ s)。

480 μ s 或更长的复位脉冲将中止高速模式并使器件返回标准速率。如果 DS2450 处于高速模式且复位脉冲小于 80 μ s，器件将保持在高速模式。

初使化过程“复位脉冲和在线应答脉冲”图 10



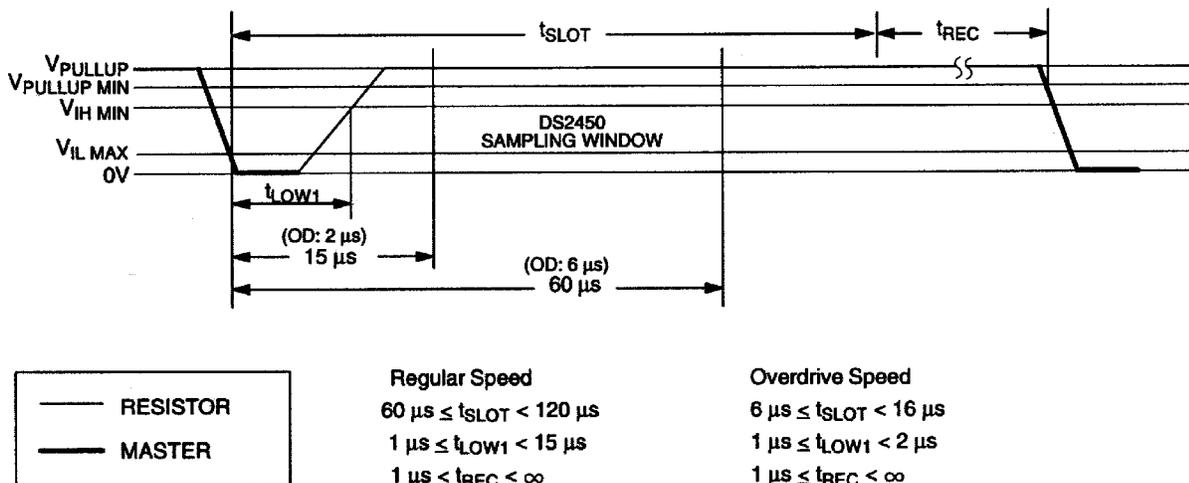
*IN ORDER NOT TO MASK INTERRUPT SIGNALING BY OTHER DEVICES ON THE 1-WIRE BUS, $t_{RSTL} + t_R$ SHOULD ALWAYS BE LESS THAN $960 \mu s$
 **INCLUDES RECOVERY TIME

读/写时隙

读、写时隙的定义如图 11 所示。主机通过拉低数据线来启动所有时隙。数据线的下降沿通过触发内部延迟电路使 DS2450 与主机同步。在写时隙中，延迟电路将确定 DS2450 何时采样数据线。对读数据时隙来说，如果 DS2450 将要发送的是“0”，那么延迟电路将决定 DS2450 维持数据线为低多长时间以覆盖由主机产生的“1”。如果 DS2450 将要发送的是“1”，则 DS2450 将维持主机产生的读时隙不变。

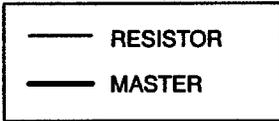
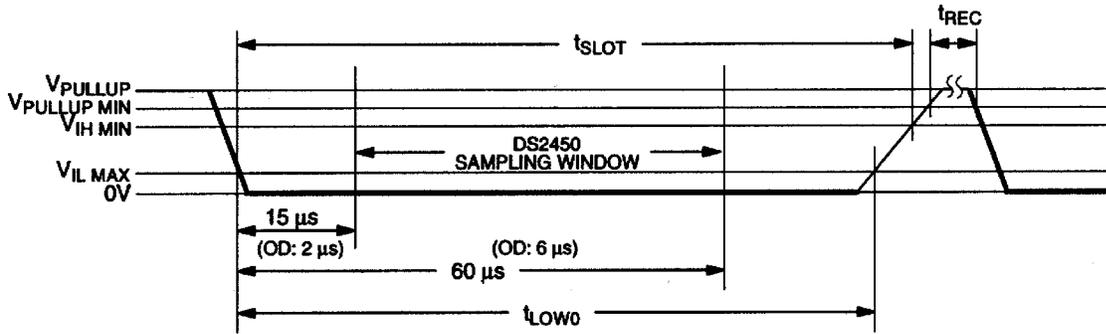
读/写时隙图 图 11

写 1 时隙



读/写时隙图 11 (续)

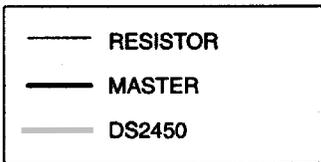
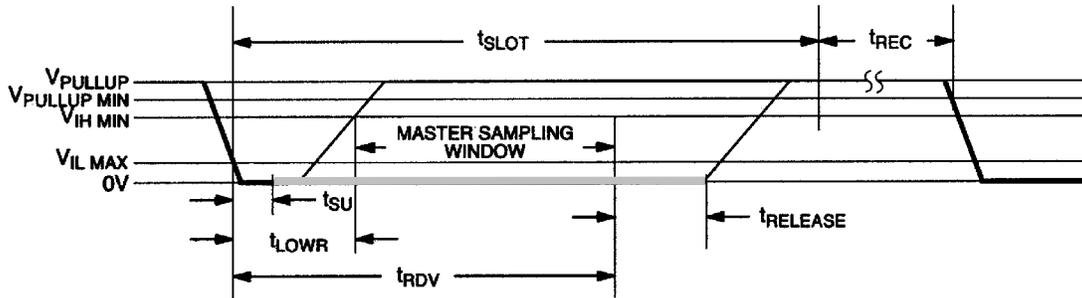
写 0 时隙



Regular Speed
 $60 \mu s \leq t_{LOW0} < t_{SLOT} < 120 \mu s$
 $1 \mu s \leq t_{REC} < \infty$

Overdrive Speed
 $6 \mu s \leq t_{LOW0} < t_{SLOT} < 16 \mu s$
 $1 \mu s \leq t_{REC} < \infty$

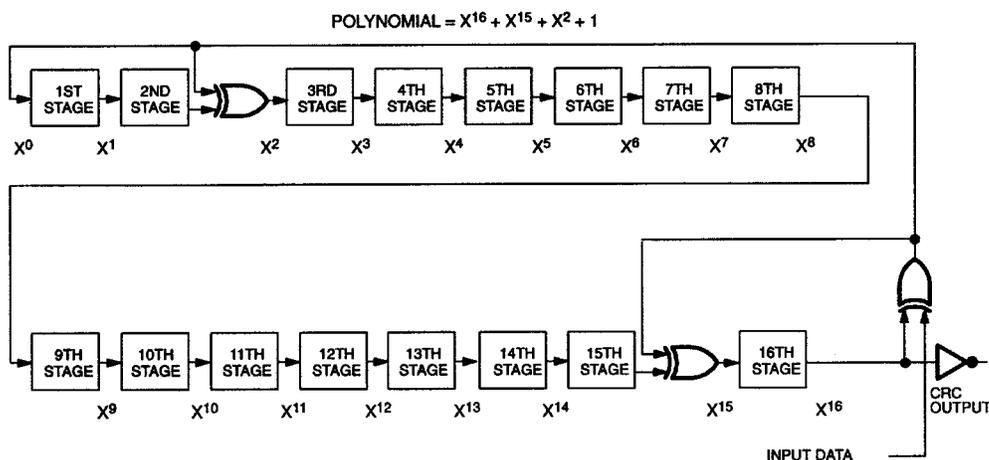
读数据时隙



Regular Speed
 $60 \mu s \leq t_{SLOT} < 120 \mu s$
 $1 \mu s \leq t_{LOWR} < 15 \mu s$
 $0 \leq t_{RELEASE} < 45 \mu s$
 $1 \mu s \leq t_{REC} < \infty$
 $t_{RDV} = 15 \mu s$
 $t_{SU} < 1 \mu s$

Overdrive Speed
 $6 \mu s \leq t_{SLOT} < 16 \mu s$
 $1 \mu s \leq t_{LOWR} < 2 \mu s$
 $0 \leq t_{RELEASE} < 4 \mu s$
 $1 \mu s \leq t_{REC} < \infty$
 $t_{RDV} = 2 \mu s$
 $t_{SU} < 1 \mu s$

CRC 硬件描述及多项式 图 12



CRC 校验

DS2450 有两种类型的循环冗余校验（CRC）。一种是 8 位的，位于 64 位 ROM 的最高有效字节。总线主机可用 64 位 ROM 的前 56 位计算 CRC 值，并将其与存储在 DS2450 64 位 ROM ID 中的 CRC 值比较，以确定总线主机接收到的 ROM 数据是否正确。该 CRC 的等价多项式是 $X^8 + X^5 + X^4 + 1$ 。读 DS2450 的 ROM 时，接收到的是 8 位 CRC 校验码的原码形式（未求反的）。该 CRC 在出厂时就已经计算好了，并用激光写入 64 位 ROM 中。

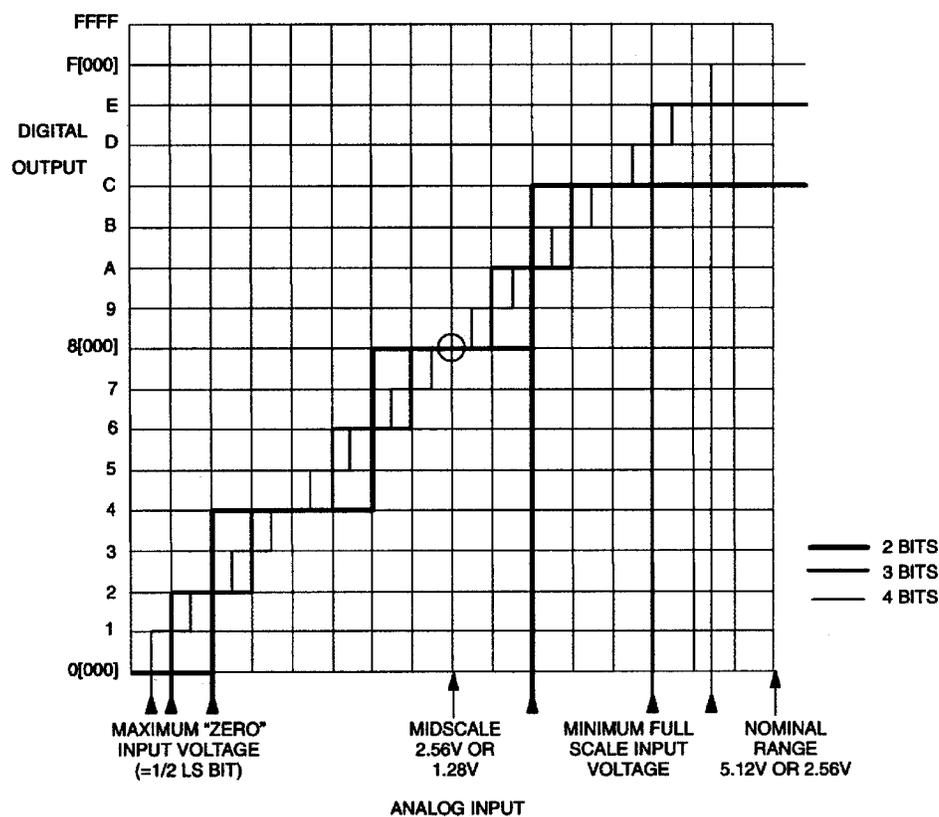
另一种 CRC 码是 16 位的，是根据标准的 CRC16 多项式 $X^{16} + X^{15} + X^2 + 1$ 生成的。当对器件存储器进行读写操作时，利用该 CRC 码可以进行数据传输差错检测；这种 CRC 同 iButton NV RAM 器件中用来保护 iButton 文件结构数据包的 CRC 属于同一种类型。与 8 位 CRC 不同的是，16 位 CRC 总是以（补码）反码的形式进行传送。DS2450 内的 CRC 发生器（图 12）会根据图 6 所示的命令流程图计算出对应的 16 位 CRC 码。

DS2450 将 CRC 提供给主机，以让主机确认其传输/接收的命令、地址、数据是否正确。进行读操作时，每当读到 8 字节存储器页末尾时，DS2450 就发送 16 位 CRC。在首次运行 Read Memory 命令时，CRC 的形成过程是：清空 CRC 发生器，然后移入命令字节、低地址字节、高地址字节以及由第一个寻址到的存储区开始的数据字节，接着一直移入该存储器页面内的其他字节，直至到达寻址寄存器页的最后一个字节。在上述读流程结束之后继续读，则 16 位 CRC 形成过程为：清空 CRC 发生器，移入从下一页第一个字节开始的新数据字节，一直持续直至到达寄存器页的最后一个字节。

写 DS2450 时，在器件将数据复制到内存单元之前，总线主机将接收到 16 位 CRC，以确认数据传输是否正确。首次运行 Write Memory 命令时，CRC 的形成过程是：清空 CRC 发生器，然后移入命令字节、低地址字节、高地址字节以及数据字节。在上述写流程结束后继续写时，由于 DS2450 自动增加其地址计数器，因此 16 位 CRC 形成过程为：将新（增加的）地址字节载入（不是移入）CRC 发生器，然后移入新数据字节。

有关 CRC 校验的详细描述参见 *Book of iButton Standards*，文中还给出了应用实例，包括硬件及软件设计。

传输特性



增量及最小满量程输入电压与分辨率的关系

分辨率	范围 = 2.56V		范围 = 5.12V	
	1 LS 等效输入电压 (mV)	最小满量程输入电压 (V)	1 LS 等效输入电压 (mV)	最小满量程输入电压 (V)
2 位	640	1.60	1280	3.20
3 位	320	2.08	640	4.16
4 位	160	2.32	320	4.64
5 位	80	2.44	160	4.88
6 位	40	2.50	80	5.00
7 位	20	2.53	40	5.06
8 位	10	2.545	20	5.09
9 位	5	2.5525	10	5.105
10 位	2.5	2.5563	5	5.1125
11 位	1.25	2.5581	2.5	5.1163
12 位	0.625	2.5591	1.25	5.1181
13 位	0.313	2.5595	0.625	5.1191
14 位	0.156	2.5598	0.313	5.1195
15 位	0.078	2.5599	0.156	5.1198
16 位	0.039	2.5599	0.078	5.1199

表中阴影部分的精度小于分辨率。转换结果考虑了随机噪声。

ABSOLUTE MAXIMUM RATINGS*

Voltage on DATA to Ground	-0.5V to +7.0V
Operating Temperature	-40°C to +85°C
Storage Temperature	-55°C to +125°C
Soldering Temperature	See J-STD-020 Specification

* This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operation sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods of time may affect reliability.

DC ELECTRICAL CHARACTERISTICS (-40°C to +85°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Supply Voltage	V _{CC}	4.5	5.0	5.5	V	10
Logic 1	V _{IH}	2.2			V	1
Logic 0	V _{IL}	-0.3		+0.8	V	1
Output Logic Low @ 4 mA	V _{OL}			0.4	V	1
Output Logic High	V _{OH}		V _{PUP}	6.0	V	1, 2
Input Load Current	I _L		5		μA	3
Operating Current	I _{CC}		0.5		mA	7
Quiescent Current	I _{CCQ}			20	μA	8

CAPACITANCE (t_A = 25°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
I/O (1-Wire)	C _{IN/OUT}		100	800	pF	5
Analog Input	C _{AIN}			50	pF	

RESISTANCES (t_A = 25°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Analog Input	Z _{AIN}	0.5		1.5	MΩ	

AC ELECTRICAL CHARACTERISTICS REGULAR SPEED (-40°C to +85°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Time Slot	t _{SLOT}	60		120	μs	
Write 1 Low Time	t _{LOW}	1		15	μs	
Write 0 Low Time	t _{LOW0}	60		120	μs	
Read Low Time	t _{LOWR}	1		15	μs	
Read Data Valid	t _{RDV}	exactly 15			μs	
Release Time	t _{RELEASE}	0	15	45	μs	
Read Data Setup	t _{SU}			1	μs	4
Recovery Time	t _{REC}	1			μs	
Reset Time High	t _{RSTH}	480			μs	
Reset Time Low	t _{RSTL}	480			μs	6
Presence Detect High	t _{PDH}	15		60	μs	
Presence Detect Low	t _{PDL}	60		240	μs	

AC ELECTRICAL CHARACTERISTICS OVERDRIVE SPEED

(-40°C to +85°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Time Slot	t_{SLOT}	6		16	μs	
Write 1 Low Time	t_{LOW1}	1		2	μs	
Write 0 Low Time	t_{LOW0}	6		16	μs	
Read Low Time	t_{LOWR}	1		2	μs	
Read Data Valid	t_{RDV}	Exactly 2			μs	
Release Time	t_{RELEASE}	0	1.5	4	μs	
Read Data Setup	t_{SU}			1	μs	4
Recovery Time	t_{REC}	1			μs	
Reset Time High	t_{RSTH}	48			μs	
Reset Time Low	t_{RSTL}	48		80	μs	
Presence Detect High	t_{PDH}	2		6	μs	
Presence Detect Low	t_{PDL}	8		24	μs	

AC ELECTRICAL CHARACTERISTICS

(-40°C to +85°C)

PARAMETER	SYMBOL	MIN	TYP	MAX	UNITS	NOTES
Sample & Hold Aperture	t_{SH}		20		μs	
Equivalent Input Noise	V_{INOISE}		t.b.d.		μV RMS	
Total Conversion Error	N_{ERR}		$\pm 1/2$		LSB	9

NOTES:

- All voltages are referenced to ground.
- V_{PUP} = external pullup voltage.
- Input load is to ground.
- Read data setup time refers to the time the host must pull the 1-Wire bus low to read a bit. Data is guaranteed to be valid within 1 μs of this falling edge.
- Capacitance on the data pin could be 800pF when power is first applied. If a 5k Ω resistor is used to pull up the data line to V_{PUP} , 5 μs after power has been applied the parasite capacitance will not affect normal communications.
- The reset low time (t_{RSTL}) should be restricted to a maximum of 960 μs , to allow interrupt signaling, otherwise, it could mask or conceal interrupt pulses.
- Measured with $V_{\text{CC}} = 5.0\text{V}$ supply and 1-Wire input open.
- Measured with $V_{\text{CC}} = 5.0\text{V}$ supply, 1-Wire input open and analog circuitry inactive.
- At 8-bit resolution regardless of range and temperature; includes offset, non-linearity and noise. Out of range is denoted by an all zeros reading. Input voltage at or near minimum and maximum input range may include additional non-linearity error.
- V_{CC} or 1-Wire pullup voltage must ramp to 4.5V or higher at least 1 μs before voltage can be applied to analog inputs. This can be achieved through low-pass filtering of the analog input voltage.

修订历史

Rev 071906 中的修改页：1、2、6、7、23、24。

Rev 112706 中的修改页：1、7、23、24。