

## 精解 SPI 的 CPHA 时钟相位 与 CPLK 时钟极性

Netjob @ 2009-08-01

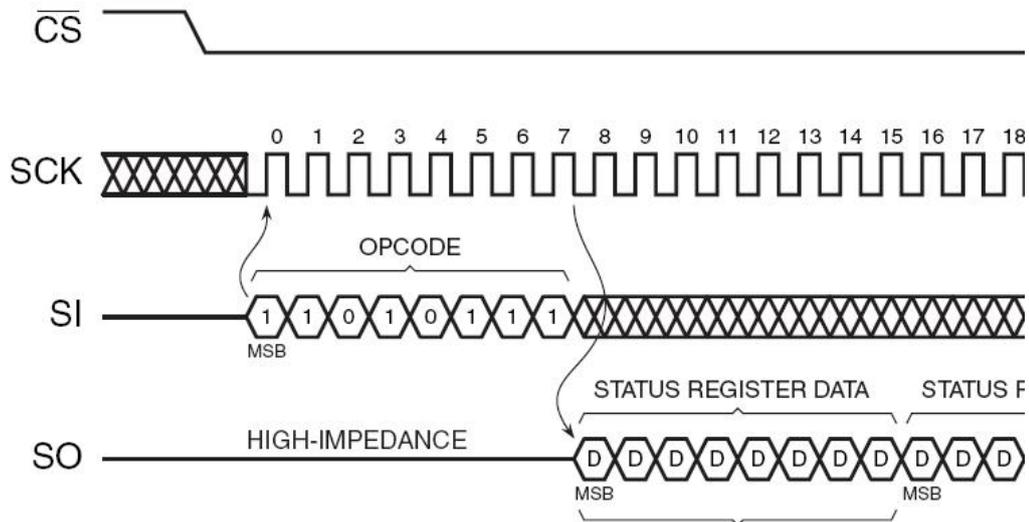
使用 SPI 模块都要设 CPHA 相位 与 CPLK 时钟有效极性，这个确实是烦到好多人的。其实这个设置也是比较简单的。

我们就先来讲讲 SPI 的 CPLK 时钟有效极性

所谓 CPLK 时钟有效极性就是说数据 在 数据线上 可以发生变化的时刻，数据线上有两种情况，1 种是 数据保持状态；1 种是数据变化状态而 CPLK 时钟有效极性 就是说 此时 数据线上可以 发送数据变化的状态。通俗讲就是 MCU 要改变数据或 SPI FLASH 要改变数据的时候。

我们以 AT45DB64\*\*系列 FLASH 来说，下面是它的图：

### atus Register Read (Opcode D7H)



我们仔细看 SI 波形，看它的过零点【交叉点】，会发现都是在 SCK 为 0【低电平】的时刻。也就是说 AT45DB642DB 系列 FLASH 都是：数据发生变化是在 SCK=0 时刻，或可以这样说：数据有效是在 SCK 等于低电平时刻。

因此我们得出结论： AT45DB642DB 系列 FLASH 是【SCK 为低有效】

好，我们再讲解何为 SPI CPHA 相位。

简单的讲，就是数据线上，MCU 或 FLASH 外设对数据的采样时刻。

例如 ATMEL ARM7的CPHA 时钟相位定义如下：

0= 数据在SPCK起始边沿改变，在SPCK 下一个边沿捕获。

1 = 数据在SPCK起始边沿捕获，在SPCK 下一个边沿改变。

我们知道，数据线上可以分两种时刻：【采样-保持时刻】和【变化更新时刻】

要对数据进行采样，当然就要求数据要保持 稳定，不要发生变化。是吧？这个大家都明白。

我们看上面的图，发现 数据 SI 是对应 SCK 的第一个时钟沿，再仔细看，数据是在 SCK

的第一个时钟边沿保持稳定【数据被采样捕获】，在下一个边沿改变【SCK 的下降沿数据改变】

因此我们得出结论：AT45DB642DB 系列 FLASH 是【数据在第一个时钟沿被采样捕获】  
或【数据在 SPCK 起始边沿捕获，在 SPCK 下一个边沿改变】

我们再看看 CC2500 的时序图：

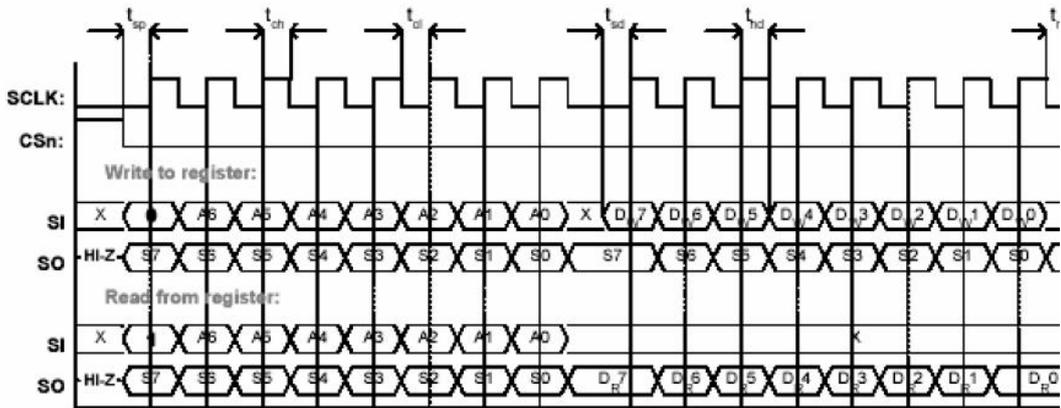
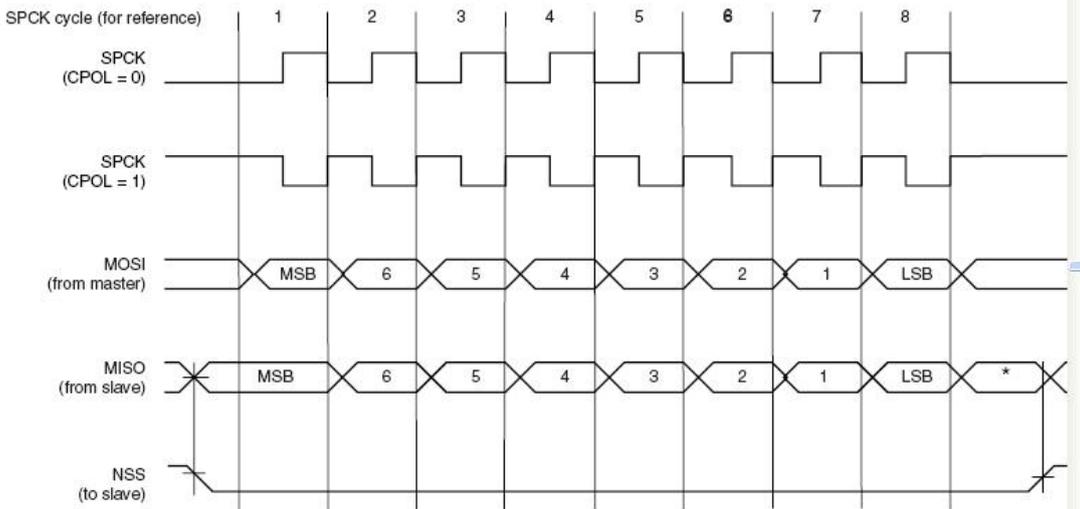


图 6 配置寄存器写和读操作

看上面图，明显看出 SI 和 SO 都是在 SCLK 的第一个时钟边沿【上升沿】数据被采样捕获。在下一个时钟边沿结束并数据发生变化。

下面看图说明：

Figure 83. SPI 传输格式 (NCPHA = 1, 每次传输 8 位)



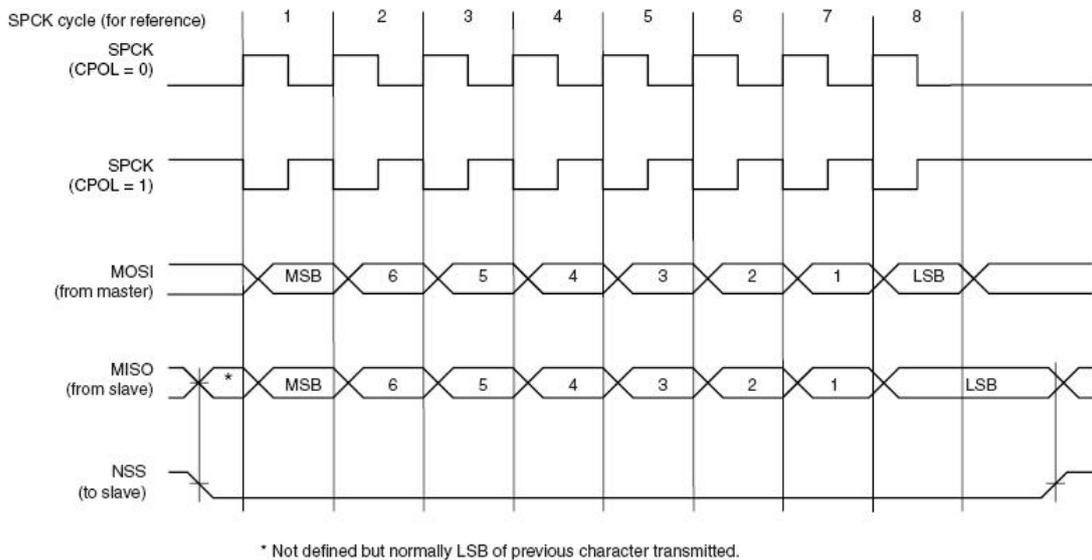
看上面图，可以看出，MOSI 和 MISO 的数据保持和被采样是在 SPCK 的第一个时钟边沿。当 CPOLE=0 是 是 上升沿，而当 CPOLE=1 是 是 下降沿。

而 MOSI 和 MISO 的数据改变是在第二个时钟边沿。

当 CPOLE=0 是 SPCK 的 下降沿，也就是 SPCK=0 有效  
而当 CPOLE=1 是 SPCK 的 上升沿，也就是 SPCK=1 有效

再看图：

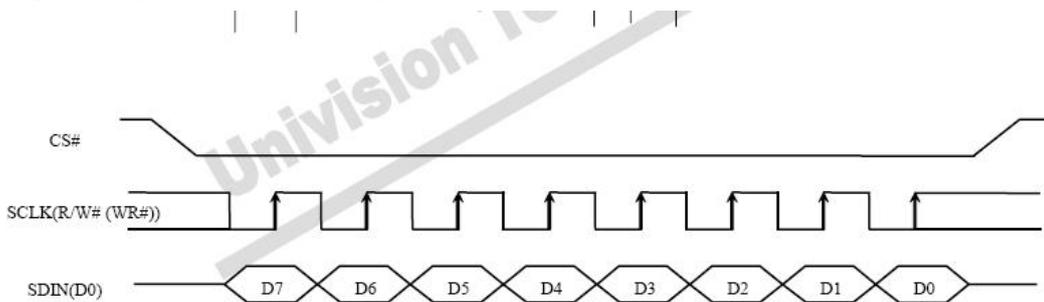
Figure 84. SPI 传输格式 (NCPHA = 0, 每次传输 8 位)



这个就可以看出，数据在第一个时钟沿改变【有过零点】，第二个时钟边沿保存稳定【数据被采样捕获】。

而当 CPOL=0 是 SPCK 的上升沿数据变化，下降沿数据保存稳定被采样捕获  
而当 CPOL=1 是 SPCK 的下降沿数据变化，上升沿数据保存稳定被采样捕获

下面是晶门科技的 SS1D1351 SPI 接口方式的时序图：



这款控制器使用在 TFT LCD ,OLED 上面。 它的 SPI 方式是：

SCK=0 时钟极性有效， CPHA 是第一个时钟沿【上升沿被保持采样捕获】，第二个时钟沿【下降沿】结束，并且数据改变有效。

最后要注意，NXP 的 ARM 对 SCK 的时钟有效极性说明的设置方法是与 ATMEL 的相反的。NXP 的说明是这样的：

**SPI 控制寄存器 (S0SPCR - 0xE0020000)**

SPCR 寄存器根据每个配置位的设定来控制 SPI 的操作。

表 110 SPI 控制寄存器 (S0SPCR - 0xE0020000)

SPCR	功能	描述	复位值
2:0	保留	保留, 用户软件不要向其写入 1。从保留位读出的值未被定义。	NA
3	CPHA	时钟相位控制决定 SPI 传输时数据和时钟的关系并控制从机传输的起始和结束。当该位为 1 时, 数据在 SCK 的第二个时钟沿采样。当 SSEL 信号激活时, 传输从第一个时钟沿开始并在最后一个采样时钟沿结束。 当该位为 0 时, 数据在 SCK 的第一个时钟沿采样。传输从 SSEL 信号激活时开始, 并在 SSEL 信号无效时结束。	0
4	CPOL	时钟极性控制。当该位为 1 时, SCK 为低有效。为 0 时, SCK 为高有效。	0
5	MSTR	主模式选择。为 1 时, SPI 处于主模式。为 0 时, SPI 处于从模式。	0
6	LSBF	LSBF 用来控制传输的每个字节的移动方向。为 1 时, SPI 数据传输 LSB (位 0) 在先。为 0 时, SPI 数据传输 MSB (位 7) 在先。	0
7	SPIE	SPI 中断使能。为 1 时, 每次 SPIF 或 MODF 置位时都会产生硬件中断。为 0 时, SPI 中断被禁止。	0

它们的意义是一样, 但 NXP 的是把 CPOL 设为 1, 而 ATMEL 的是把 CPOL 设为 0。

我个人比较喜欢 ATMEL 说法。由于本人水平有限, 不妥的地方恳请大家多多指教!

谢谢大家花时间来阅读此文! 祝大家学习进步!