

硬件工程师必读攻略

如何通过仿真有效提高数模混合
设计性（下）



目录：

前言

一、数模混合设计的难点

二、提高数模混合电路性能的关键

三、仿真工具在数模混合设计中的应用

四、小结

五、混合信号 PCB 设计基础问答



登陆电子工程专辑 www.eetchina.com

获取更多权威电子书

前言：

数模混合电路的设计，一直是困扰硬件电路设计师提高性能的瓶颈。众所周知，现实的世界都是模拟的，只有将模拟的信号转变成数字信号，才方便做进一步的处理。模拟信号和数字信号的转变是否实时、精确，是电路设计的重要指标。除了器件工艺，算法的进步会影响系统数模变换的精度外，现实世界中众多干扰，噪声也是困扰数模电路性能的主要因素。

本文通过 Ansoft 公司的“AD-Mix Signal Noise Design Suites” 数模混合噪声仿真设计软件的对数模混合设计 PCB 的仿真，探索分析数模混合电路的噪声干扰和优化设计的途径，以达到改善系统性能目的。



登陆电子工程专辑 www.eetchina.com

获取更多权威电子书

11、在高速设计中，如何解决信号的完整性问题？差分布线方式是如何实现的？对于只有一个输出端的时钟信号线，如何实现差分布线？

答：信号完整性基本上是阻抗匹配的问题。而影响阻抗匹配的因素有信号源的架构和输出阻抗(output impedance)，走线的特性阻抗，负载端的特性，走线的拓扑(topology)架构等。解决的方式是靠端接(termination)与调整走线的拓扑。差分对的布线有两点要注意，一是两条线的长度要尽量一样长，另一是两线的间距(此间距由差分阻抗决定)要一直保持不变，也就是要保持平行。平行的方式有两种，一为两条线走在同一走线层(side-by-side)，一为两条线走在上下相邻两层(over-under)。一般以前者 side-by-side 实现的方式较多。要用差分布线一定是信号源和接收端也都是差分信号才有意义。所以对只有一个输出端的时钟信号是无法使用差分布线的。

12、一块 PCB 板中有多个数/模功能块时，常规做法是要将数/模地分开，并分别在一点相连。这样，一块 PCB 板上的地将被分割成多块，而且如何相互连接也大成问题。但有人采用另外一种办法，即在确保数/模分开布局，且数/模信号走线相互不交叉的情况下，整个 PCB 板地不做分割，数/模地都连到这个地平面上，这样做有何道理，请专家指教。

答：将数/模地分开的原因是因为数字电路在高低电位切换时会在电源和地产生噪声，噪声的大小跟信号的速度及电流大小有关。如果地平面上不分割且由数字区域电路所产生的噪声较大而模拟区域的电路又非常接近，则即使数模信号不交叉，模拟的信号依然会被地噪声干扰。也就是说数模地不分割的方式只能在模拟电路区域距产生大噪声的数字电路区域较远时使用。另外，数模信号走线不能交叉的要求是因为速度稍快的数字信号其返回电流路径(return current path)会尽量沿着走线的下方附近的地流回数字信号的源头，若数模信号走线交叉，则返回电流所产生的噪声便会出现在模拟电路区域内。

13、在 PCB 上靠近平行走高速差分信号线对的时候，在阻抗匹配的情况下，由于两线的相互耦合，会带来很多好处。但是有观点认为这样会增大信号的衰减，影响传输距离。是不是这样，为什么？我在一些大公司的评估板上看到高速布线有的尽量靠近且平行，而有的却有

意的使两线距离忽远忽近，我不懂那一种效果更好。我的信号 1GHz 以上，阻抗为 50 欧姆。在用软件计算时，差分线对也是以 50 欧姆来计算吗？还是以 100 欧姆来算？接收端差分线对之间可否加一匹配电阻？谢谢！

答：会使高频信号能量衰减的原因一是导体本身的电阻特性 (conductor loss)，包括集肤效应 (skin effect)，另一是介电物质的 dielectric loss。这两种因子在电磁理论分析传输线效应 (transmission line effect) 时，可看出他们对信号衰减的影响程度。差分线的耦合是会影响各自的特性阻抗，变的较小，根据分压原理 (voltage divider) 这会使信号源送到线上的电压小一点。至于，因耦合而使信号衰减的理论分析我并没有看过，所以我无法评论。对差分对的布线方式应该要适当的靠近且平行。所谓适当的靠近是因为这间距会影响到差分阻抗 (differential impedance) 的值，此值是设计差分对的重要参数。需要平行也是因为要保持差分阻抗的一致性。若两线忽远忽近，差分阻抗就会不一致，就会影响信号完整性 (signal integrity) 及时间延迟 (timing delay)。差分阻抗的计算是 $2(Z_{11} - Z_{12})$ ，其中， Z_{11} 是走线本身的特性阻抗， Z_{12} 是两条差分线间因为耦合而产生的阻抗，与线距有关。所以，要设计差分阻抗为 100 欧姆时，走线本身的特性阻抗一定要稍大于 50 欧姆。至于要大多少，可用仿真软件算出来。接收端差分线对间的匹配电阻通常会加，其值应等于差分阻抗的值。这样信号品质会好些。欢迎到 www.mentor.com/icx 里面有一些不错的技术资料。

14、柔性 PCB 板在 Layout 时有哪些规则？应注意哪些问题？

答：在柔性板设计时，应注意：

1. 从生产厂获得加工工艺参数如线宽、间距、等
2. 在设计时应注意柔性 PCB 最小弯折半径是否满足设计尺寸的要求
3. 柔性 PCB 在应力集中的弯折点可能出现断裂或层开裂，应注意应力的消除和 PCB 加强。

15、为了最大限度的保证高速信号质量，我们都习惯于手工布线，但效率太低。使用自动布线器又无法监控关键信号的绕线方式，过孔数目、位置等。手工走完关键信号再自动布线又

会降低自动布线的布通率，而且自动布线结果的调整意味着更多的布线工作量，如何平衡以上矛盾，利用优秀的布线器帮助完成高速信号的布线？

答：现在较强的布线软件的自动布线器大部分都有设定约束条件来控制绕线方式及过孔数目。各家 EDA 公司的绕线引擎能力和约束条件的设定项目有时相差甚远。例如，是否有足够的约束条件控制蛇行线 (serpentine) 蜿蜒的方式，能否控制差分对的走线间距等。这会影响到自动布线出来的走线方式是否能符合设计者的想法。另外，手动调整布线的难易也与绕线引擎的能力有绝对的关系。例如，走线的推挤能力，过孔的推挤能力，甚至走线对敷铜的推挤能力等等。所以，选择一个绕线引擎能力强的布线器，才是解决之道。

16、在高速 PCB 设计中，信号层的空白区域可以敷铜，那么多个信号层的敷铜是都接地好呢，还是一半接地，一半接电源好呢？

答：一般在空白区域的敷铜绝大部分情况是接地。只是在高速信号线旁敷铜时要注意敷铜与信号线的距离，因为所敷的铜会降低一点走线的特性阻抗。也要注意不要影响到它层的特性阻抗，例如在 dual stripline 的结构时。

17、在高速板(如 p4 的主板) layout，为什么要求高速信号线(如 cpu 数据，地址信号线)要匹配？如果不匹配会带来什么隐患？其匹配的长度范围(既信号线的时滞差)是由什么因素决定的，怎样计算？

答：要求走线特性阻抗匹配的主要原因是为了避免高速传输线效应 (transmission line effect) 所引起的反射 (reflection) 影响到信号完整性 (signal integrity) 和延迟时间 (flight time)。也就是说如果不匹配，则信号会被反射影响其质量。所有走线的长度范围都是根据时序 (timing) 的要求所订出来的。影响信号延迟时间的因素很多，走线长度只是其一。P4 要求某些信号线长度要在某个范围就是根据该信号所用的传输模式 (common clock 或 source synchronous) 下算得的 timing margin，分配一部份给走线长度的允许误差。至于，上述两种模式时序的计算，限于时间与篇幅不方便在此详述，请到下列网址

<http://developer.intel.com/design/Pentium4/guides> 下载"Intel Pentium 4 Processor in the 423-pin Package/Intel 850 Chipset Platform Design Guide"。其中 "Methodology for Determining Topology and Routing Guideline"章节内有详述。

18、在高密度印制板上通过软件自动产生测试点一般情况下能满足大批量生产的测试要求吗？添加测试点会不会影响高速信号的质量？

答：一般软件自动产生测试点是否满足测试需求必须看对加测试点的规范是否符合测试机具的要求。另外，如果走线太密且加测试点的规范比较严，则有可能没办法自动对每段线都加上测试点，当然，需要手动补齐所要测试的地方。至于会不会影响信号质量就要看加测试点的方式和信号到底多快而定。基本上外加的测试点(不用线上既有的穿孔(via or DIP pin)当测试点)可能加在线上或是从线上拉一小段线出来。前者相当于是加上一个很小的电容在线上，后者则是多了一段分支。这两个情况都会对高速信号多多少少会有点影响，影响的程度就跟信号的频率速度和信号缘变化率(edge rate)有关。影响大小可透过仿真得知。原则上测试点越小越好(当然还要满足测试机具的要求)分支越短越好。

19、如何选择 PCB 板材?如何避免高速数据传输对周围模拟小信号的高频干扰,有没有一些设计的基本思路?谢谢!

答：选择 PCB 板材必须在满足设计需求和可量产性及成本中间取得平衡点。设计需求包含电气和机构这两部分。通常在设计非常高速的 PCB 板子(大于 GHz 的频率)时这材质问题会比较重要。例如，现在常用的 FR-4 材质，在几个 GHz 的频率时的介质损 dielectric loss 会对信号衰减有很大的影响，可能就不合用。就电气而言，要注意介电常数(dielectric constant)和介质损在所设计的频率是否合用。避免高频干扰的基本思路是尽量降低高频信号电磁场的干扰，也就是所谓的串扰(Crosstalk)。可用拉大高速信号和模拟信号之间的距离，或加 ground guard/shunt traces 在模拟信号旁边。还要注意数字地对模拟地的噪声干扰。

20、众所周知 PCB 板包括很多层，但其中某些层的含义我还不是很清楚。mechanical，

keepout layer, topover lay, bottomover lay, toppaste, bottompaste, topsolder, bottomsolder, drillguide, drilldrawing, multilayer 这些层不知道它们的确切含义。希望您指教。

答:在 EDA 软件的专门术语中,有很多不是有相同定义的。以下就字面上可能的意义来解释。

Mechanical: 一般多指板型机械加工尺寸标注层 Keepout layer: 定义不能走线、打穿孔(via)或摆零件的区域。这几个限制可以独立分开定义。 Topover lay: 无法从字面得知其意义。多提供些讯息来进一步讨论。 Bottomover lay: 无法从字面得知其意义。可多提供些讯息来进一步讨论。 Toppaste: 顶层需要露出铜皮上锡膏的部分。 Bottompaste: 底层需要露出铜皮上锡膏的部分。 Topsolder: 应指顶层阻焊层,避免在制造过程中或将来维修时可能不小心的短路 Bottomsolder: 应指底层阻焊层。 Drillguide: 可能是不同孔径大小,对应的符号,个数的一个表。 Drilldrawing: 指孔位图,各个不同的孔径会有一个对应的符号。 Multilayer: 应该没有单独这一层,能指多层板,针对单面板和双面板而言。

21、一个系统往往分成若干个 PCB,有电源、接口、主板等,各板之间的地线往往各有互连,导致形成许许多多的环路,产生诸如低频环路噪声,不知这个问题如何解决?

答:各个 PCB 板子相互连接之间的信号或电源在动作时,例如 A 板子有电源或信号送到 B 板子,一定会有等量的电流从地层流回到 A 板子(此为 Kirchoff current law)。这地层上的电流会找阻抗最小的地方流回去。所以,在各个不管是电源或信号相互连接的接口处,分配给地层的管脚数不能太少,以降低阻抗,这样可以降低地层上的噪声。另外,也可以分析整个电流环路,尤其是电流较大的部分,调整地层或地线的接法,来控制电流的走法(例如,在某处制造低阻抗,让大部分的电流从这个地方走),降低对其它较敏感信号的影响。

22、能否提供一些经验数据、公式和方法来估算布线的阻抗。当无法满足阻抗匹配的要求时,是在信号线的末端加并联的匹配电阻好,还是在信号线上加串联的匹配电阻好。差分信号线中间可否加地线?

答: 以下提供两个常被参考的特性阻抗公式: a. 微带线 (microstrip)

$Z = \{87 / [\sqrt{Er+1.41}] \ln[5.98H / (0.8W+T)]$ 其中, W 为线宽, T 为走线的铜皮厚度, H 为走线到参考平面的距离, Er 是 PCB 板材质的介电常数(dielectric constant)。此公式必须在 $0.1 < (W/H) < 2.0$ 及 $1 < (Er) < 15$ 的情况才能应用。

b. 带状线 (stripline)
 $Z = [60 / \sqrt{Er}] \ln\{4H / [0.67\pi(T+0.8W)]\}$ 其中, H 为两参考平面的距离, 并且走线位于两参考平面的中间。此公式必须在 $W/H < 0.35$ 及 $T/H < 0.25$ 的情况才能应用。最好还是用仿真软件来计算比较准确。

2. 选择端接(termination)的方法有几项因素要考虑: a. 信号源(source driver)的架构和强度。 b. 功率消耗(power consumption)的大小。 c. 对时间延迟的影响, 这是最重要考虑的一点。所以, 很难说哪一种端接方式是比较好的。

3. 差分信号中间一般是不能加地线。因为差分信号的应用原理最重要的一点便是利用差分信号间相互耦合(coupling)所带来的好处, 如 flux cancellation, 抗噪声(noise immunity)能力等。若在中间加地线, 便会破坏耦合效应。

23、您能比较一下 CandenceInnovedaMentorZuken 公司各自的自动布线及 SI 仿真工具吗? 有没有测试指标呢?

答: 通常各公司自动布线引擎的算法多多少少都会有各自较喜欢的绕线模式, 如果所测试的板子的绕线模式较符合某种算法, 则那一个工具所表现的结果可能会较好, 这也是为什么每家公司都有他们各自的数据来宣称他们的自动布线是最好的。所以, 最好的测试方式就是用贵公司的设计在各家自动布线工具上来跑。测试的指针有绕线的完成率及所花的时间。仿真工具最重要的是仿真引擎的精确度及对线路的模型与算法是否符合贵公司设计的需求。例如, 如果所设计的时钟频率为 400MHz, 这时仿真工具能否提供正确的 AC loss 模型就很重要。其它可考虑使用者接口是否方便操作, 是否有定制化(customization)的方法, 利于 batch run。

24、请问适当选择 PCB 与外壳接地的点的原则是什么?

另外, 一般 PCB LAYOUT 工程师总是根据 DESIGN GUIDE/LAYOUT GUIDELINE 做, 我想了解一般制定 GUIDE 的是硬件/系统工程师, 还是资深 PCB 工程师? 谁应该对板级系统的性能负主要责任。谢谢!

答：与外壳接地点选择的原则是利用 chassis ground 提供低阻抗的路径给回流电流 (returning current) 及控制此回流电流的路径。例如，通常在高频器件或时钟产生器附近可以借固定用的螺丝将 PCB 的地层与 chassis ground 做连接，以尽量缩小整个电流回路面积，也就减少电磁辐射。谁应该负责制定 guideline 可能每个公司有不同情况而有不同安排。Guideline 的制定必须对整个系统、芯片、电路动作原理有充分的了解，才能制定出符合电气规范且可实现的 guideline。所以，以我个人的观点，硬件系统工程师似乎较适合这个角色。当然，资深 PCB 工程师可以提供在实际实现时的经验，使得这 guideline 可以实现的更好。

25、请问，模拟电源处的滤波经常是用 LC 电路。但是，我发现有时 LC 比 RC 滤波效果差，请问这是为什么，滤波时选用电感，电容值的方法是什么？

答：LC 与 RC 滤波效果的比较必须考虑所要滤掉的频带与电感值的选择是否恰当。因为电感的感抗 (reactance) 大小与电感值和频率有关。如果电源的噪声频率较低，而电感值又不够大，这时滤波效果可能不如 RC。但是，使用 RC 滤波要付出的代价是电阻本身会耗能，效率较差，且要注意所选电阻能承受的功率。电感值的选用除了考虑所想滤掉的噪声频率外，还要考虑瞬时电流的反应能力。如果 LC 的输出端会有机会需要瞬间输出大电流，则电感值太大会阻碍此大电流流经此电感的速度，增加纹波噪声 (ripple noise)。电容值则和所能容忍的纹波噪声规范值的大小有关。纹波噪声值要求越小，电容值会较大。而电容的 ESR/ESL 也会有影响。另外，如果这 LC 是放在开关式电源 (switching regulation power) 的输出端时，还要注意此 LC 所产生的极点零点 (pole/zero) 对负反馈控制 (negative feedback control) 回路稳定度的影响。

26、在电路板尺寸固定的情况下，如果设计中需要容纳更多的功能，就往往需要提高 PCB 的走线密度，但是这样有可能导致走线的相互干扰增强，同时走线过细也使阻抗无法降低，请专家介绍在高速 (>100MHz) 高密度 PCB 设计中的技巧？

答：在设计高速高密度 PCB 时，串扰(crosstalk interference)确实是要特别注意的，因为它对时序(timing)与信号完整性(signal integrity)有很大的影响。以下提供几个注意的地方：1. 控制走线特性阻抗的连续与匹配。2. 走线间距的大小。一般常看到的间距为两倍线宽。可以透过仿真来知道走线间距对时序及信号完整性的影响，找出可容忍的最小间距。不同芯片信号的结果可能不同。3. 选择适当的端接方式。4. 避免上下相邻两层的走线方向相同，甚至有走线正好上下重叠在一起，因为这种串扰比同层相邻走线的情形还大。5. 利用盲埋孔(blind/buried via)来增加走线面积。但是 PCB 板的制作成本会增加。在实际执行时确实很难达到完全平行与等长，不过还是要尽量做到。除此以外，可以预留差分端接和共模端接，以缓和对时序与信号完整性的影响。

27、对于 lvds 低压差分信号，原则上是布线等长、平行，但实际上较难实现，是否能提供一些经验？

答：差分信号布线时要求等长且平行的原因有下列几点：1. 平行的目的是要确保差分阻抗的完整性。平行间距不同的地方就等于是差分阻抗不连续。2. 等长的目的是想要确保时序(timing)的准确与对称性。因为差分信号的时序跟这两个信号交叉点(或相对电压差值)有关，如果不等长，则此交叉点不会出现在信号振幅(swing amplitude)的中间，也会造成相邻两个时间间隔(time interval)不对称，增加时序控制的难度。3. 不等长也会增加共模(common mode)信号的成分，影响信号完整性(signal integrity)。

28、pcb 设计中需要注意哪些问题？

答：PCB 设计时所要注意的问题随着应用产品的不同而不同。就象数字电路与仿真电路要注意的地方不尽相同那样。以下仅概略的几个要注意的原则。1、PCB 层叠的决定；包括电源层、地层、走线层的安排，各走线层的走线方向等。这些都会影响信号品质，甚至电磁辐射问题。2、电源和地相关的走线与过孔(via)要尽量宽，尽量大。3、不同特性电路的区域配置。良好的区域配置对走线的难易，甚至信号质量都有相当大的关系。4、要配合生产工厂的制造工艺来设定 DRC (Design Rule Check) 及与测试相关的设计(如测试点)。其它与电

气相关所要注意的问题就与电路特性有绝对的关系，例如，即便都是数字电路，是否注意走线的特性阻抗就要视该电路的速度与走线长短而定。

29、在高速 PCB 设计时为了防止反射就要考虑阻抗匹配，但由于 PCB 的加工工艺限制了阻抗的连续性而仿真又仿不到，在原理图的设计时怎样来考虑这个问题？另外关于 IBIS 模型，不知在那里能提供比较准确的 IBIS 模型库。我们从网上下载的库大多数都不太准确，很影响仿真的参考性。

答：在设计高速 PCB 电路时，阻抗匹配是设计的要素之一。而阻抗值跟走线方式有绝对的关系，例如是走在表面层 (microstrip) 或内层 (stripline/double stripline)，与参考层 (电源层或地层) 的距离，走线宽度，PCB 材质等均会影响走线的特性阻抗值。也就是说要在布线后才能确定阻抗值。一般仿真软件会因线路模型或所使用的数学算法的限制而无法考虑到一些阻抗不连续的布线情况，这时候在原理图上只能预留一些 terminators (端接)，如串联电阻等，来缓和走线阻抗不连续的效应。真正根本解决问题的方法还是布线时尽量注意避免阻抗不连续的发生。IBIS 模型的准确性直接影响到仿真的结果。基本上 IBIS 可看成是实际芯片 I/O buffer 等效电路的电气特性资料，一般可由 SPICE 模型转换而得 (亦可采用测量，但限制较多)，而 SPICE 的资料与芯片制造有绝对的关系，所以同样一个器件不同芯片厂商提供，其 SPICE 的资料是不同的，进而转换后的 IBIS 模型内之资料也会随之而异。也就是说，如果用了 A 厂商的器件，只有他们有能力提供他们器件准确模型资料，因为没有其它人会比他们更清楚他们的器件是由何种工艺做出来的。如果厂商所提供的 IBIS 不准确，只能不断要求该厂商改进才是根本解决之道。

30、在高速 PCB 设计时我们使用的软件都只不过是对设置好的 EMC、EMI 规则进行检查，而设计者应该从那些方面去考虑 EMC、EMI 的规则呢怎样设置规则呢。

答：一般 EMI/EMC 设计时需要同时考虑辐射 (radiated) 与传导 (conducted) 两个方面。前者归属于频率较高的部分 (>30MHz) 后者则是较低频的部分 (<30MHz)。所以不能只注意高频而忽略低频的部分。一个好的 EMI/EMC 设计必须一开始布局时就要考虑到器件的位置，PCB 迭

层的安排, 重要联机的走法, 器件的选择等, 如果这些没有事前有较佳的安排, 事后解决则会事倍功半, 增加成本. 例如时钟产生器的位置尽量不要靠近对外的连接器, 高速信号尽量走内层并注意特性阻抗匹配与参考层的连续以减少反射, 器件所推的信号之斜率 (slew rate) 尽量小以减低高频成分, 选择去耦合 (decoupling/bypass) 电容时注意其频率响应是否符合需求以降低电源层噪声. 另外, 注意高频信号电流之回流路径使其回路面积尽量小 (也就是回路阻抗 loop impedance 尽量小) 以减少辐射. 还可以用分割地层的方式以控制高频噪声的范围. 最后, 适当的选择 PCB 与外壳的接地点 (chassis ground)。

31、在一个系统中, 包含了 dsp 和 pld, 请问布线时要注意哪些问题呢? 还可以用 protel 来布板吗, 是否有其他的好的工具呢? 谢谢!

答: 看你的信号速率和布线长度的比值. 如果信号在传输线上的时延和信号变化沿时间可比的话, 就要考虑信号完整性问题. 另外对于多个 DSP, 时钟, 数据信号走线拓普也会影响信号质量和时序, 需要关注. 至于工具, 除了 PROTEL, 还有很多布线工具, 如 MENTOR 的 WG2000, EN2000 系列和 powerpcb, Cadence 的 allegro, zuken 的 cadstar, cr5000 等, 各有所长。

32、请解释“信号回流路径”, 谢谢!

答: 信号回流路径, 即 return current. 高速数字信号在传输时, 信号的流向是从驱动器沿 PCB 传输线到负载, 再由负载沿着地或电源通过最短路径返回驱动器端. 这个在地或电源上的返回信号就称信号回流路径. Dr. Johnson 在他的书中解释, 高频信号传输, 实际上是对传输线与直流层之间包夹的介质电容充电的过程. SI 分析的就是这个围场的电磁特性, 以及他们之间的耦合。

33、能否详细解释一下走线的拓扑架构? 怎样调整走线的拓扑架构来提高信号的完整性. 另外还想问一下, 晶振的 loop gain 与 phase 规范指的是什么? 怎样通过安排迭层来减少 EMI 问题?

答: Topology, 有的也叫 routing order. 对于多端口连接的网络的布线次序。这种网络信号方向比较复杂, 因为对单向, 双向信号, 不同电平种类信号, 拓朴影响都不一样, 很难说哪种拓朴对信号质量有利。而且作前仿真时, 采用何种拓朴对工程师要求很高, 要求对电路原理, 信号类型, 甚至布线难度等都要了解。晶振的 loop gain 与 phase, 我对这也不了解, 很抱歉。首先, EMI 要从系统考虑, 单凭 PCB 无法解决问题。层叠对 EMI 来讲, 我认为主要是提供信号最短回流路径, 减小耦合面积, 抑制差模干扰。另外地层与电源层紧耦合, 适当比电源层外延, 对抑制共模干扰有好处。

34、为什么前向串扰中容性串扰和感性串扰是相互抵消(竞争)而后向串扰它们是叠加的呢?

答: 感性耦合有一个特点就是前向和后向的幅度相等, 极性相反。这是由互感的特性决定的。而容性耦合, 前向和后向极性是一致的。你可以找一本电路的书看一下。所以会出现你说的情况。

35、请问关于差分线的耦合方式中 edge-coupled 和 broadside-coupled 有什么区别? 在高速布线中针对这两种耦合方式应该注意些什么?

答: Edge-coupled 是指两条差分线在同一层中的耦合, 而 broadside-coupled 是指差分线在两个相邻层间耦合。主要应注意阻抗的控制和布线空间, 一般建议用 edge-coupled 方式。

36、请问有没有比较系统的介绍高速设计理论方面书? 我见到的都只是一些零碎的文章, 您能帮我推荐几本你认为从理论到实践都很有指导意义书籍吗? 您有没有读过由 Stephen H. Hall 等人编写的《High-Speed Digital System Design》一书? 你觉得如何? 在哪里可以买到?

答: 推荐几本参考书给你: Howard W. Johnson 《High-Speed Digital Design》; William J. Dally 《Digital Systems Engineering》; Charles A. Harper 《High Performance Printed

Circuit Boards》等，当然你提到的这本书是很有实用价值的。这种书一般国内买不到，可以通过网上购书。

37、电源层与 GND 层作为信号返回平面有何区别？以下两种层叠方式是否一样？

方案 1: Top GND signal 5V GND signal 3V Bottom

方案 2: Top GND signal 5V 3V signal GND Bottom

答：电源层与地层作为回流，在这一点上，理论上二者作用是一样的，但我没有看到过与此相关的实验或数据，不过我们在做设计时，高速信号还是尽量以地为回流的。如果这里的所有的 GND 是连在一起的话，两种分层都可以，但我会选择第一种方案，因为其两个电源是分隔开的。

38、在高频电路的多层板设计中电源层是使用整层好还是在电源层中走电源线之后再用地来填充的好？两种方法的分布参数是怎样的？

答：电源使用整层比走电源线要好的多。因为整层电源平面比走电源线的方式其分布电感要小的多，分布电容要大，这些比走电源线更适合于高速/高频的设计。

39、由于差分信号的回流路径就是差分对的其中一根信号线，所以差分线跨平面分割就不存在回流路径的问题，是吗？那么差分线需要避免跨分割具体有哪些原因是什么呢？

答：但是如果有电源、地平面存在的话，差分线的回流还有一部分是通过电源、地平面的，我前面已经讲过这是因为有电磁耦合存在。所以跨分割对于差分线也需要认真考虑，在 www.sigcon.com 上有一篇文章讲在有电源地平面情况下差分线的回流，以及跨分割，你可以去找一下。

40、按照有些说法，即使是短线（当然指相对信号上升沿的速率）也会有信号完整性问题。如 wire-wrap line，即使很短，由于线路电感比较大，也会使得信号失真。

1、能否详细解释一下。

2、我一直不明白 wire-wrap 和 transmission line 的区别和联系，能否说明一下。谢谢！

答：你好！1 你说的没错，即使走线很短，但是如果信号的上升/下降沿 (rise/fall Time) 很快的话，也会有信号完整性问题。一般判断是否要考虑信号完整性问题的标准是看：走线长度是否大于 $l/6$ ，其中 L 为信号在上升时间内所传输的距离 (Length Of Rising Edge)， $L = \text{Rise Time (ps)} / \text{Delay (ps/in.)}$ 。

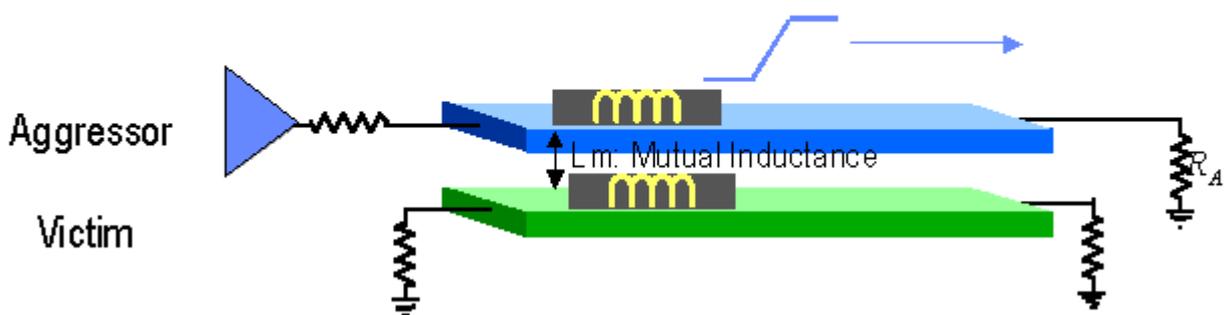
2 我不太清楚你的问题，我想可能是说电缆和传输线的区别和联系，电缆是传输线的一种，传输线的定义涵盖很广，一般来说承载电信号传输的导体都是传输线。

41、请教专家，什么叫做容性串扰和感性串扰？分别产生的原理以及对信号产生的影响如何？我们在设计高速 PCB 时又怎样来减小这些串扰？应该注意那些问题？

答：简单地讲，由于导体之间的互容参数而引入的串扰为容性串扰而由导体之间的互感分量而引入的串扰称为感性串扰。其计算公式如下：

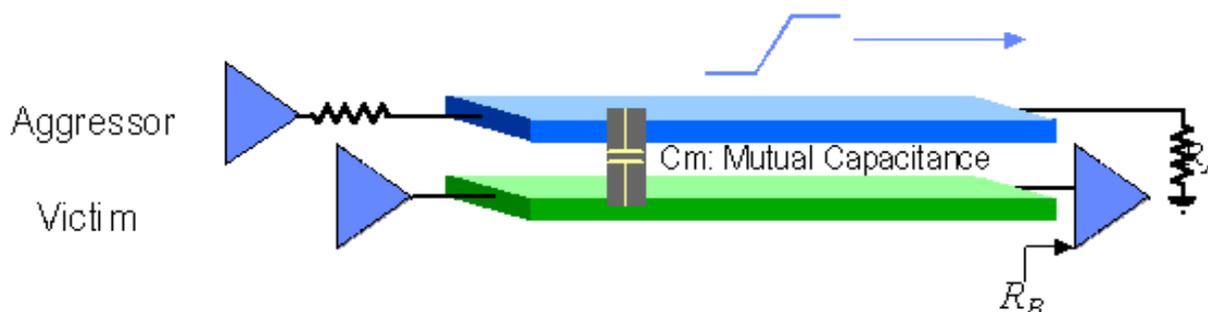
感性串扰：

$$XTALK_{ind} = \frac{L_M}{R_A \cdot T_r}$$



容性串扰：

$$XTALK_{cap} = \frac{R_B \cdot C_M}{T_r}$$



为了减少串扰可以采取很多措施，如拉大线间距，加匹配电阻，采用差分技术等等。

42、我想问一下 PCB 板中的高速布线问题，我以前一直都用 PROTEL 来进行 PCB 板的设计，但是当信号频率升高时，就需要考虑很多因素，最近我看了一些关于贵公司的关于高速 PCB 布线的软件的介绍，请问你们公司的软件较其它软件的优势在哪里，有什么特点。

答：您好，Cadence 的 PCB 产品包括三个级别：Studio、Designer、和 Expert。Studio 级产品主要面向小规模 PCB 设计、Designer 主要面向中小规模的 PCB 设计、Expert 主要面向要求高性能、大规模的 PCB 设计。三个级别的产品可以根据客户的需求进行灵活配置。

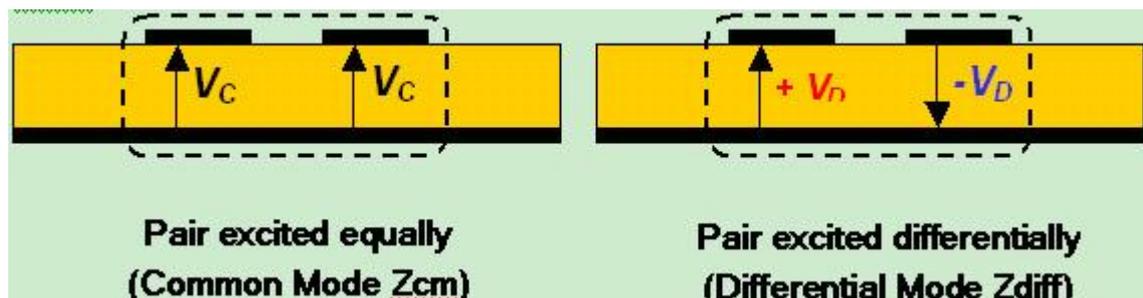
以本人的应用经验来讲，个人认为 Cadence 软件的前端到后端，分析设计之间的统一的综合平台是其最大的特点。也就是说，分析和设计是在一个平台上完成的，二者之间的交互非常友好，从事高速设计的话，这一点已越来越重要。Cadence 软件在高速设计方面有很多分析模块：信号完整性分析模块，电源完整性分析模块 Power Integrity（个人认为很有特点）、EMC 规则检查模块 EMControl 等，当然这些模块都是集成在统一的平台上的。以上只是从高速分析设计的方面谈了个人对 Cadence 软件的看法，供您参考。

如果您想试用 Cadence 软件的话，您可以联系 Cadence 当地的 Sales，申请一个临时 License 进行试用，这样您就可以对 Cadence 软件有更深入的了解。

43、板上几乎所有的重要信号线都设计成差分线对，目的在增强信号抗干扰能力。那俺一直有很多困惑的地方：1. 是否差分信号只定义在仿真信号或数字信号或都有定义？2. 在实际的

线路图中差分线对上的网罗如滤波器, 应如何分析其频率响应, 是否还是与分析一般的二端口网罗的方法一样? 3. 差分线对上承载的差分信号如何转换成一般的信号? 差分线对上的信号波形是怎样的, 相互之间的关系如何? 请指教.

答: 差分信号只是使用两根信号线传输一路信号, 依靠信号间电压差进行判决的电路, 既可以是模拟信号, 也可以是数字信号. 实际的信号都是模拟信号, 数字信号只是模拟信号用门限电平量化后的取样结果. 因此差分信号对于数字和模拟信号都可以定义. 2, 差分信号的频率响应, 这个问题好. 实际差分端口是一个四端口网络, 它存在差模和共模两种分析方式. 如下图所示. 在分析频率相应的时候, 要分别添加同极性的共模扫频源和互为反极性的差模扫频源. 而相应端需要相应设置共模电压测试点 $V_{cm} = (V_1 + V_2) / 2$, 和差模电压测试点 $V_{dm} = V_1 - V_2$. 网络上有很多关于差分信号阻抗计算和原理的文章, 可以详细了解一下.



3, 差分信号通常进入差分驱动电路, 放大后得到差分信号. 最简单的就是差分共射镜像放大器电路了, 这个在一般的模拟电路教材都有介绍. 下图是某差分放大器件的 spice 电路图和输出信号波形, 一般需要他们完全反相, 有足够的电压差大于差模电压门限. 当然信号不可避免有共模成分, 所以差分放大器一个很重要的指标就是共模抑制比 $K_{cmr} = A_{dm} / A_{cm}$.

44、小弟最近正想搞个 0—150M, 增益不小于 80 DB 的宽带放大器, !请问在 EMC 方面应该注意什么问题呢?谢谢!

答:宽带放大器设计时特别要注意低噪声问题, 比如要电源供给必须足够稳定等。具体如下:

1. 注意输入和输出的阻抗匹配问题, 比如共基输入射随输出等;
2. 各级的退耦问题, 包括高频和低频纹波等;
3. 深度负反馈, 以及防止自激振荡和环回自激等;
4. 带通滤波器的设计问题 ;

45、请问 ansoft 的工具对 1GHz 以上的数模变化电路能仿真吗? 能详细说说可以仿真哪些方面的问题。

答: 高速 AD 设计的确是比较困难的问题, 为了获得更好的有效位数, 需要考察的信号往往毫伏甚至微伏级, 而数字信号噪声干扰, 模拟信号受干扰情况, 电源地的划分等问题混合在一起。我们在实际的工程设计中, 把它划分为以下几个方面的问题, 一步步仿真分析, 加以解决, 并取得不错的效果:

- 1, PCB 的平面层的谐振模式分析: 考查 PCB 上平面层对不同频率的波的谐振状况, 从而找到最佳的布局位置和布线路径。
- 2, 电源, 地分割的隔离度分析: 分割开的平面层需要达到一定的隔离度, 才能有效抑制噪声干扰。
- 3, 电源阻抗分析: 电源的阻抗达到一定的目标, 可以有效降低平面噪声。
- 4, 去耦策略: 电容可以改变平面的谐振特性, 改善平面的隔离度, 有效降低电源阻抗; 通过 what-if 分析, 模拟添加电容的容值和位置对信号的影响。
- 5, 模拟信号的通道特性: 模拟信号不同于数字信号, 有效频带内具有连续谱, 要保证模拟信号无畸变的传播, 需要考察连续频域的通道特性。
- 6, 数字信号同步开关噪声分析: 由于快速开关的数字门电路, 会在数字电源平面耦合噪声, 并累积, 这个就是同步开关噪声, ansoft 工具可以考察任意多端口的数字信号对电源的噪

声影响。

7, 电压源扫频分析: 考察在电源上独立扫频电压源或者信号端的受控扫频电压源的噪声电压分布情况。

46、我们现在测量 PCB 电磁辐射很麻烦, 采用的是频谱仪加自制的近场探头, 先不说精度的问题, 光是遇到大电压的点都很头疼, 生怕频谱仪受损。不知能否通过仿真的方法解决!

答: 首先, EMI 的测试包括近场探头和远场的辐射测试, 任何仿真工具都不可能替代实际的测试; 其次, Ansoft 的 PCB 单板噪声和辐射仿真工具 SIwave 和任意三维结构的高频结构仿真器 HFSS 分别可以仿真单板和系统的近场和远场辐射, 以及在有限屏蔽环境下的 EMI 辐射。仿真的有效性, 取决于你對自己设计的 EMI 问题的考虑以及相应的软件设置。例如: 单板上差模还是共模辐射, 电流源还是电压源辐射等等。就我们的一些实践和经验, 绝大多数的 EMI 问题都可以通过仿真分析解决, 而且与实际测试比较, 效果非常好。

47、我们板上频率最高的时钟线是主芯片到 SDRAM 的只有 133MHz, 其余大部分的频率都是 KHz 级别的。我们主要用 Hyperlynx 做的 SI/PI 设计, 操作比较简单, 但是现在整板的 EMC 依旧超标, 影响画面质量。希望听听 EMC 专家的意见。另外, 你们的工具和 Mentor PADS 有接口吗?

答: Ansoft 的工具可以仿真从直流到几十 GHz 以上频率的信号, 只是相对其他工具而言, 1GHz 以上的有损传输线模型更加精确。据我所知, HyperLynx 主要是做 SI 和 crosstalk 的仿真, 以及一点单根信号线的 EMI 辐射分析, 目前还没有 PI 分析的功能。影响单板的 EMC 的原因很多, 解决信号完整性和串扰只是解决 EMC 的其中一方面, 电源平面的噪声, 去耦策略, 屏蔽方式, 电流分布路径等都会影响到 EMC 指标。这些都可以再 ansoft 的 SIwave 工具中, 通过仿真进行考察。补充说明, ansoft 的工具与 Mentor PADS 有接口。

48、在一些资料上看到过 PCB/package/chip 协同设计的说法, 能否解释一下什么是协同设计。我认为, 如果“协同设计”只意味这单纯的界面集成的话意义不大, 因为即便使用不同

厂家的电路或电磁场软件也可以通过 Touch stone 格式的 S 参数实现互联。不知 Ansoft 在这方面有甚么高见？

答：在现代的高速 PCB 设计中，一个典型的端到端高速通道可能包含 IC、封装、连接器、板上走线、过孔等结构，完整的 SI 分析需要将这些元件的电特性都考虑在内，因此“协同设计”是不可避免的趋势。这些器件中除了部分要进行 3D 电磁场仿真外还有一些器件的模型可能已经以 SPICE 或 IBIS 模型的形式由厂商提供了，因此仿真不可避免的既包含了电磁场仿真又包含了电路仿真。

传统的通过电磁场仿真软件输出元件的 touchstone 模型到电路软件的方式并不能实现真正意义上的“协同设计”，而只能作为一种单向的通过仿真验证结构有效性的手段，因为当高速通道元件以 S 参数的形式导出到电路中去的时候，所有与结构相关的信息都丢失了，也就是说电路中的仿真无法直接指导元件的结构设计。

Ansoft 在“协同设计”方面有效的弥补传统方式的不足：采用“电磁场仿真+电路分析+数据链接”的模式。这里的“数据链接”并不是简单的界面集成，而是利用“按需求解”技术在进行电路仿真时调用不同的求解器完成整个高速通道的仿真。通过数据链接，所有元件的结构信息也可以参数的形式带入电路仿真，以便于直接基于电路仿真进行整个通道的优化。简单的一句话概括这种设计流程的优点就是：兼具电路仿真的速度和三维电磁场仿真的精度。

关于这方面的参考资料有“基于电磁技术的高速互联设计”、“Gigabit Backplane Signal Integrity Design Kit:Xilinx Virtex-II Pro X Virtual Evaluation Board”、“Ansoft 协同设计方法”。这些资料都可以联系 Ansoft 公司北京办事处得到邮寄的彩页或复印件。

49、请问 SIwave 进行板极 fanout 引起的寄生参数，是否采用了三维场提取算法？目前精度多少？

答：SIwave 的平面层和信号传输线的提取，使用的是二维有限元提取算法，对过孔提取使用三维准静态法，所以有时我们也说 SIwave 使用的是 2.5 维场提取算法。Ansoft 的高频结构分析软件 HFSS 使用的是基于结构的三维场提取算法。使用二维有限元算法的一个重要依

据是假设板材厚度远小于电磁波波长，在沿厚度 Z 轴方向的电场为等势。即

$$\bar{E} = \hat{z}E_z(x, y)$$

之所以这样做，是在确保一定精度条件下，简化计算量和计算时间。如果要考察 SIwave 的精度，需要看你仿真信号的频率，看它的波长与层叠厚度是否可比。100um 层叠厚度对应信号频率大约 150 GHz。只要在这个频率以内，SIwave 的仿真精度和 HFSS 是几乎一样的。

50、假设一多层板中有地、信号、信号、地四层依次排列，各层铜箔厚度以及层间材质和材质厚度以及两信号层信号频率、走线状态等已知。如何定量化，来计算两信号层之间信号的耦合、干扰程度？

答：这种情况你完全可以用仿真软件来做仿真，将芯片模型赋给芯片，然后将这个信号提取出来，加上激励就可以看到波形。当然也有公式来计算，但你要做很多假设，并且精度很差，如果你只是评估一个量级的话，倒可以应用。首先你要计算出两个信号走线之间的互感和互容（公式可以到电路理论书里去查），然后用 $dv = l \cdot di/dt$ 和 $di = c \cdot dv/dt$ 来计算出耦合噪声的幅度。



登陆电子工程专辑 www.eetchina.com

获取更多权威电子书

电子工程专辑优秀电子书

- [电子工程师必备手册（上）--GPS 设计全攻略 \(HOT\)](#)
- [电子工程师必备手册（下）--运算放大器设计与应用 \(HOT\)](#)
- [TD-SCDMA 射频系统发射部分性能监测方法 \(HOT\)](#)
- [LTC 四输出负载点 DC/DC \$\mu\$ Module 系统设计要点](#)
- [D 类音频放大器设计：概念、原理和方法](#)
- [车用电容传感器的新契机](#)
- [LCDTV\(欧洲机型\) AV 输入设计](#)
- [PolySwitch LVR/LVRL 器件有助于家用和专业电器的电机保护](#)
- [OFDM 原理](#)
- [视觉人体工程学设计要点](#)



登陆电子工程专辑 www.eetchina.com

获取更多权威电子书