

# 在高速电路设计中信号完整性分析

摘要:

由于系统时钟频率和上升时间的增长,信号完整性设计变得越来越重要。不幸的是,绝大多数数字电路设计者并没意识到信号完整性问题的重要性,或者是直到设计的最后阶段才初步认识到。

本篇介绍了高速数字硬件电路设计中信号完整性在通常设计的影响。这包括特征阻抗控制、终端匹配、电源和地平面、信号布线和串扰等问题。掌握这些知识,对一个数字电路设计者而言,可以在电路设计的早期,就注意到潜在可能的信号完整性问题,还可以帮助设计则在设计中尽量避免信号完整性对设计性能的影响。

As system clock frequencies and rise times increase, signal integrity design considerations are becoming ever more important. Unfortunately many Digital Designers may not recognize the importance of signal integrity issues and problems may not be identified until it is too late.

This paper presents the most common design issues affecting signal integrity in high-speed digital hardware design. These include impedance control, terminations, ground/power planes, signal routing and crosstalk. Armed with the knowledge presented here, a digital designer will be able to recognize potential signal integrity problems at the earliest design stage. Also, the designer will be able to apply techniques presented in this paper to prevent these issues affecting the performance of their design.

尽管,信号完整性一直以来都是硬件工程师必备的设计经验中的一项,但是在数字电路设计中长期被忽略。在低速逻辑电路设计时代,由于信号完整性相关的问题很少出现,因此对信号完整性的考虑本认为是浪费效率。然而近几年随着时钟率和上升时间的增长,信号完整性分析的必要性和设计也在增长。不幸的是,大多数设计者并没有注意到,而仍然在设计中很少去考虑信号完整性的问题。

现代数字电路可以高达 GHz 频率并且上升时间在 50ps 以内。在这样的速率下,在 PCB 设计走线上的疏忽即使是一个英尺,而由此造成的电压、时延和接口问题将不仅仅局限在这一根线上,还将会影响的全板及相邻的板。

这个问题在混合电路中尤为严重。例如,考虑到在一个系统中有高性能的 ADC 到数字化接收模拟信号。散布在 ADC 器件的数字输出端口上的能量可能很容易就达到 130dB (10,000,000,000,000 倍)比模拟输入端口。在 ADC 数字端口上的任何噪声。

设计中的信号完整性并不是什么神秘莫测的过程。对于在设计早期意识到可能潜在的问题是很关键的,同时可以有效避免由此在后期造成的问题。本篇讨论了一些关键的信号完整性挑战及处理他们的方法。

## 确保信号完整性:

### 1、隔离

一块 PCB 板上的元器件有各种各样的边值 (edge rates) 和各种噪声差异。对改善 S I 最直接的方式就是依据器件的边值和灵敏度,通过 PCB 板上元器件的物理隔离来实现。下图是一个实例。在例子中,供电电源、数字 I / O 端口和高速逻辑这些对时钟和数据转换电路的高危险电路将被特别考虑。

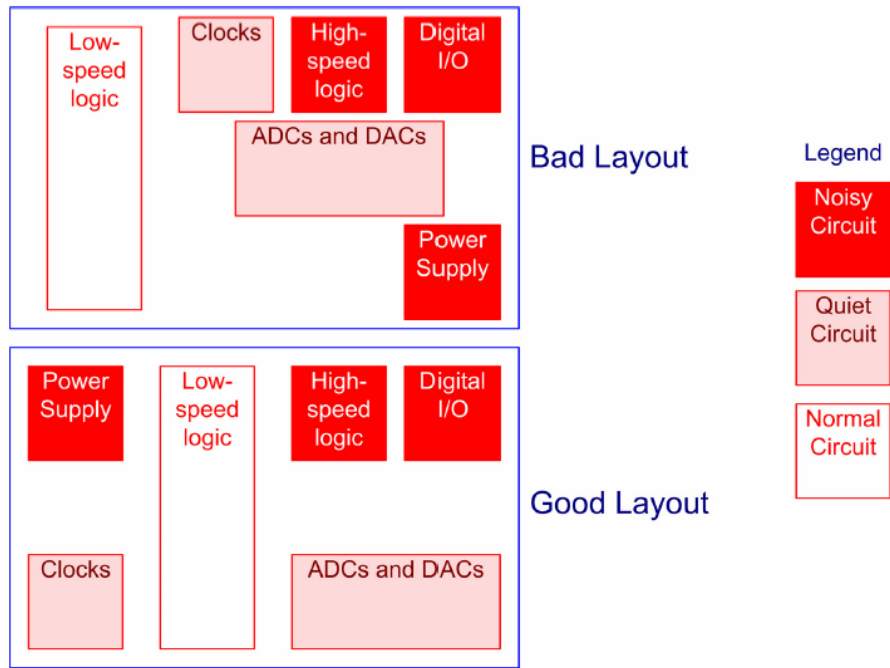


Figure 1 : Isolation of Functional Blocks on a PCB

第一个布局中放置时钟和数据转换器在相邻于噪声器件的附近。噪声将会耦合到敏感电路及降低他们的性能。第二个布局做了有效的电路隔离将有利于系统设计的信号完整性。

## 2、阻抗、反射及终端匹配

阻抗控制和终端匹配是高速电路设计中的基本问题。通常每个电路设计中射频电路均被认为是最重要的部分，然而一些比射频更高频率的数字电路设计反而忽视了阻抗和终端匹配。

由于阻抗失配产生的几种对数字电路致命的影响，参见下图：

- 数字信号将会在接收设备输入端和发射设备的输出端间造成反射。反射信号被弹回并且沿着线的两端传播直到最后被完全吸收。
- 反射信号造成信号在通过传输线的响铃效应，响铃将影响电压和信号时延和信号的完全恶化。
- 失配信号路径可能导致信号对环境的辐射。

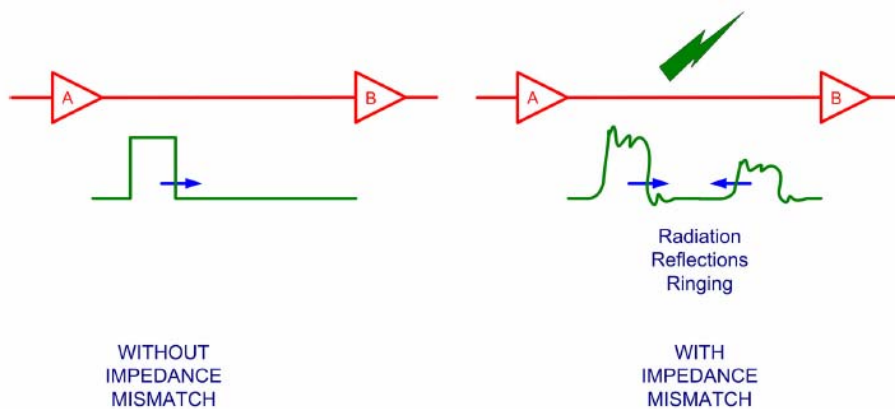


Figure 2 : Transmission of a Digital Signal with and without Impedance Mismatch

由阻抗不匹配引起的问题可以通过终端电阻降到最小。终端电阻通常是在靠近接收

端的信号线上放置一到两个分立器件，简单的做法就是串接小的电阻。

终端电阻限制了信号上升时间及吸收了部分反射的能量。值得注意的是利用阻抗匹配并不能完全消除破坏性因素。然而认真的选用合适的器件，终端阻抗可以很有效的控制信号的完整性。

并不是所有的信号线都需要阻抗控制，在一些诸如紧凑型 PCI 规格要求中的特征阻抗和终端阻抗特性。

对于别的没有阻抗控制规范要求的其他标准以及设计者并没有特意关注的。最终的标准可能发生变化从一个应用到另一个应用中。因此需要考虑信号线的长度（相关与延迟  $T_d$ ）以及信号上升时间（ $T_r$ ）。通用的对阻抗控制规则是  $T_d$ (延迟)应大于  $T_r$  的  $1/6$ 。

### 3、内电层及内电层分割

在电流环路设计中会被数字电路设计者忽视的因素，包括对单端信号在两个门电路间传送的考虑（如下图）。从门 A 流向门 B 的电流环路，然后再从地平面返回到门 A。

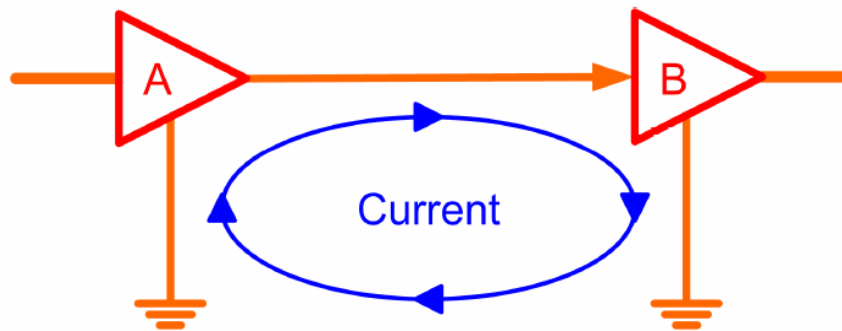


Figure : High Speed Signal being driven from point to point

上图中将会出现两个潜在的问题：

- a、A 和 B 两点间地平面需要被连接通过一个低阻抗的通路  
如果地平面间连接了较大的阻抗，在地平面引脚间将会出现电压倒灌。这就必将会导致所有器件的信号幅值的失真并且叠加输入噪声。
- b、电流回流环的面积应尽可能的小  
环路好比天线。通常说话，一种更大环路面积将会增大了环路辐射和传导的机会。每一个电路设计者都希望回流电流都可直接沿着信号线，这样就最小的环路面积。

用大面积接地可以同时解决以上两个问题。大面积接地可以提供所有接地点间小的阻抗，同时允许返回电流尽量直接沿着信号线返回。

在 PCB 设计者中一个常见的错误是在地电层上打过孔和开槽。下图显示了当一条信号线在一个开过槽的地电层上的电流流向。回路电流将被迫绕过开槽，这就必然会产生一个大的环流回路。

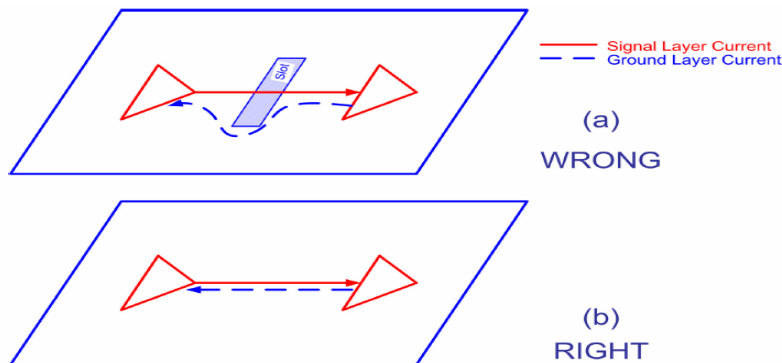


Figure : A Slot in a Ground Plane

通常而言，在地电源平面上是不可以开槽的。然而，在一些不可避免要开槽的场合，PCB 设计者必须首先确定在开槽的区域没有信号回路经过。

同样的规则也适用于混合信号电路 PCB 板中除非用到多个地层。特别是在高性能 ADC 电路中可以利用分离模拟信号、数字信号及时钟电路的地层有效的减少信号间的干扰。需要再次强调的，在一些不可避免要开槽的场合，PCB 设计者必须首先确定在开槽的区域没有信号回路经过。

在带有一个镜像差异的电源层中也应注意层间区域的面积（如下图）。在板卡的边缘存在电源平面对地平面层的辐射效应。从边沿泄漏的电磁能量将破坏临近的板卡。见下图 a。适当的减少电源平面层的面积（见下图 b），以至于地平面层在一定的区域内交叠。这将减少电磁泄漏对邻近板卡的影响。

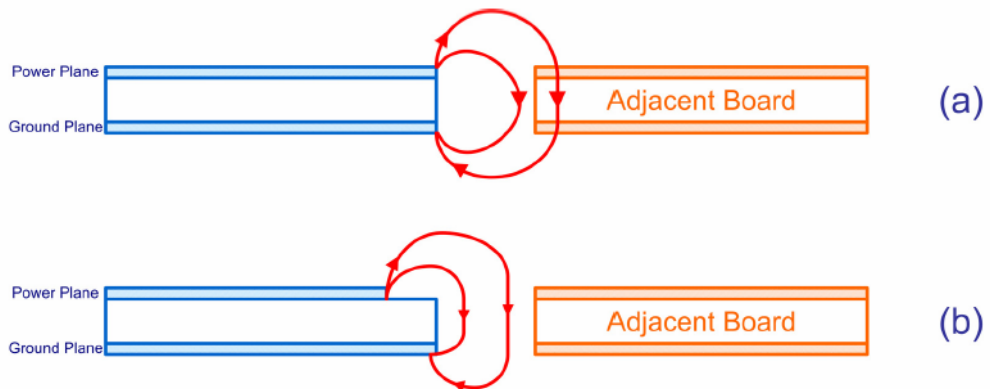


Figure : Edge Emissions from Power and Ground Planes

#### 4、信号布线

保证信号完整性最重要的就是信号线的物理布线。PCB 设计者经常处在工作压力下，不仅要在尽可能短的时间完成设计，而且还要保证信号的完整性要求。掌握如何平衡可能出现的问题与信号的间距将推动系统设计的进程。

高速电流不能有效处理信号线中的不连续。在下图 a 中最容易出现信号不连续的问题。在低速电路中对通常不需要考虑信号的不连续性，而在高速电路中就必须考虑这个问题。因此，在电路设计中与采用下图中 b/c 所示的方式，可以有效的保证信号的连续性。

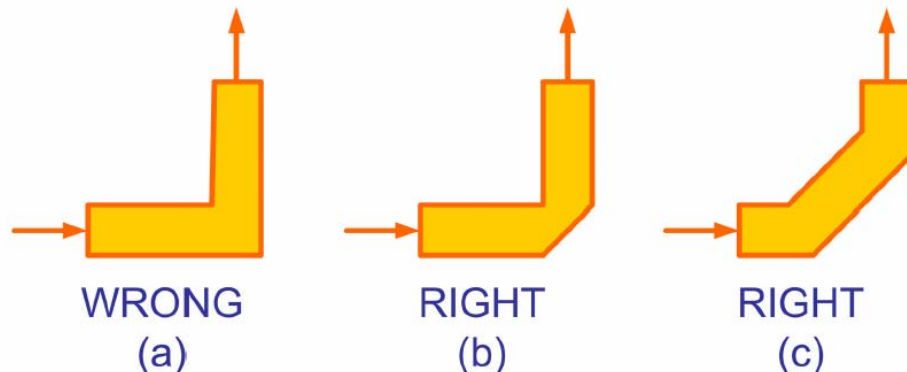


Figure : High-Speed Corners

在高速电路设计中，对信号布线存在的另一个共性问题。如果没有特别的原因，应该尽可能消除所有的短接线。在高频率电路设计中，短接线就如同由于信号线的阻抗

匹配而引发的辐射一样。

在高速电路设计的布线中特别需要注意差分对的布线。差分对是通过两条完全互补信号线驱动的。差分对可以很好的避免噪声干扰和改进 S / N 率。然而差分对信号线对布线有特别高的要求：

- 1、两条线必须尽可能靠近布线；
- 2、两条线必须长度完全一致；

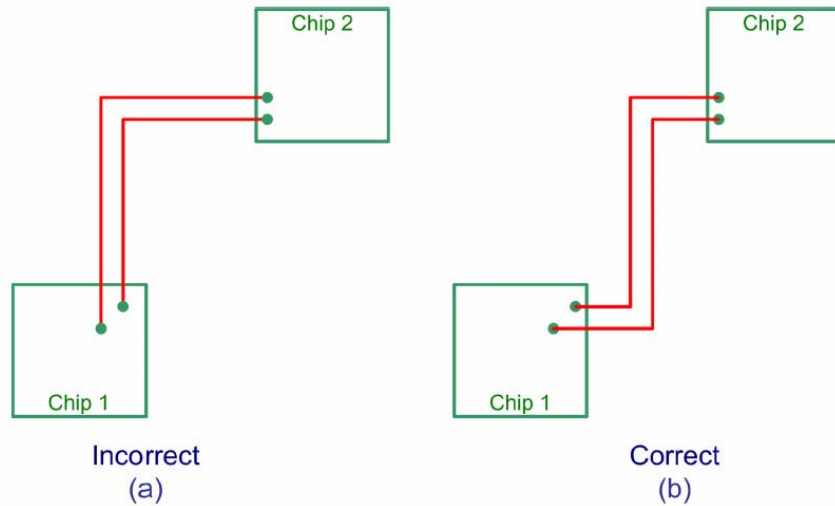


Figure : Routing a Differential Pair Around a Bend

在两个没排列在一起的器件间布差分对信号线如何合理的布线是一个关键问题。上图 a 中由于两条信号线的长度不一致，将会出现一些不确定风险。正确的布线应采取上图 b 中的方式。在差分对布线中的通用规则是：保持两条信号线同等间距并相互靠近。

## 5、串扰

在 PCB 设计中，串扰问题是另一个值得关注的问题。下图中显示出一个 PCB 中相邻的三对并排信号线间的串扰区域及关联的电磁区。当信号线间的间隔太小时，信号线间的电磁区将相互影响，从而导致信号的恶化，这就是串扰。

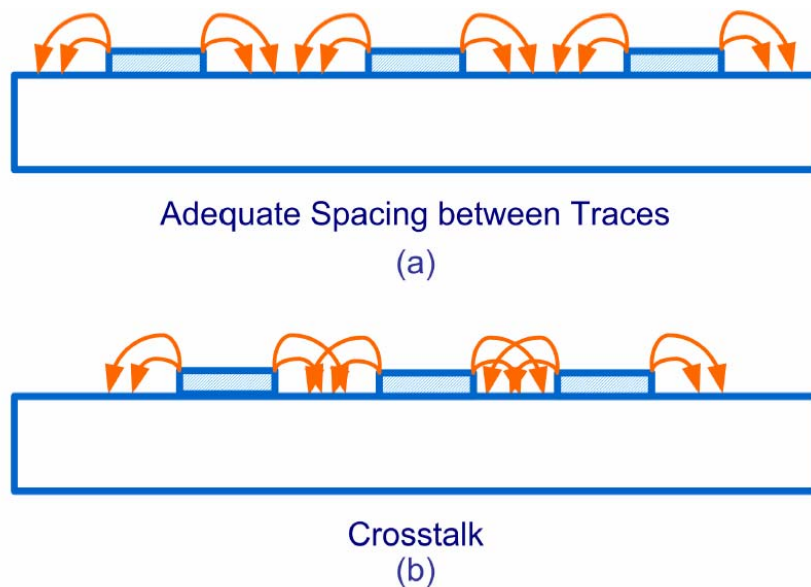


Figure : Crosstalk Between Adjacent PCB Traces

串扰可以通过增加信号线间距解决。然而，PCB 设计者通常受制于日益紧缩的布线空间和狭窄的信号线间距；由于在设计中没有更多的选择，从而不可避免的在设计中引入一些串扰问题。显然，PCB 设计者需要一定的管理串扰问题的能力。

这些年出了许多可靠间距的相关规则。而一个通常业界认可的规则是 3W 规则，即相邻信号线间距至少应为信号线宽度的 3 倍。

然而，实际中可接受的信号线间距依赖于实际的应用、工作环境及设计冗余等因素。信号线间距从一种情况转变成另一种以及每次的计算。因此，当串扰问题不可避免时，就应该对串扰定量化。这都可以通过计算机仿真技术表示。利用仿真器，设计者可以决定信号完整性效果和评估系统的串扰影响效果。

## 6、电源退耦

电源退耦是现在数字电路设计中标准惯例，在此提及将有助于减少电源线上噪声问题。一个干净的电源对设计一个高性能电路至关重要。

迭加在电源上的高频噪声将会对相邻的每个数字设备都会带来问题。典型的噪声来源于地弹、信号辐射或者数字器件自身。

最简单的解决电源噪声方式是利用电容对地上的高频噪声退耦。理想的退耦电容为高频噪声提供了一条对地的低阻通路，从而清除了电源噪声。

依据实际应用选择退耦电容，大多数的设计者会选择表贴电容在尽可能靠近电源引脚，而容值应大到足够为可预见的电源噪声提供一条低阻对地通路。

采用退耦电容通常会遇到的问题是不能将退耦电容简单的当成电容。有以下几种情况：

- a、电容的封装会导致寄生电感；
  - b、电容会带来一些等效电阻；
  - c、在电源引脚和退耦电容间的导线会带来一些等效电感；
  - d、在地引脚和地平面间的导线会带来一些等效电感；
- 由此而引发的效应：
- a、电容将会对特定的频率引发共振效应和由其产生的网络阻抗对相邻频段的信号造成更大的影响；
  - b、等效电阻（ESR）还将影响对高速噪声退耦所形成的低阻通路；

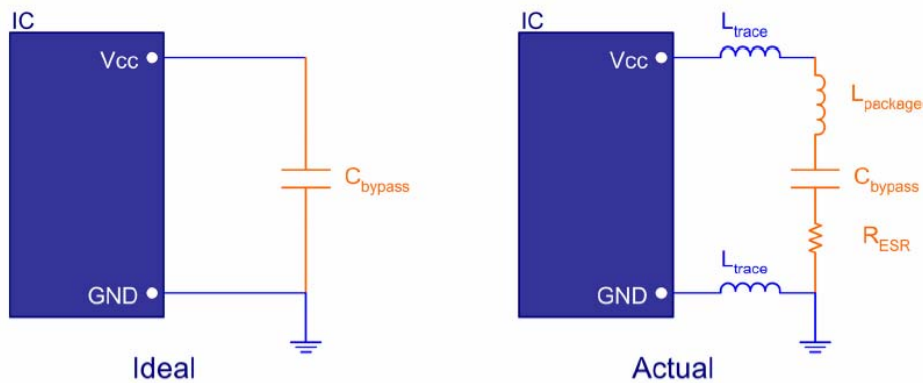


Figure : Realistic De-coupling

以下总结了由此对一个数字设计者产生的效应：

- a、从器件上 Vcc 和 GND 引脚引出的引线需要被当作小的电感。因此建议在设计中尽可能使 Vcc 和 GND 的引线短而粗。
- b、选择低 ESR 效应的电容，这有助于提高对电源的退耦；



c、选择小封装电容器件将会减少封装电感。改换更小封装的器件将导致温度特性的变化。因此在选择一个小封装电容后，需要调整设计中器件的布局。

在设计中，用 Y5V 型号的电容替换 X7R 型号的电容器件，可保证更小的封装和更低的等效电感，但同时也会为保证高的温度特性花费更多的器件成本。

在设计中还应考虑用大容量电容对低频噪声的退耦。采用分离的电解电容和钽电容可以很好的提高器件的性价比。

## 7、总结：

信号完整性是贯穿于高速数字电路设计中的最重要的问题之一；在此将列出几点在数字电路设计中保证信号完整性的建议：

- a、对灵敏元件实施对噪声器件的物理隔离；
- b、阻抗控制、反射和信号终端匹配；
- c、用连续的电源和地平面层；
- d、布线中尽量避免采用直角；
- e、差分对布线长度相等；
- f、高速电路设计中应考虑串扰问题；
- g、电源退耦问题；

很好了掌握以上提到的数字电路设计中的问题，可以帮助数字电路设计者能在电路设计的早期尽可能多地发现一些电路设计中潜在的问题。

译者：华文龙 于 2005 年上海

## 参考目录：

- [1]、《高速数字电路设计》—— Johnson H 和 Graham M 在 1993 年出版
- [2]、《差分信号》—— Brooks D 在 2001 年出版