

USB2.0 特性及 USB 单片机

发布时间:2006 年 8 月 26 日 点击次数:975

来源: [单片机与嵌入式系统应用](#)

作者: 电子科技大学 陈汝全

详细内容:

一、 USB 总线简介

通用串行总线 USB (Universal Serial Bus) 是由 Intel 等厂商制定的连接计算机与具有 USB 接口的多种外设之间通信的串行总线。目前,带 USB 接口的设备越来越多,如鼠标、键盘、数码相机、调制解调器、扫描仪、摄像机、电视及视频抓取盒、音箱等。

USB 总线最多可支持 127 个 USB 外设连接到计算机系统。USB 的拓扑是树形结构,有 1 个 USB 根集线器 (root hub),下面还可有若干集线器。1 个集线器下面可接若干 USB 接口。USB 线缆包括 4 条线: Vbus(USB 电源)、D+ (数据)、D- (数据) 和 Gnd(USB 地)。线缆最大长度不超过 5m。USB1.1 的传输速率最高为 12Mb/s (低速外设的标准速率为 1.5Mb/s,高速外设的标准速率为 12Mb/s)。图 1 是典型的 USB 功能器件结构框图,图 2 是高速外设的 USB 线缆与电阻的连接图。图 2 中: F S 为全速 (高速);LS 为低速; $R_1=15k\Omega$, $R_2=1\text{ k}\Omega$ 。USB 外设可以采用计算机里的电源 (+5V, 500mA),也可外接 USB 电源。在所有的 USB 信道之间动态地分配带宽是 USB 总线的特征之一,这大大地提高了 USB 带宽的利用率。当一台 USB 外设长时间 (3ms 以上) 不使用时,就处于挂起状态,这时只消耗 0.5mA 电流。按 USB1.0/1.1 标准,USB 的标准脉冲时钟频率为 12MHz,而其总线时钟脉冲为 1ms (1kHz),即每隔 1ms,USB 器件应为 USB 线缆产生 1 个时钟脉冲序列。这个脉冲序列称为帧开始数据包 (SOF)。高速外设长度为每帧 12000bit(位),而低速外设长度只有每帧 1500bit。1 个 USB 数据包可包含 0~1023 字节数据。每个数据包的传送都以 1 个同步字段开始。

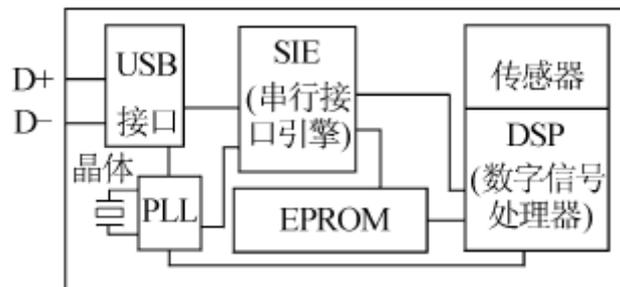


图 1 典型 USB 功能器件结构框图

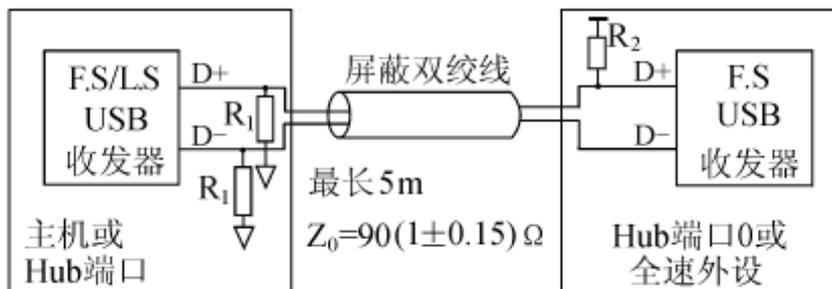


图 2 高速外设的 USB 线缆与电阻的连接图

二、USB 2.0 特性

2000年生产的PC主机几乎都有了USB插口,最新的PC机还有USB集线器(Hub)和4~6个USB插口。USB集线器的结构如图3所示。但这些还是不能满足对高速外设的要求。最近推出了USB2.0标准,其速度比USB1.0/1.1快40倍,达480Mb/s。使USB推广到硬盘、电缆调制解调器、信息家电网络产品和其他的快速外设成为可能。一些公司已开发出支持USB2.0的产品,其中,Cypress半导体公司是USB控制器的带头人。该公司已开发出了称为EZ\USB FX2的单芯片USB2.0。

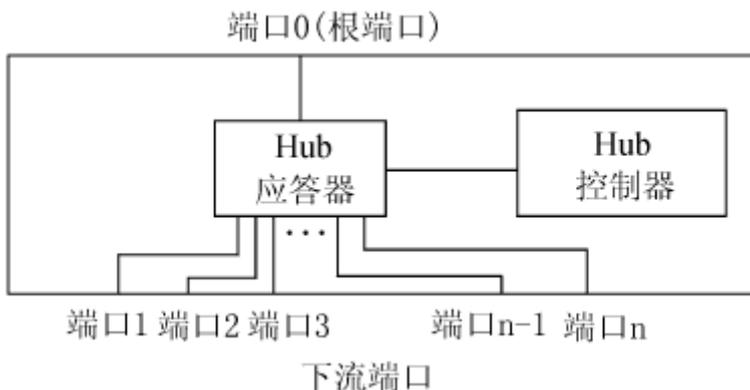


图3 USB的Hub(集线器)结构

1 设计USB2.0系统的两种方法

(1) 多芯片方法

多芯片和ASIC(专用集成电路)方法:使用多芯片方法需要购买USB2.0收发器和串行接口引擎(SIE),并把收发器(作为一种外设)与单片机相连接。这时,单片机要处理许多USB协议。自然,用建有芯片系统的ASIC并在它上面集成有全部必需的部件,这样能获得更高的集成度,但是,这样需要面对应用和如何使用USB2.0两方面的工作。这意味着设计者需要做更大的努力,并且产品上市时间长。此方法的好处是最终部件的价格低,因此对大批量生产是有价值的。

(2) 单芯片方法

EZ-USB FX2的单芯片内有USB2.0物理层(PHY)电路和基于该公司的EZ\USB FX结构的8051单片机。用单片EZ\USB FX2开发USB2.0外设具有一定的优势,因此最好是用单芯片方法。这就是为什么Cypress半导体公司生产EZ\USB FX2(以下简写FX2)单芯片的原因。Cypress公司指出,当运行在480Mb/s时,数字和模拟之间的接口会有更多的细致差别。例如,噪声热容限会更小。USB2.0的电压摆幅比USB1.1更小。例如,要建立1个100K(10万)门的IC,小的物理层(PHY)将会存在更大的挑战。那样做不是不可能,但肯定会影响上市时间。第1个ASIC必须分两步走,这影响上市时间。

另外,USB2.0需要在USB1.1“全速度”(“full speed”)速率基础上完成。换句话说,USB2.0收发器和SIE(串行接口引擎)要做全速和高速率设计。这意味着设计时必须使USB1.1和USB2.0兼容。

2 良好的调整有助于产品的快

速上市和性能提高

Cypress 相信它的单芯片方法给公司提供了 1 个 USB2.0 结构的可能性。这是考虑了既要获得所需的高性能 I/O (输入/输出), 又要保持 480Mb/s 的 USB2.0 高速度。

此外, 该公司看到了 USB1.1 多芯片方法中存在的引脚数问题: USB1.1 的数据宽度是 8 位, 而现在 USB2.0 的宽度至少是 32 位。这需要大的封装, 如 100 和 128 引脚四方扁平封装。按该公司的方法, 这正好适合作为 SIE (串行接口引擎) 和 PHY (物理层) 用, 但并不包括单片机。因此, 封装的费用就占了总价格的相当部分, 则总系统的价格就更高。公司有 3 种芯片版本, 最小的是 56 引脚的缩小外形输出封装 (SSOP)。引脚数少是因为宽的数据引线都在芯片内部, 封装的引脚是作为外部接口用。

总之, 单芯片方法的优势可体现在性能、灵活性和价格方面。如上所述, 宽数据总线在芯片内, 实际上能调整结构以适应高速度。

FX2 部件的特点之一是采用低价的 8051 单片机, 仍然能获得很高的速度。至于灵活性, 则体现在 USB2.0 的可编程接口能为特定的应用接口编程。FX2 的特点是内有 8 位 8051 单片机内核, 它可工作在 12, 24 或 48MHz, 这取决于应用对象。图 4 所示为 FX2 方框图, 它展示了芯片的集成特性。此单片机之所以得到广泛的应用, 是因为它能适应各种功耗和应用的要求, 并能保持 USB2.0 高速度的特点。此外, USB 的端点 (endpoint) 数据缓冲器以及从属 FIFO (先入先出寄存器), 现在都与经典的 FIFO 一样。该缓冲器可与 Cypress 智能 USB2.0 SIE (串行接口引擎) 相连接。如图 4 所示: 数据进入收发器后, 通过 SIE 直接转向 FIFO, 然后, 通过 8 或 16 位数据路径, 可与外部连接, 存取数据。注意, 这时在数据路径上没有单片机。

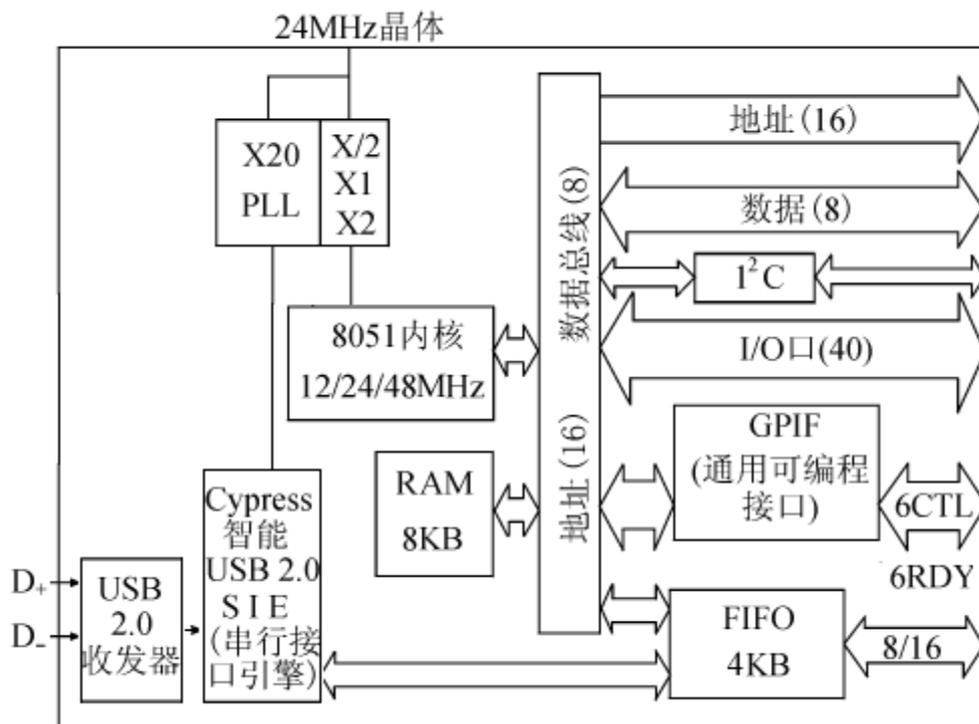


图 4 EZ-USB FX2 方框图

收发器与 SIE (串行接口引擎) 相连接, SIE 直接与端点 (endpoint) FIFO 相连。仅当需要完成检验分组信息的工作时, 单片机才与 USB 传输发生关系。

单片机仍可对 FIFO 进行存取。例如,它可以根据信息分组(包)的头标码内容与因特网进行存取操作;但是,数据路径的速度与单片机的处理速度无关,它有独立的速度。这是调整了结构的 1 个例子。

Cypress USB2.0 SIE 类似该公司以前的 FX 部件,能执行 USB2.0 协议的大部分内容。设计师不必考虑所有三级处理这类事情,而全由智能 SIE 来完成。当用户订购该公司的开发板,并插入 PC 插槽时,不必写入任何代码,开发板就能工作。很明显,这是由于有智能 SIE 之故,使用户应用时不需调整开发板。在启动这部分工作时不会影响其他部分,USB 就能立即传输数据。

由智能 SIE 支持的另一工作是 Cypress 固件下载。由于固件是在 FX2 的 RAM 中,所以能通过 SIE 用 USB 下载。当单片机复位时,SIE 就能做下载工作。因为 USB2.0 是新的,有许多问题要考虑。下载给设计师提供了一种容易升级的方法。在参数变化时,这是一个重要的优点,因此减少了风险和不确定性,增加了产品上市快的优势。

端点(endpoint) FIFO 的关键之处是它按双口 RAM 来执行。USB 是分组协议,它可立即发送整个分组信息。USB2.0 的分组长度是 512 字节。如果用经典的 FIFO,当产生坏的 CRC(循环校验码)时,所有的数据必然泛滥流出,因为它是坏数据。把 FIFO 作为 RAM 来执行,它变得更像分组的 FIFO。整个分组信息能送入双口存储器。如果 CRC 是好的,则分组信息能从 USB 域交换到 I/O(输入/输出)域。对外来说,它看起来仍然像 FIFO,但代之以每次只传送 1 个字或 1 个字节为立即传送整个分组信息。

端点 FIFO 的其他部分与速度有关。因为数据流入很快,所以对分组来说,至少需要双口缓冲器。Cypress 公司的器件因可编程而进了一步。端点缓冲器可能是双、三或四缓冲器,与所需的数据量或灵活性有关。例如,批量存储的外设,在高速时,要断开 1 个读数据信道。然后读/写头移到下一条路径,在 USB 上发送数据。为保证此工作,需要四重缓冲。

实际上不需要了解 FIFO 对外是如何进行调整工作的,因为有 FIFO 满标志、FIFO 空标志以及可编程标志。事实上,这是一个“量子”FIFO(公司这样称呼),分组的换入、换出是完全透明的。“量子”FIFO 就是有 256×16 位的双口 RAM 块,如图 5 所示。它们放置在 USB 这边,而数据是从 USB 输出或输入。数据穿过虚线进行交换(见图 5),达到 I/O 系统部分,这时能肯定整个分组是好的。8051 单片机也

对此存储器存取有效,这在另一种分组协议时就要用到。如以太网,在应用之前,可能要对分组进行试验。8051 能视分组的头标码内容按需要进行处理。在任何给定时间,某些 RAM 块都是在 SIE(串行接口引擎)控制下,由 USB 数据充满/空闲;而其他的 RAM 块则可由 8051 单片机和()或 I/O 控制单元使用。在 USB 域,RAM 块是单口;在 8051 的 I/O 单元域,RAM 块是双口。RAM 块能构成单、双、三或四缓冲。

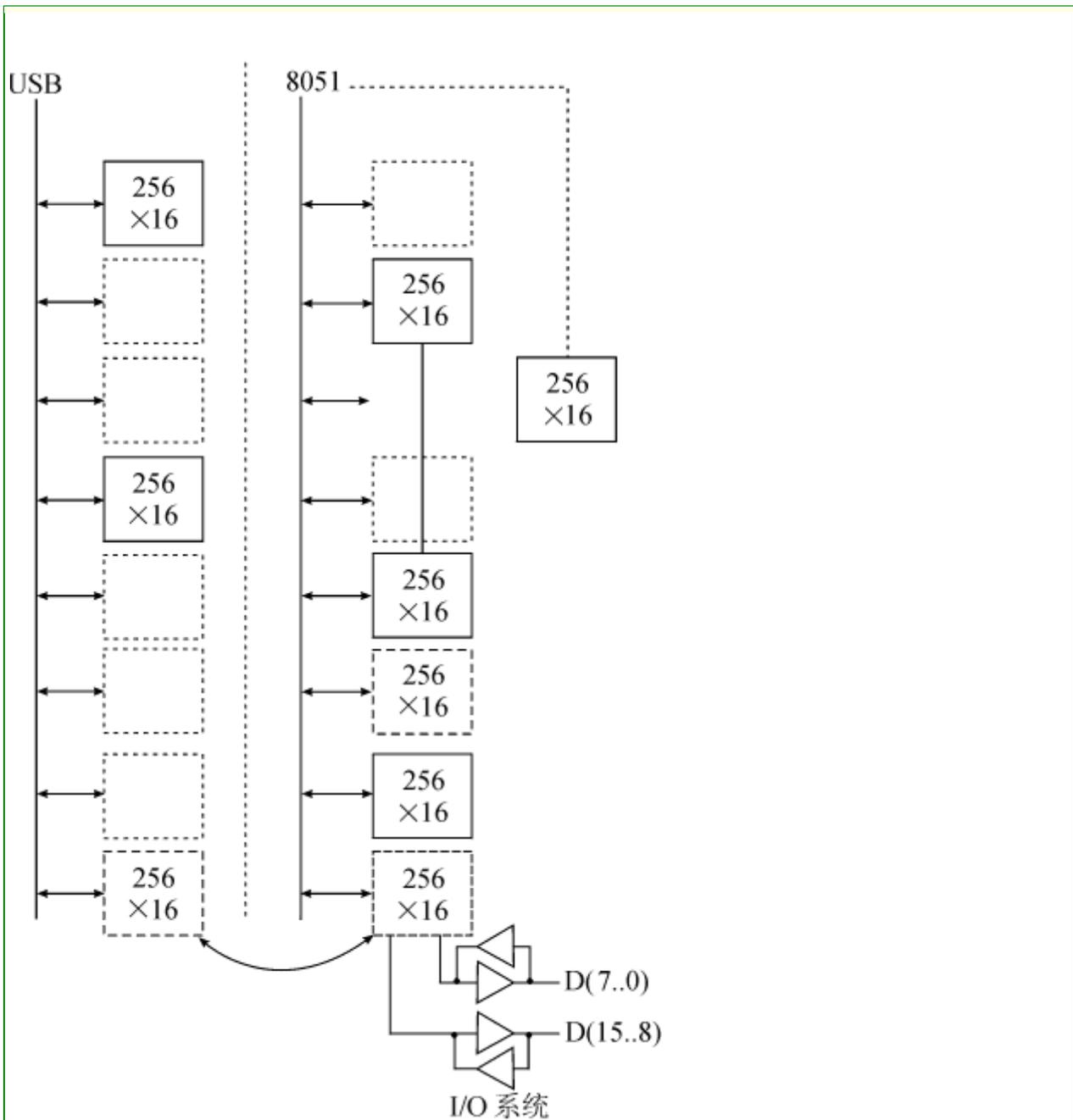


图 5 256×16 位的双口 RAM 块

通过 USB1.1 和 USB2.0 的比较,明确了哪些东西是不用去学习研究的。需要考虑的是如何执行 USB2.0 的总体结构。如果 Cypress 公司仍停留在使用原来的结构,则 USB 将包括:在 I/O 一边的 FIFO 和另一边的端点缓冲器。但是,因为 USB2.0 工作非常快,以至于这两种缓冲器将会是巨大的,从而增加了器件的成本。

“量子”FIFO 思想是一个有创造性的方法,它把几种功能都结合起来,以便 FIFO 能被外界看见;而端点缓冲器在芯片内部才能看见,但它们的作用都是相同的。在以前的结构中,存储器都是分开的。作为分开的 FIFO 容易在不同的时间域保持。采用 USB 和对外部 I/O 执行的方法,不同的时间域仍然是必要的,但这是更合理的方法。多芯片方法的设计师必然要回到两个 FIFO 的布局,总体成本与这两个大的器件有关。FX2 的灵活性由于有通用可编程接口(GPIF)而得到增强,它是一个可编程状态机。它能产生全部控制信号,例如:作为 ATAPI 硬盘驱动、DSL(数字用户线路)的 Utopia 接口或打印机的增强并行接口(EPP)。关键之处是能用相同的部件来寻址所有这些不同的接口,而不需要粘合连接逻辑。

这也扩展到微处理器,如 PowerPC、数字信号处理器 (DSP) 和 PCMCIA (个人电脑存储器卡国际协会) 器件,其中的每一种都需要一个不同的部件作粘合连接。因此,采用单芯片方法可以降低成本。通用可编程接口使 FX2 能为这些设备的每一接口进行调节。

设计师必须编制 GIPF (通用可编程接口) 程序,但 Cypress 公司提供了编制适当接口的软件工具,从而不必了解如何接口的具体过程。在此领域,公司还有帮助设计师的参考设计。

如前所述,FX2 有三种封装形式:一是 56 脚的 SOPP;二是 100 脚的 TQFP (薄形四方扁平封装);三是 128 脚的 TQFP。引脚数的区别在于输入、输出引脚数的不同。尽管 Cypress 公司的重点是在前两种封装,但 128 脚封装正好适合设计师必须采用外部数据总线、地址总线和 8KB RAM 的情况。这使得结构可扩展,给了设计师一个增加路径的空间。