

DDR 1&2&3 的“读”和“写”眼图分析

安捷伦科技有限公司 孙灯亮

【关键字】 DDR, 读眼图, 写眼图, 模板, 示波器

【摘要】 现在不论做主板设计或测试的工程师, 还是做内存或DDR芯片设计或测试的工程师都会面临这样一个问题: 如何能够分离出“读”和“写”眼图以发现有无信号品质问题? 因为简单测试一段波形很难确定你的设计或产品是否满足规范要求。而因为DDR的数据总线信号存在三态, “读”时序和“写”时序不同的情况, 我们很难直接用示波器把“读”眼图和“写”眼图分离出来。本文根据自己设计的DDR“读”“写”分离软件, 介绍一种把“读”眼图和“写”眼图分离开的方法, 并创新地引入模板测试的方法。

【Key Words】 DDR, read eye diagram, write eye diagram, DDR mask, Oscilloscope

【Abstract】 When designing or testing motherboard, DIMM or DDR DRAM, design or test engineer will meet a challenge that how to separate read eye diagram and write eye diagram from DDR data bus. It is difficult to find signal integrity issues if only acquire and analysis several waveforms. There are tri-state, read burst and write burst in DDR data bus, and the timing is different between read burst and write burst. So it is impossible to get clear eye diagram directly. This article introduces an innovated method to separate read eye diagram and write eye diagram, and introduces an innovated method about how to define mask for read eye diagram and write eye diagram.

DDR 1&2&3 总线概览

DDR 全名为 Double Data Rate SDRAM, 简称为 DDR。现在 DDR 技术已经发展到了 DDR 3, 理论上速度可以支持到 1600MT/s。DDR 总线走线数量多, 速度快, 操作复杂, 探测困难, 给测试和分析带来了巨大的挑战。

DDR 本质上不需要提高时钟频率就能加倍提高 SDRAM 的速度, 它允许在时钟的上升沿和下降沿读出数据, 因而其速度是标准 SDRAM 的两倍。至于地址与控制信号则与传统 SDRAM 相同, 仍在时钟上升沿进行数据判断。

目前, 许多计算机使用时钟频率为 533MHz 的 DDR2 内存, 更先进的 DDR2 内存正在日益普及, 它的时钟频率在 400 MHz-800 MHz 之间, 新的 DDR3 内存的时钟频率则可以工作在 800MHz-1600MHz 之间。DDR3 内存芯片还有另外一个长处: 更低的能耗, 它的运行电压是 1.5 伏, 低于 DDR2 内存芯片的 1.8 伏和 DDR1 内存芯片的 2.5 伏。在使用电池的设备中能够延长电池续航时间, 因为能耗低, 产生的热量也就少, 从而对冷却的要求也就低一些。

DDR 2&3 几个新增特性的含义是: ODT (On Die Termination), DDR1 匹配放在主板上, DDR2&3 把匹配直接设计到 DRAM 芯片内部, 用来改善信号品质。OCD(Off Chip Driver)是加强上下拉驱动的控制功能, 通过减小 DQS 与/DQS(DQS 是数据 Strobe, 源同步时钟, 数据的 1 和 0 由 DQS 作为时钟来判断) Skew(时滞)来增加信号的时序容限 (Timing Margin)。Posted CAS 是提高总线利用率的一种方法。AL (Additive Latency) 技术是相对于外部 CAS, 内部 CAS 执行一定的延时。

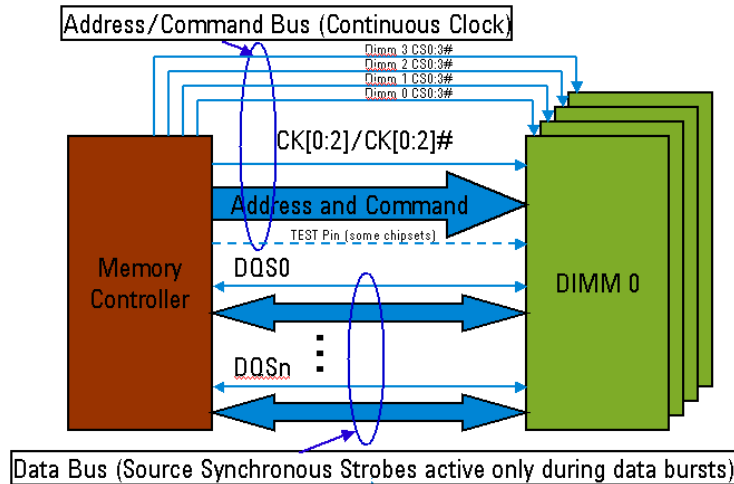


图 1: DDR 总线的体系结构

图 1 是 DDR 总线的体系结构。其中 DQS 是源同步时钟，在接收端使用 DQS 来读出相应的数据 DQ，上升沿和下降沿都有效。DDR1 总线，DQS 是单端信号，而 DDR2&3, DQS 则是差分信号。DQS 和 DQ 都是三态信号，在 PCB 走线上双向传输，读操作时，DQS 信号的边沿在时序上与 DQ 的信号边沿处对齐，而写操作时，DQS 信号的边沿在时序上与 DQ 信号的中心处对齐，参考图 2，这就给测试验证带来了巨大的挑战：把“读”信号与“写”信号分开是非常困难的！

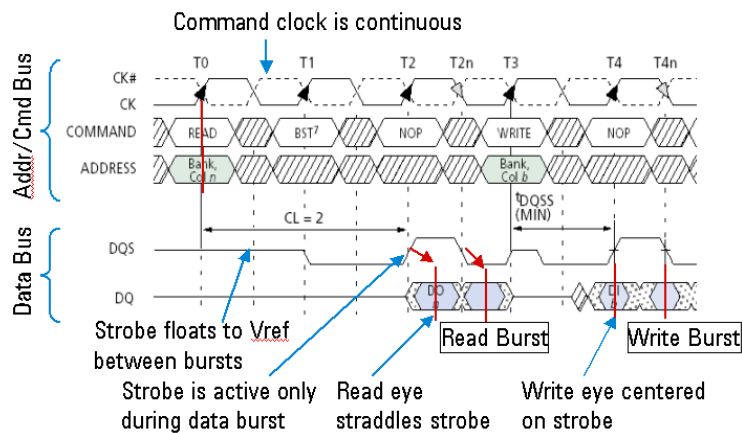


图 2: DDR 总线“读”“写”操作时序

图 2 中，Addr/Cmd Bus 意思是地址/命令总线，都是时钟的上升沿有效，其中命令由： \overline{CS} (片选)， \overline{RAS} ， \overline{CAS} ， \overline{WE} （写使能）决定，比如：“读”命令为：LHLH，“写”命令为：LHLL 等。操作命令很多，主要是 NOP（空操作），Active（激活），Write，Read，Precharge (Bank 关闭)，Auto Refresh 或 Self Refresh（自动刷新或自刷新）等（细节请参考：Jedec 规范 JESD79）。Data Bus 是数据总线，由 DQS 的上升沿和下降沿判断数据 DQ 的 0 与 1。

DDR 1&2&3 总线的信号完整性测试

DDR 总线 PCB 走线多，速度快，操作时序复杂，很容易出现失效问题，为此我们经常用示波器进行 DDR 总线的信号完整性测试和分析，通常的测试内容包括：

1, 命令信号的波形和时序参数: 需要测试/RAS, /CAS, /WE, /CS 的信号品质, 如 Vmax (最大电压值), Vmin (最小电压值), Slew Rate (斜率), Ringback(回沟)等; 还需要测试相对于时钟边沿的 Setup Time (建立时间) 和 Hold Time (保持时间)。测试相对于时钟边沿的建立时间和保持时间时, 需要注意参考电平的位置和最差情况波形的捕获。如图 3 的/CS 建立时间和保持时间的测试就没有测试出最差的建立时间和保持时间值, 为此, 我们需要用眼图累积的方式设法找到最差情况下的建立时间和保持时间。

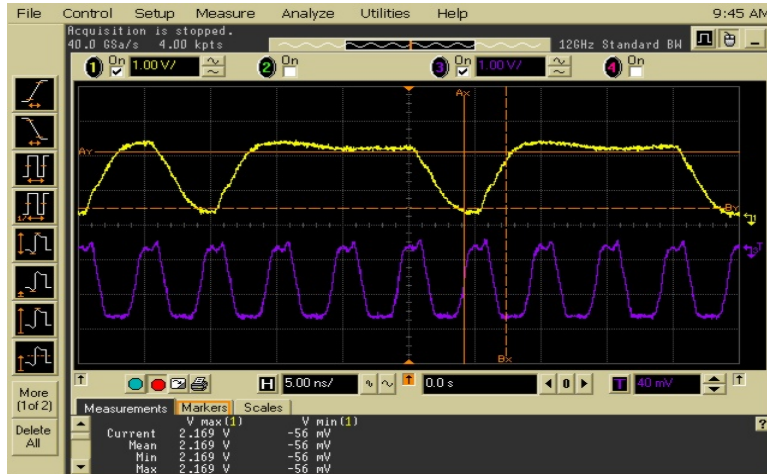


图 3: /CS 信号的建立时间和保持时间测试

2, 地址信号的波形和时序参数: 测试内容和测试方法类似于命令信号的测试, 包括信号品质和相对于时钟边沿的建立时间和保持时间的测试。

3, 时钟信号的波形和抖动参数: 测试建议用差分探头。波形参数包括 overshoot (过冲), undershoot (下冲), Slew Rate (斜率) 或 Rise Time (上升时间) 和 Fall Time (下降时间), 高低时间和 Duty Cycle (占空比失真) 等。时钟抖动一般只是测试 Cycle-Cycle Jitter (周期到周期抖动), 但是当速率超过 533MT/s 的 DDR2&3 时, 则测试内容相当多, 不可忽略, 下表 1 是 DDR2 667 的规范参数。这些抖动参数的测试需要用专用软件实现, 比如 Agilent 的 N5413A DDR2 时钟表征工具。

Symbol	Parameter	JEDEC DDR2_667	Proposed Errata	Units
tCLK(avg)	Average Clock Period	3000	3000	ps
tJIT(per)	Clock Period Jitter	-125	-290	ps
tJIT(cc)	Cycle-to-cycle clock period jitter	-250	-470	ps
tERR(2per)	Cumulative error across 2 cycles	-175	-350	ps
tERR(3per)	Cumulative error across 3 cycles	-225	-450	ps
tERR(4per)	Cumulative error across 4 cycles	-250	-545	ps
tERR(5per)	Cumulative error across 5 cycles	-250	-600	ps
tJIT	Duty cycle jitter	125	150	
tCH(avg)	Average high pulse width	48 / 52	48 / 52	% of tCK(avg)
tCL(avg)	Average low pulse width	48/52	48/52	% of tCK(avg)

表 1: DDR 2 667 时钟抖动测试参数 (参考 Jeduc 规范)

4, 速据信号的波形和时序参数: DQS (源同步时钟) 和 DQ (数据) 波形参数与命令地址测试类似, 测试起来比较简单, 但是探测却比较复杂和困难。DDR1, DQS 是单端信号, 可以

用单端探头测试，DDR2&3 DQS 则是差分信号，建议用差分探头测试，减小探测难度。DQS 和 DQ 的时序关系，即相对的在不同操作条件下的建立时间和保持时间关系则非常复杂，分析比较困难，图 4 是实际捕获的 DDR2 533 DQS 和 DQ 的波形。从图中可以看出 DQS 和 DQ 的三态(Tri-state)特征，读数据 (Read Burst) 和写数据 (Write Burst) 的 DQS 和 DQ 的相对时序特征。在我们测试时，只是捕获了这样的波形，然后测试出在“读”“写”操作时的建立时间和保持时间参数是不够的，因为数据码型是变化的，猝发长度也是变化的，只测了几个时序参数很难覆盖各种情况，更难测出最差情况。很多工程师花了一周去测试 DDR，仍然测不出问题的关键点就在此处。因此我们应该用眼图的方式去测试 DDR 的读写时序，确保反映整体时序情况和捕获最差情况下的波形，最好能够套用串行数据的分析方法，调用模板帮助判断。

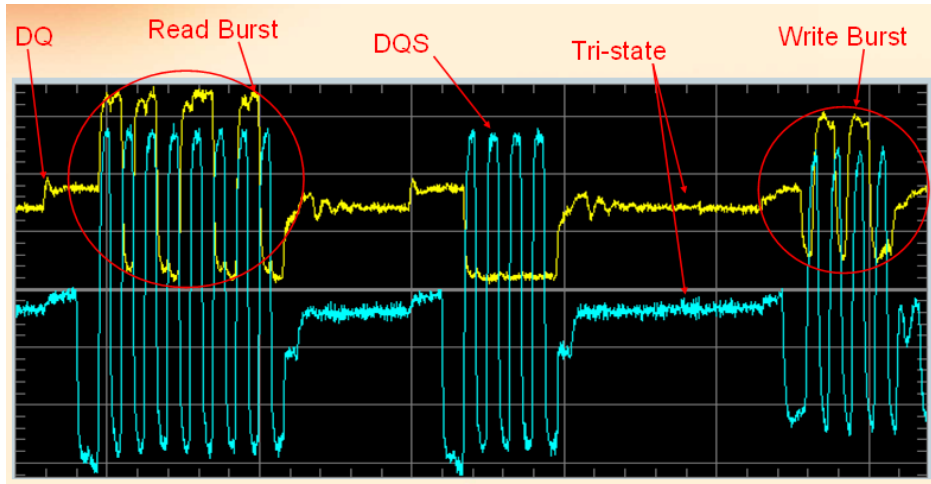


图 4: 实际捕获的 DDR2 533 DQS 和 DQ 的波形

DDR 1&2&3 “读”“写”眼图测试

基于 DDR “读”“写”信号相位不同的特征，本人设计了一个软件进行“读”“写”眼图的测试分析，软件使用 VEE Pro 7.5 设计界面，使用 VEE Pro 内嵌的 Matlab 脚本分析数据，基于规范的 AC 参数设计模板，帮助工程师进行 DDR 信号完整性测试分析的最复杂部分即“读”“写”数据眼图的测试分析。

图 5 是软件界面和分析结果的一个示例，上面两幅图形是用户界面。左边的是离线分析软件，用示波器同时采集 DQS 和 DQ 信号，并且存为*.CSV 文件。采集时，采样率设置为 20GSa/s，存储深度设置为 200k 以上，确保捕获足够的的数据，同时被测系统运行大型的软件或 MemoryTest.exe 工具（此内存测试软件能够进行内存总线的加压测试，一般做系统设计的或内存设计的都有），以让总线上有足够多的数据，来增加捕获各种码型和最差情况的可能性。离线软件调用采集的波形，自动去掉三态数据，把“读”数据放在一起，把“写”数据放在一起，基于 DQS 的有效边沿（去掉预调整和后调整后的上升边沿和下降边沿），累积在一起形成眼图，调用模板判断信号的优劣和是否满足规范要求。

图 5 右上图是基于 Agilent 的 DSO80000 和 54850 系列示波器的在线实时分析软件界面。需要把软件安装在示波器内部，或安装在外部电脑上用 LAN 或 GPIB 到 USB 适配器（82357A）连接到示波器。示波器的通道 1 探测 DQS，通道 3 探测 DQ，被测系统上运行大型的软件或

MemoryTest.exe 工具。在在线软件上输入想重复捕获波形的次数，然后按“starting”进行实时数据的捕获和实时眼图的分析，软件会控制示波器捕获波形，然后分析数据，形成眼图，调用模板判断信号是否满足规范要求，然后重复下一次捕获和分析，同时把新捕获的波形累积到前面捕获的波形上面。在线软件执行的算法与离线软件类似，只是可以自动控制示波器，进行波形的多次捕获和分析，并同时把实时捕获的波形的分析结果连同以前的结果一同显示出来。

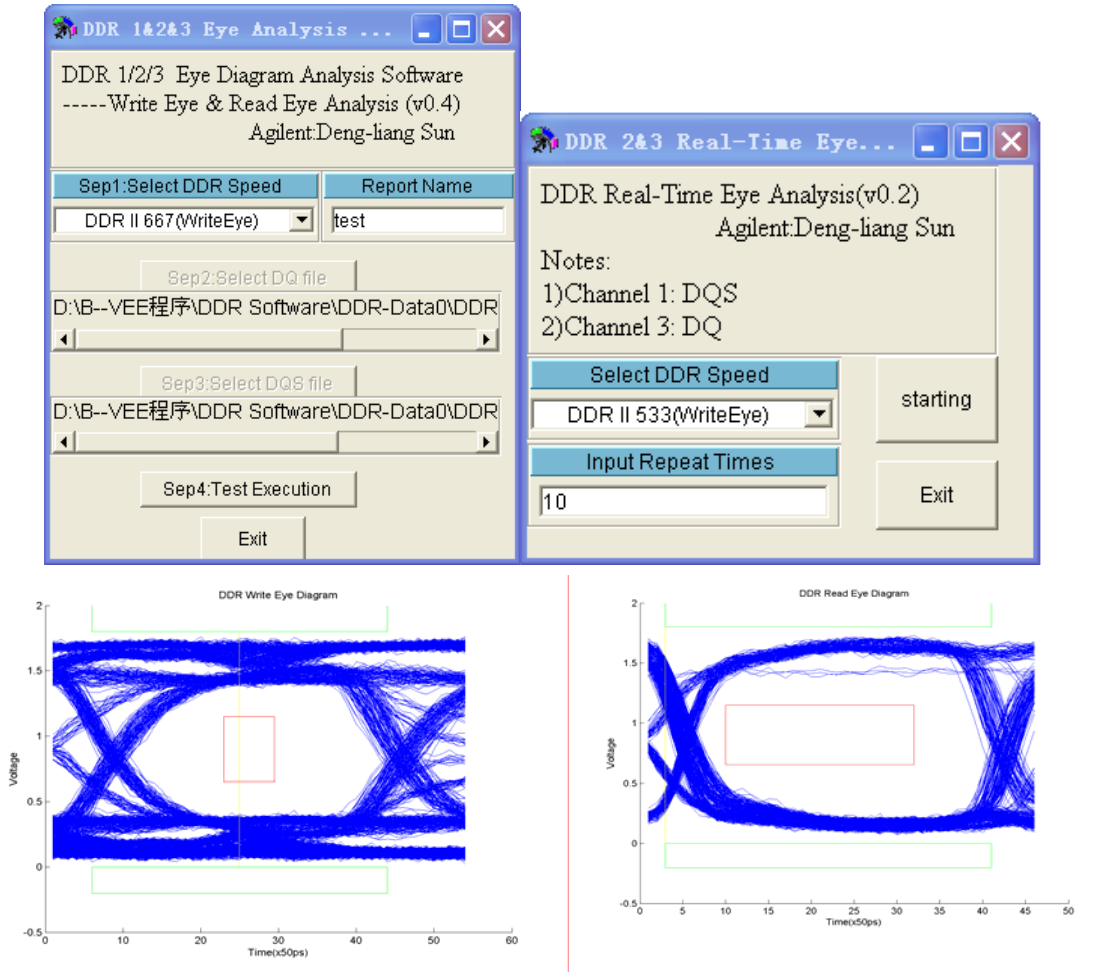


图 5：自己设计的 DDR 1/2/3 “读”“写”眼图分析软件的用户界面和测试结果示例

图 5 下面的两个波形是实际的分析结果示例，分析的是 DDR2 667，测试点是在 DIMM 内存条上。对我们比较有意义的是左边的“写”眼图，它反映的是信号从北桥发出，通过主板较长距离传输到达 DRAM 接收芯片的波形，这是我们做系统设计和测试时需要得到的眼图。右图则是直接从 DRAM 芯片发出的信号的波形，因为测试点是在 DIMM 上，所以对我们只有参考价值：当在北桥测试出时序问题时，通过此波形的观察确定是主板设计的问题，还是 DIMM 或 DRAM 芯片本身的问题。如果测试点在北桥，则需要关注“读”眼图，而此时“写”眼图一般只有参考价值。

这个 DDR “读”“写”眼图分析软件的算法是什么呢？其实很简单，如图 6 所示，如果直接用 DQS 触发 DQ，则会形成比较乱的眼图，但是中间又包括需要的信息，如图中的红色圆圈周围的是“写”眼图信息，途中的黄色圆圈周围则是“读”眼图信息。而眼图之所以乱，是因为同时包括“三态”信号和“读”“写”信号，而“读”和“写”信号的时序是矛盾的。使用

软件进行分离的处理比较容易：首先，扔掉三态信号，保留有用信息，软件设计时，检测 DQS 有效边沿，离 DQS 有效边沿较远的信号就是三态信号，扔掉它；然后，根据建立时间和保持时间的关系把“读”信号和“写”信号分成两个数据库；最后，把“读”信号数据库按 DQS 有效边沿放在一起形成眼图，把“写”信号数据库按 DQS 有效边沿放在一起形成眼图，分别调用模板产生测试结果。

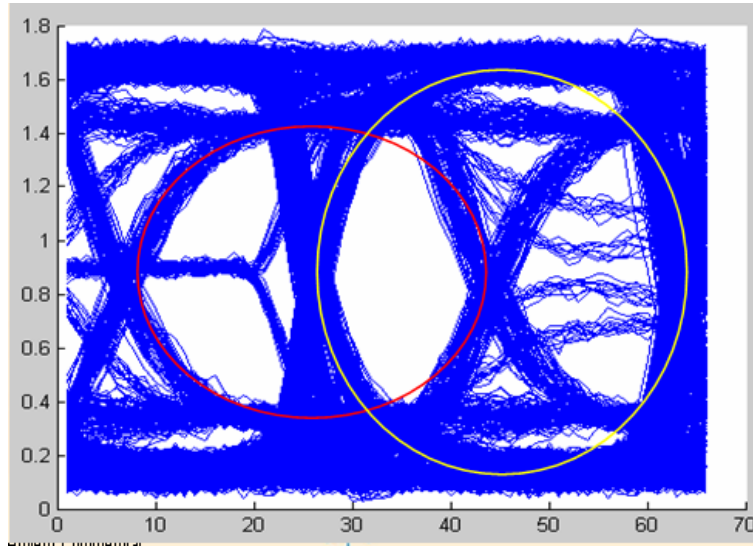


图 6：直接使用 DQS 触发 DQ 而形成的杂乱眼图

DDR 1&2&3 模板定义

DDR 规范没有定义模板，这给用眼图方式分析信号时判断信号是否满足规范要求带来挑战。为了更容易判断是否满足规范的要求，像分析一般串行信号一样分析“读”“写”眼图，本人根据 Jedec 规范设计了“读”“写”模板。下面以定义“写”眼图模板为例，介绍一下模板的设计方法。

图 7 是 Jedec 规范上的时序和波形参数， t_{DS} 是相对于 DQS 有效边沿的建立时间， t_{DH} 是相对于 DQS 有效边沿的保持时间， t_{DS} 相对于 DQ 的 AC 参数， t_{DH} 则相对于 DQ 的 DC 参数，不过为了测试方面的方便性，我们都可以用 AC 参数来定义 t_{DS} 和 t_{DH} 。 t_{DS} 和 t_{DH} 参数的测试是 DDR 的核心测试参数。

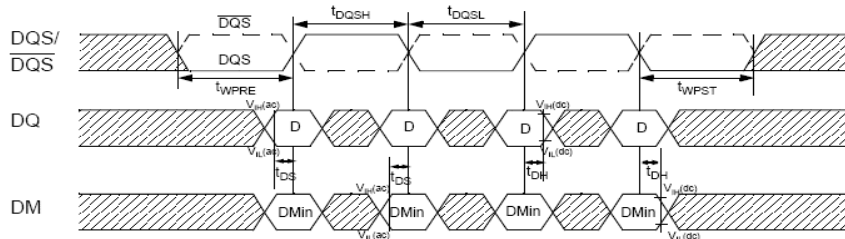


Figure 75 — Data Input (Write) Timing

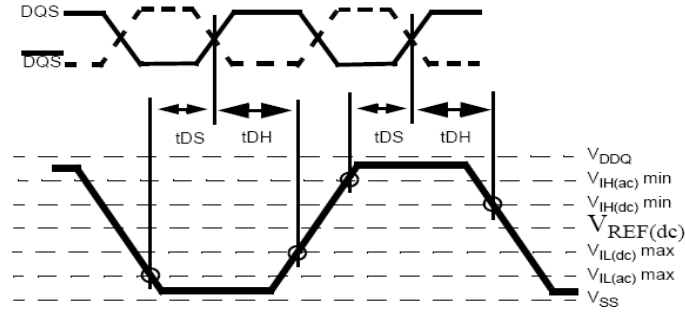


Figure 90 — Differential input waveform timing – tDS and tDH

图 7: Jedec 规范上的 DDR2 电参数定义

在Jedec规范上，我们可以查到各种速率的 t_{DS} 和 t_{DH} 的规范值，比如DDR2 533， t_{DS} 是 100ps， t_{DH} 是 225ps。我们也可以查到各种速率的AC参数值，比如DDR2 533：

$$V_{IH(ac)min} = V_{ref} + 0.25V = 0.9 + 0.25 = 1.15V$$

$$V_{IL(ac)max} = V_{ref} - 0.25V = 0.9 - 0.25 = 0.65V$$

其中， $V_{IH(ac)min}$ 是 $V_{IH(ac)}$ 规范的最小值， $V_{IL(ac)max}$ 是 $V_{IL(ac)}$ 规范的最大值， V_{ref} 是参考电压，对DDR1来说是 1.25V，DDR2来说是 0.9V，DDR3来说是 0.75V。

基于 t_{DS} 和 t_{DH} 和 $V_{IH(ac)min}$ 和 $V_{IL(ac)max}$ 参数，我们可以得出DDR2 533“写”眼图的模板如图 8 示。中间的区域就是模板，Setup time是 t_{DS} 建立时间，Hold time是 t_{DH} 保持时间， $V_{IH(AC)}$ 是 $V_{IH(ac)min}$ 值， $V_{IL(AC)}$ 是 $V_{IL(ac)max}$ 值。中间的黄色线是DQS的有效边沿即有效的上升沿或下降沿。

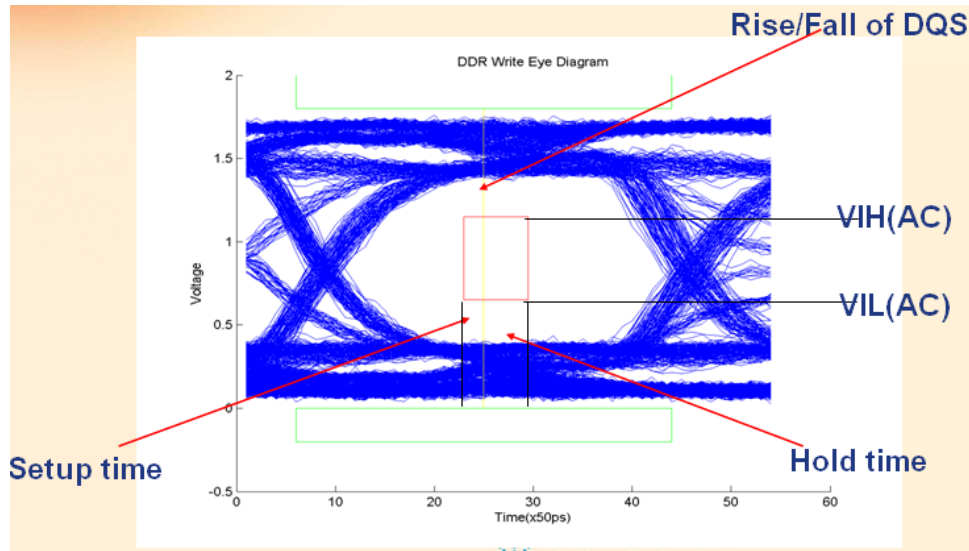


图 8: DDR2 533 “写” 眼图模板的定义

严格按规范的话，中间的模板应该定义为横着的梯形，因为保持时间是相对于 DC 参数，不过用长方形可以定义一个更严格的参数要求。

小结

DDR 是需要进行信号完整性测试的总线中最复杂的总线，不仅走线多、探测困难，而且时

序复杂，各种操作交织在一起。本文基于多年的实践经验，提供了一些测试的参考方法，尤其对“读”“写”眼图的测试方法和模板的定义提出一种创新观点，并设计软件实现了这种方法，希望对主板，DIMM，DRAM 设计者和测试者有参考价值。

参考资料：

- 1、DDR 总线的失效分析方法探索，孙灯亮，2004
- 2、High Speed Memory Debug Techniques, Agilent Technologies, Inc.2004
- 3、Double Data Rate(DDR) SDRAM Specification, JEDEC SOLID STATE TECHNOLOGY ASSOCIATION, May 2002
- 4、DDR2 SDRAM Specification ,JEDEC SOLID STATE TECHNOLOGY ASSOCIATION,Sep. 2003
- 5、DDRII System Validation and Debug, IDF, 2004

作者简介：

孙灯亮于 2003 年作为高级系统工程师加入 Agilent 公司。之前，作为应用工程师和研发工程师工作多年。曾在华为技术有限公司从事信号完整性分析和高速互连设计的技术研究和产品开发工作。Email:deng-liang_sun@agilent.com