

第1章 TMS320LF240X系列DSP概述

该系列包括：

闪存： TMS320LF2402、TMS320LF2406、TMS320LF2407

ROM： TMS320LC2402、TMS320LC2404、TMS320LC2406

最具革命性产品： LF2407/ LF2407A, 是当今世界上集成度最高、性能最强的**运动控制**DSP芯片。

1.1 DSP芯片的基本结构

1. 什么是DSP芯片

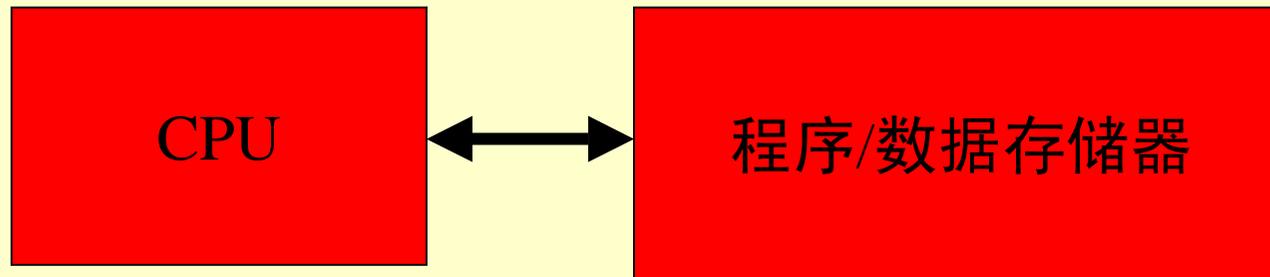
DSP是一种特殊结构的微处理器，快速实现各种数字信号处理算法。

2. DSP芯片的基本结构

(1) 哈佛结构-程序和数据分开的结构

程序和数据存储在两个不同的空间。

通用微处理器, 存储器结构为冯. 诺依曼结构。见下图
程序存储器和数据存储器共用一个公共的存储空间
和单一的地址和数据总线。



哈佛结构： DSP的程序存储器空间和数据存储器空间分开，即每个存储器空间独立编址，独立访问，并具有独立的程序总线 and 数据总线，取指和执行能完全重叠进行。

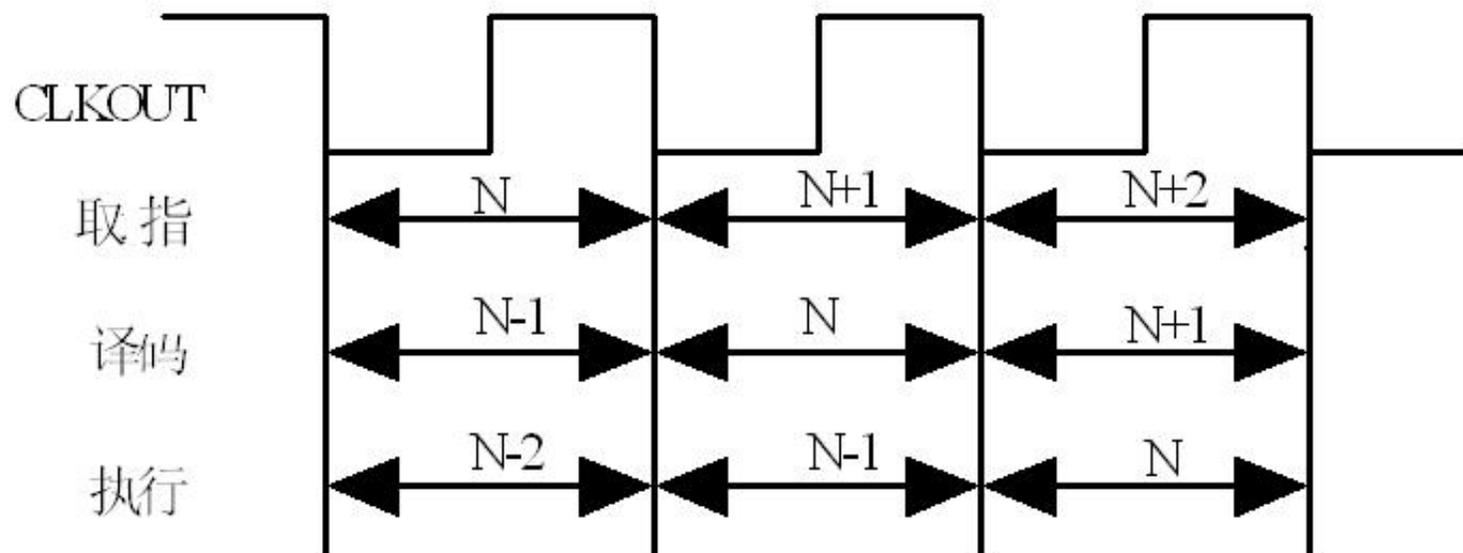
允许数据存放在程序存储器中，并被算术指令运算指令直接使用。

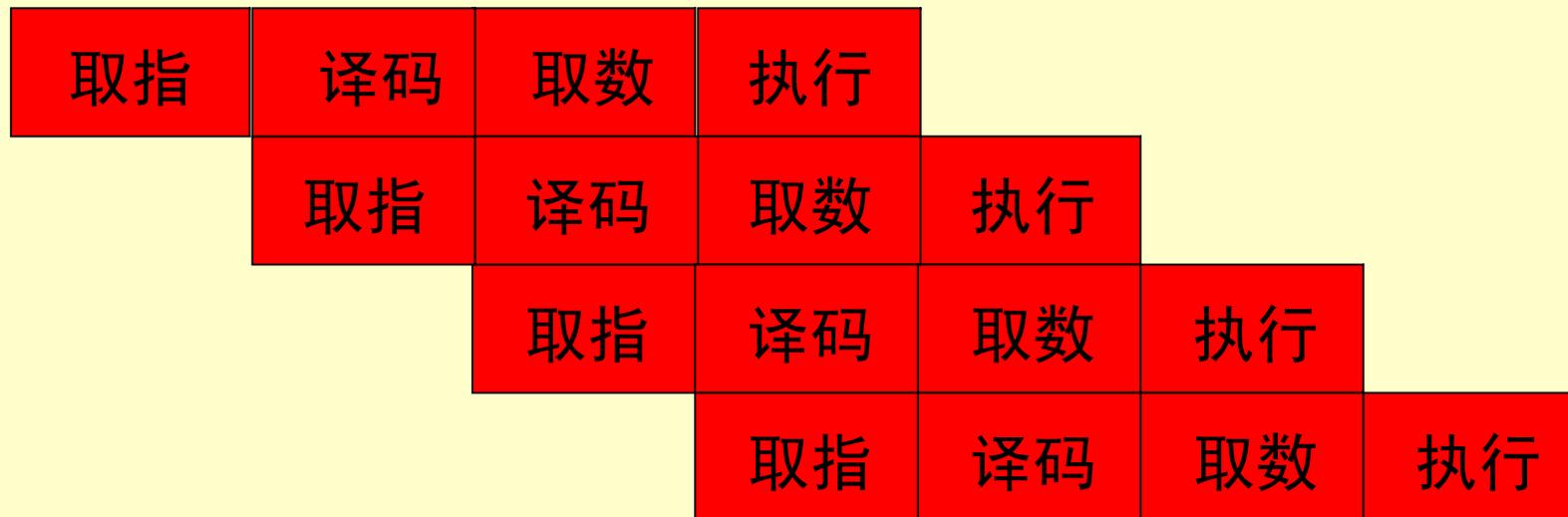
指令存储在**高速缓冲器 (Cache)**中，当执行本指令时，**不需再从存储器中读取指令**，节省一个机器周期的时间。

(2) 流水线操作功能

DSP芯片采用多组总线结构, 允许CPU同时进行指令和数据的访问。因而, 可在内部实行流水线操作。

执行一条指令, 总要经过**取指、译码、取数、执行运算**, 需要若干个指令周期才能完成。**流水线技术是将各个步骤重叠起来进行**。既第一条指令取指、译码时, 第二条指令取指; 第一条指令取数时, 第二条指令译码, 第三条指令取指, 依次类推。





(3) 专门的硬件乘法器和乘加指令MAC

在数字信号处理的算法中，**乘法和累加是基本的大量运算，占用绝大部分的处理时间。**例如，数字滤波，卷积，相关，向量和矩阵运算中，有大量的乘和累加运算。。**PC机计算乘法需多个周期用软件实现，而DSP设置了硬件乘法器以及乘加指令MAC，在单周期内取两个操作数一次完成。**

(4)特殊的处理器指令

采用特殊的指令。

例如:DMOV指令,把指令的数据复制到该地址加1的地址中,原单元的内容不变——数据移位,相当于延迟。

另一特殊指令LTD,在一个指令周期完成LT、DMOV和APAC三条指令的内容。

(5)高速的指令运行周期

DSP指令周期可为几ns,LF2407A为40ns。

(6)丰富的片内存储器件和灵活的寻址方式

片内集成FLASH和双口RAM,通过片内总线访问这些存储空间,因此不存在总线竞争和速度匹配问题,大大提高数据的读/写速度。

(7)独立的直接存储器访问(DMA)总线及其控制器

DSP为DMA单独设置了完全独立的总线 and 控制器。

1.2 TMS320系列DSP概述

该系列包括：定点、浮点、多处理器DSP和定点DSP。

体系结构专为实时数字信号处理而设计。

TI公司从1982年推出：

第一代 TMS32010、TMS32011等。

第二代 TMS32020、TMS320C025（改进型TMS320C2xx）

第三代 TMS32030、TMS320C32等。

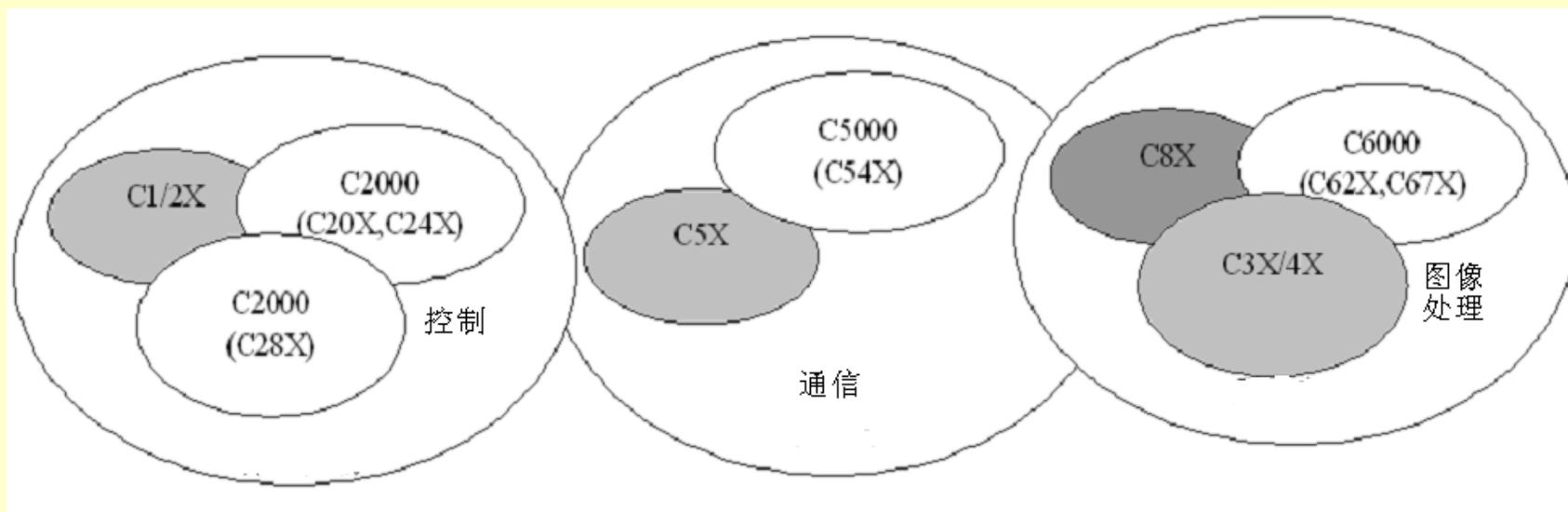
第四代 TMS32040/TMS320C44等。

第五代 TMS3205x/TMS320C54x等。

第六代 TMS32062x/TMS320C67x等（速度最快）。

TMS320C8X：内有多多个DSP

三大系列：2000、5000、6000。



同一代的器件有相同的CPU结构，但片内存储器和外设配置不同。

1.3 TMS320LF240x系列 DSP控制器

专为数字电机控制和其它控制系统而设计的。是当前集成度最高、性能最强的运动控制芯片。

不但有高性能的C2XX CPU内核，配置有高速数字信号处理的结构，且有控制电机的外设。

它将数字信号处理的高速运算功能，与面向电机的强大控制功能结合在一起，成为传统的多微处理器单元和多片系统的理想替代品。

主要用途:

- (1) 电机（交流伺服、直流永磁、开关磁阻）的鲁棒控制器。
- (2) 无刷电机的全变速控制。
- (3) 使用先进的算法可降低传感器的数量。
- (4) 汽车电子制动系统。
- (5) 多电机系统的单处理器控制。
- (6) 与控制算法处理一起完成电源开关转换的控制。

处理速度： LF240x为30MIPS， LF240xA为40MIPS。

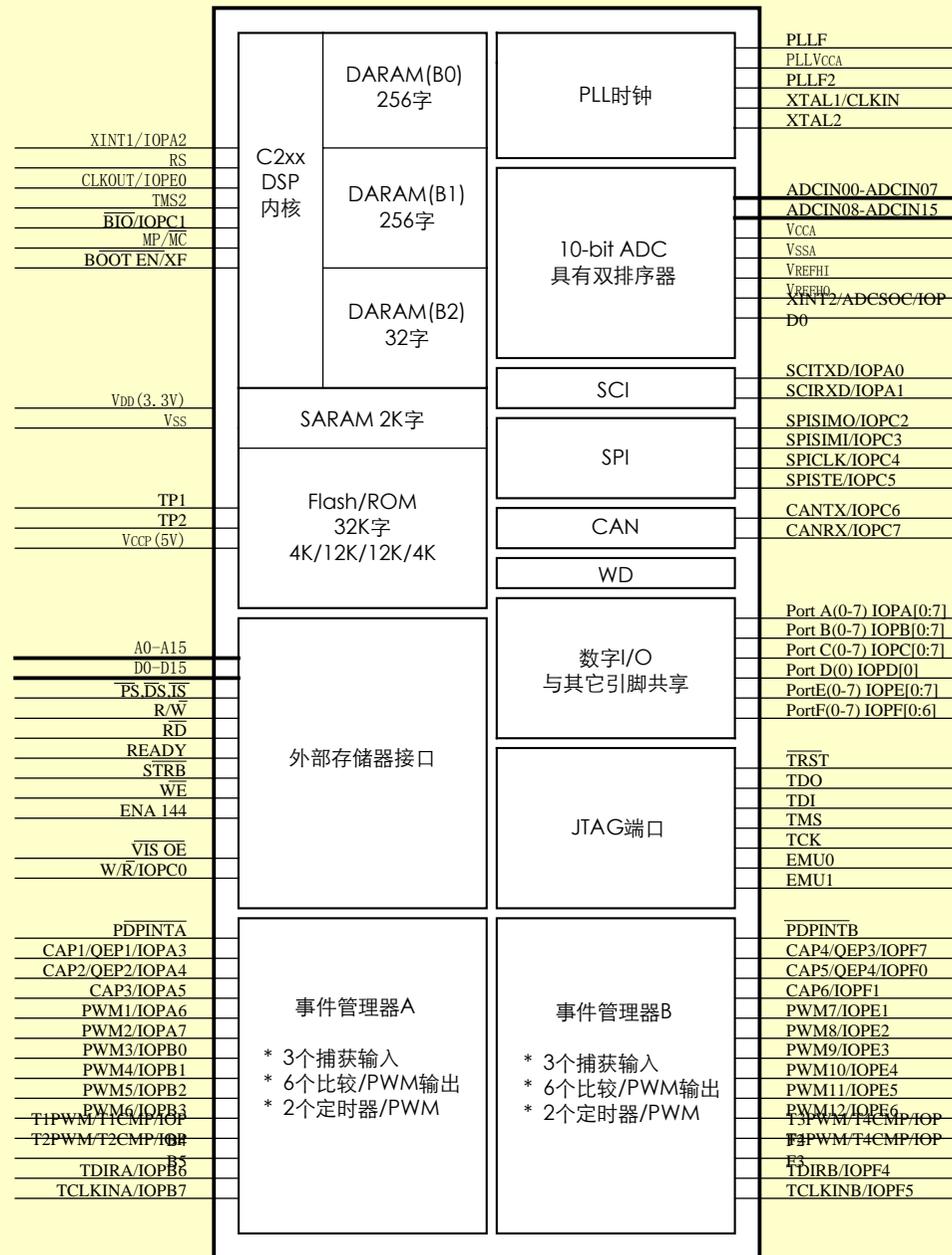
240X采用诸如自适应控制、卡尔曼滤波和控制等先进的控制算法，支持多项式的高速实时算法，因而可减少力矩纹波、降低功耗、减少振动，从而延长被控设备的寿命，为各种电机提供了高速、高效和全变速的先进控制技术。

4级流水线结构，采用改进的哈佛结构。

指令系统： 信号处理指令、通用控制指令。

源代码和目标代码与24x同代产品兼容，源代码与C2x兼容，且与C5x向上兼容。利用它的为反转变址寻址能力可进行基2的FFT运算。

片内外设及存储器等资源:



(1) 双10位（双8路或单16路）A/D转换器，转换时间500nS。

(2) 41个可独立编程的多路复用I/O引脚；

(3) 带锁相环PLL的时钟模块；

(4) 看门狗定时器模块；

(5) 串行通信接口SCI与串行外设接口SPI；

(6) 两个事件管理器EVA、EVB，可为所有类型电机提供控制技术，在工业自动化方面的应用奠定了基础。

* 3个具有死区功能的全比较单元；2个单比较单元；

* 防止击穿故障的可编程PWM死区控制；

* 2个16位通用定时器；

*** 3个事件捕捉单元，其中2个具有直接连接光电编码器脉冲的能力；**

(7) 8个16位PWM通道--三相反相器控制；

(8) 5个外部中断（两个驱动保护、复位、两个可屏蔽中断）；

(9) CAN 2.0B 模块

(10) 用于仿真的JTEG接口。

(11) 片内存储器：32K字闪存、2.5K字RAM

引脚功能介绍

Pin No.	Function	Pin No.	Function
1	TRST	108	ADCIN11
2	TDIRB/IOPF	107	ADCIN02
3	VSS	106	ADCIN12
4	VDD	105	ADCIN03
5	D7	104	ADCIN13
6	T4PWM/T4CMP/IO	103	ADCIN04
7	REFINTA	102	ADCIN05
8	T5PWM/T5CMP/IOPF	101	ADCIN14
9	D8	100	ADCIN06
10	PLL2	99	ADCIN07
11	PLL	98	ADCIN15
12	PLLVCCA	97	VIS_OE
13	D9	96	STRB
14	TDIRA/IOPD0	95	VDDO
15	D10	94	VSSO
16	T1PWM/T1CMP/IOPB4	93	RD
17	D11	92	R/W
18	T2PWM/T2CMP/IOPB5	91	EMU1/OFF
19	W/R/IOPC0	90	EMU0
20	D12	89	WE
21	XINT2/ADCSOC/IOPD0	88	CAP4/QEP3/IOPB
22	D13	87	D3
23	XINT1/IOPA2	86	VDD
24	D14	85	VSS
25	SCITXD/IOPA	84	VSS
26	SCITXD/IOPA	83	CAP1/QEP1/IOPB
27	D15	82	A3
28	D16	81	CAP5/QEP4/IOPB
29	VDD	80	A0
30	SPISIMO/IOPC2	79	CAP2/QEP2/IOPB
31	SPISIMO/IOPC3	78	A4
32	SPISIMI/IOPC3	77	VDDO
33	SPISITE/IOPC5	76	VDDO
34	SPICLK/IOPC	75	CAP3/QEP3/IOPB
35	SPICLK/IOPC	74	A5
36	TMS2	73	CLKOUT/IOPD0
37	TCLKINA/IOPB7		
38	PWM12/IOPB6		
39	A13		
40	PWM6/IOPB3		
41	VSSO		
42	VDDO		
43	A12		
44	PWM5/IOPB2		
45	A11		
46	PWM11/IOPB5		
47	PWM4/IOPB1		
48	A10		
49	VSS		
50	VDD		
51	A9		
52	PWM3/IOPB0		
53	A8		
54	PWM2/IOPA7		
55	PWM10/IOPB4		
56	PWM1/IOPA6		
57	A7		
58	VCCP		
59	PWM9/IOPB3		
60	TP1		
61	A6		
62	PWM8/IOPB2		
63	TP2		
64	A5		
65	PWM7/IOPB1		
66	VSSO		
67	VDDO		
68	A4		
69	CAP6/IOPF1		
70	CANRX/IOPC7		
71	A3		
72	CANTX/IOPC6		
144	TM		
143	TP6		
142	VDD		
141	VSS		
140	TDI		
139	PDPIN1		
138	B		
137	PDPIN1		
136	B		
135	B		
134	B		
133	RS		
132	IOPF2		
131	IOPF2		
130	TP7		
129	VSS		
128	VSS		
127	TCLKINB/IOPB		
126	5		
125	VSS		
124	XTAL1/CLK		
123	XTAL2/CLK		
122	IN1A		
121	BOGM1		
120	EN1A		
119	BIO/IOPC		
118	MP/M		
117	VSS		
116	VCC		
115	VREF		
114	VREF		
113	ADCIN0		
112	ADGIN0		
111	ADGIN0		
110	ADGIN0		
109	ADGIN1		

地址、数据、存储器控制信号

A0-A15:

D0-D15:

DS*: 数据空间选通;

PS*: 程序空间选通;

IS*: I/O空间选通;

R/W*: 读写选通, 指明与外围器件信号的传送方向;

W/R*/IOPC0: 为R/W*的反;

WE*: 对外部3个空间写;

RD*: 对外部3个空间读;

STRB* : 外部存储器选通;

READY: 插入等待状态;

MP/MC* : 微处理器/微计算机 (控制器) 方式选择

ENA_144: =1, 使能外部信号;
=0, 无外部存储器。

VIS_OE*: 可视输出可能。

可视输出的方式下, 外部数据总线为输出时, 该引脚有效, 可用作外部编码逻辑, 以防止数据总线冲突。

事件管理器A (EVA)

CAP1/QEP1/IOPA3: 捕捉输入1/正交编码脉冲输入;

CAP2/QEP2/IOPA4:

CAP3/IOPA5:

PWM1/IOPA6: 比较PWM输出或通用IO;

PWM2/IOPA7:

PWM3/IOPB0:

PWM4/IOPB1:

PWM5/IOPB2:

PWM6/IOPB3:

T1PWM/T1CMP/IOPB4:

T2PWM/T2CMP/IOPB5:

TDIRA/IOPB6: 通用计数器方向选择 (EVA)

1: 加计数; 0: 为减计数;

**TCLKINA/IOPB7: 通用计数器 (EVA) 外部时钟输入,
事件管理器B (EVB)**

CAP4/QEP3/IOPE7:

CAP5/QEP4/IOPF0:

CAP6/IOPF1:

PWM7/IOPE1~PWM12/IOPE6:

T3PWM/T3CMP/IOPF2:

T4PWM/T4CMP/IOPF3:

TDIRB/IOPF4: 通用计数器方向选择 (EVB)

1: 加计数; 0: 减计数;

TCLKINB/IOPF5: 通用计数器 (EVA) 外部时钟输入

模数转换器

ADCIN00~ADCIN15: ADC的模拟输入

VREFHI: ADC的模拟参考电压高电平输入端

VREFLO: ADC的模拟参考电压低电平输入端

VCCA: ADC模拟供电电压 (3.3V)

VSSA: ADC模拟地。

CAN、SCI、SPI

CANRX/IOPC7: CAN接收数据脚或IO脚;

CANTX/IOPC6: CAN发送数据脚或IO脚;

SCITXD/IOPA0: SCI发送数据脚或IO脚;

SCIRXD/IOPA1: SCI接收数据脚或IO脚;

SPI CLK/IOPC4 : SPI时钟脚或IO脚;

SPI SIMO/IOPC2 : SPI从输入主输出或IO脚;

SPI SOMI/IOPC3 : SPI从输出主输入或IO脚;

SPI STE*/IOPC5 : SPI从发送使能或IO脚;

外部中断、时钟

RS*: 复位引脚, 当RS*为高电平时, 从程序存储器的0地址开始执行程序; 当WD定时器溢出时, 在RS*脚产生一个系统复位脉冲;

PDPINTA* : 功率驱动保护中断输入, 当电机驱动不正常时, 如出现过压、过流时, 该中断有效, 将PWM脚(EVA)置为高阻态。

XINT1/IOPA2: 外中断1或通用IO脚, 极性可编程;

XINT2/ADCSOC/IOPD0: 外中断2可做AD转换开始输入或通用IO脚，极性可编程；

CLKOUT/IOPE0: 时钟输出或通用IO脚；

PDPINTB* : 功率驱动保护中断输入，当电机驱动不正常时，如出现过压、过流时，该中断有效，将PWM脚（EVB）置为高阻态。

振荡器、锁相环、闪存、引导及其他

XTAL1/CLKIN: PLL振荡器输入引脚；

XTAL2: PLL振荡器输出引脚；

PLLVCCA: PLL电压（3.3V）；

IOPF6: 通用IO脚；

BOOT_EN*/XF: 引导ROM使能，通用IOXF脚；

PLL1: PLL外接滤波器输入1;

PLL2: PLL外接滤波器输入2;

VCCP (5V): 闪存编程电压输入端, 在硬件仿真时, 该脚可为5V或0V。运行时, 该脚必须接地。

TP1 (Flash): Flash阵列测试引脚, 悬空;

TP2 (Flash): Flash阵列测试引脚, 悬空;

BIO*/IOPC1: 分支控制输入引脚或通用IO脚, 0: 执行分支程序。如不用该脚, 必须为高电平; 复位时, 配置为分支控制输入;

仿真和测试

EMU0 :

EMU1/OFF* :

TCK:

TDI:

TDO:

TMS:

TMS2:

TRST*:

电源电压

VDD: 内核电源电压+3.3V，数字逻辑电源电压；

VDD0: I/O缓冲器电源电压+3.3V，数字逻辑和缓冲器电源电压；

VSS: 内核电源地，数字参考地；

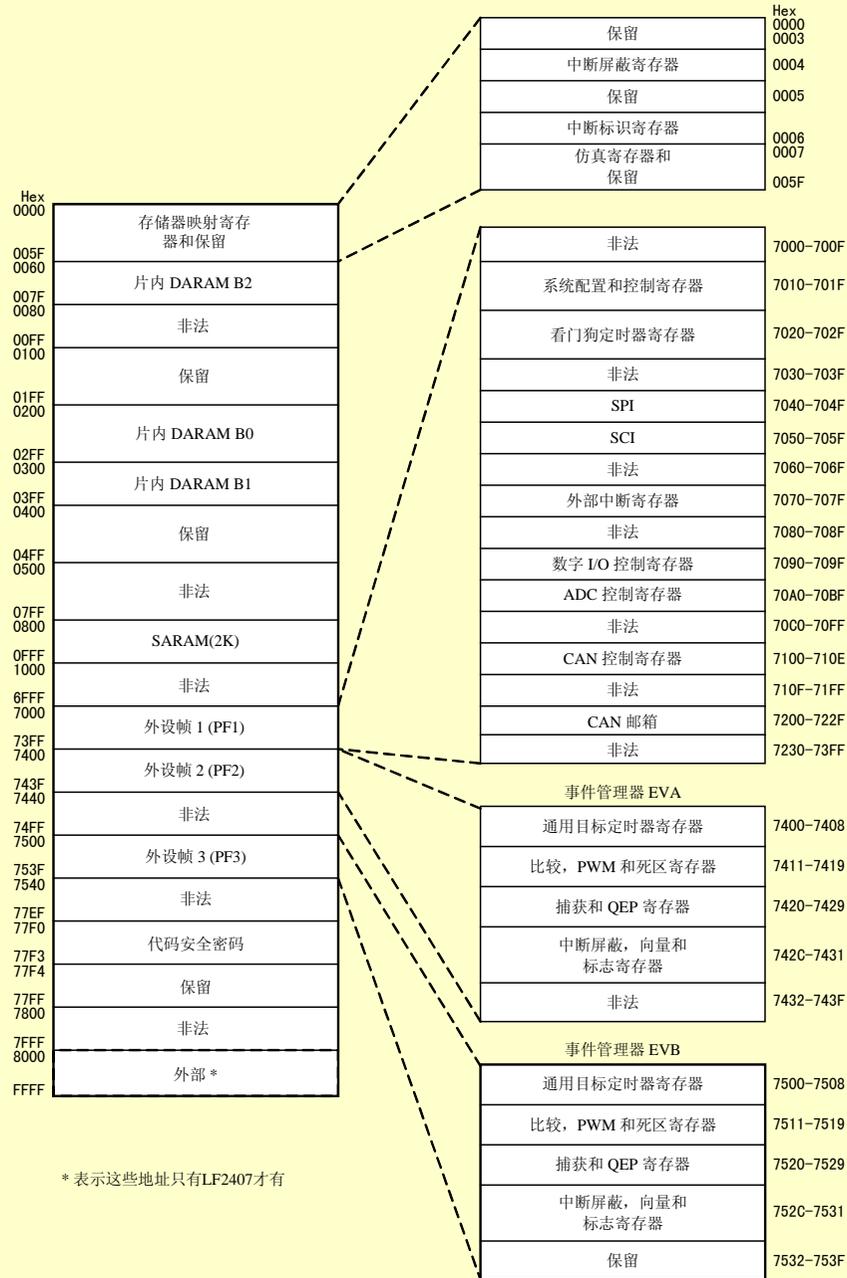
VSS0: I/O缓冲器电源地，数字逻辑和缓冲器电源地；

1.4 TMS320LF240x系列 DSP存储器映射

Hex	
0000	Flash扇区0 (4K) 中断向量 (0000-003FH) 保留 (0040-0043H) 用户代码开始于0044H
0FFF 1000	Flash扇区1 (12K)
3FFF 4000	Flash扇区2 (12K)
6FFF 7000	Flash扇区3 (4K)
7FFF 8000	SARAM(2K) 内部(PON=1) 外部(PON=2)
87FF 8800	外部
FDFE FE00	保留 (CNF=1) 外部(CNF=0)
FEFF FF00	片内DAREM(B0) (CNF=1) 外部(CNF=0)
FFFF	

Hex	
0000	存储器映射寄存器/保留地址
005F 0060 007F	片内DAREM B2
0080 00FF	非法
0100 01FF	保留
0200	片内DAREM(B0) (CNF=1) 外部 (CNF=0)
02FF 0300 03FF	片内DAREM B1
0400 04FF	保留
0500 07FF 0800	非法
	SAREM(2K) 内部 (DON=1) 外部 (DON=0)
0FFF 1000	非法
6FFF 7000	外设存储器映射寄存器 (系统, WD, ADC, SCI, SPI,CAN,I/O,中断)
7FFF 8000	外部
	外部
FFFF	

Hex	I/O
0000	
	外部
FEFF FF00	保留
FF0E	Flash控制模式寄存器
FF0F	Flash控制模式寄存器
FF10	保留
FFFE	保留
	等待状态发生器控制器寄 存器 (片内)
FFFF	



* 表示这些地址只有LF2407才有

有16位地址线，可以访问3个独立的地址空间，总计192K字。

- (1) 程序存储器:64K字;
- (2) 数据存储器:64K字;
- (3) I/O空间:64K字。

所有的片内外设寄存器均映射在数据存储器空间。

片内32K字 Flash。

片内RAM为544个字（为DARAM—双口RAM）：B0—256个；B1—256个；B2—32个。

片内SARAM 2K字（单口RAM）。

1.5 TMS320LF240x系列 DSP的CPU功能模块

包括：输入定标移位器、乘法器、中央算术逻辑单元

1.5.1 输入定标移位器

将来自程序/数据存储器的16位数据调整为32位数据

送到中央算术逻辑单元（CALU）。

作为程序/数据存储器到CALU数据传输路径的一部分

1.5.2 乘法器

16×16硬件乘法器，单周期产生一个32位有符号或

无符号乘积。

1.5.3 中央算术逻辑单元 (CALU)

实现大部分的**算术**和**逻辑**运算功能。大多数只需1个机器周期。

可进行布尔运算，使高速控制器所要求的位操作很容易。

对于大动态范围，可支持浮点操作。

对大多数指令，状态寄存器**ST1**的**第10位符号扩展位** (SXM) 决定在计算时是否使用符号扩展：

若**SXM=0**，符号扩展无效；

若**SXM=1**，符号扩展有效。

1.5.4 累加器 (Acc)

有关累加器的状态位和转移指令。

(1) 进位标志位C

状态寄存器ST1的第9位。

(2) 溢出方式标志位OVM

状态寄存器ST0的第11位。决定累加器如何反映算术运算的溢出。

OVM=1，且运算溢出，Acc为下列两个特定值：

- 若正溢出，Acc中填最大正数：7FFF FFFFh
- 若负溢出，Acc中填最大负数：8000 0000h

OVM=0，Acc中的结果正常溢出。、

(3) 溢出标志位OV

ST0的第12位

(4) 测试/控制标志位TC

ST1的第11位, 根据被测位的值置1或清0。

与累加器有关的转移指令大都取决于C、OV、TC的状态和累加器的值。

1.5.5 输出数据定标移位器

将累加器输出的内容左移0—7位, 而累加器的内容保持不变。

1.5.6 状态寄存器ST0和ST1

特别重要，两个寄存器的内容可被读出并保存到数据存储器（用SST指令），或从数据存储器读出加载到ST0和ST1（用LST指令）。

在子程序调用或进入中断时实现CPU各种状态的保存。

可用指令SETC和CLRC单独置1或清0。

ST0各位的含义：

ARP（位15-13）：辅助寄存器指针，间接寻址，选择当前的辅助寄存器AR。AR被装载时，原ARP的值被复制到ARB中。

OV (位12) : 溢出标志位。

OVM (位11) : 溢出方式标志位。

INTM (位9) : 中断总开关位。

=1, 所有可屏蔽中断被禁止;

=0, 所有可屏蔽中断有效。

DP (位8-0) : 数据存储器页面指针

9位的DP与指令字中的7位一起形成16位的数据存储器的直接地址。

ST1各位的含义:

ARB (位15-13) : 辅助寄存器指针缓冲器。

当ARP被加载到ST0时, 原来的ARP被复制到ARB中, 也可将ARB复制到ARP中。

CNF (位12) : 片内DARAM配置位

=0, 片内DARAM映射到数据存储器区;

=1, 片内DARAM映射到程序存储器区。

TC (位11) : 测试/控制标志位

SXM (位10) : 符号扩展方式位

=1, 数据通过定标移位器传送到累加器时将产生符号扩展;

=0, 不产生符号扩展。

C (位9) : 进位标志位。

XF (位4) : XF引脚状态位。

可用指令**SETC**置1, 用指令**CLRC**清0

PM (位1-0) : 乘积移位方式

- 00:** 乘法器的32位乘积不移位，直接入CALU。
- 01:** PREG左移1位后装入CALU，最低位填0；
- 10:** PREG左移4位后装入CALU，低4位填0；
- 11:** PREG输出进行符号位扩展右移6位。

1.5.7 辅助寄存器算术单元 (ARAU)

1. 辅助寄存器算术单元ARAU简介

ARAU的**主要功能**：在CALU操作的同时，执行8个辅助寄存器AR7-AR0中的算术运算，8个辅助寄存器提供了强大而灵活的间接寻址能力。利用辅助寄存器中的16位地址可访问64K字的数据空间任一单元。

如何选择某一辅助寄存器？用**ARP**指针装入**3位数据**。

2. 辅助寄存器

除可用于数据存储器的地址外，还有其他用途：

- (1) 利用辅助寄存器进行条件转移；
- (2) 利用辅助寄存器进行暂存单元；
- (3) 利用辅助寄存器进行软件计数。