

## 第4章 时钟和低功耗模式

片内集成有PLL (锁相环) 电路。

外接的**基准晶体+PLL** (锁相环) 电路共同组成系统时钟电路。

**有关引脚:**

**XTAL1/CLKIN:** 外接的基准晶体到片内振荡器输入引脚；  
如使用外部振荡器，外部振荡器的输出必须接该脚。

**XTAL2:** 片内PLL振荡器输出引脚；

**CLKOUT/IOPE0:** 该脚可作为**时钟输出**或**通用IO脚**；  
可**用来输出CPU时钟或看门狗定时器时钟**；由系统控制状态寄存器 (SCSR1) 中的位14决定。

当不作时钟输出时，就可作通用I/O。

复位时，本脚配置为CLKOUT。

#### 4.1 锁相环 (PLL)

PLL支持从0.5~4倍输入时钟频率的乘法因子。

PLL还可控制低功耗操作。

PLL的倍率由系统控制状态寄存器 (SCSR1) 的位11~9来决定。如下表所示。

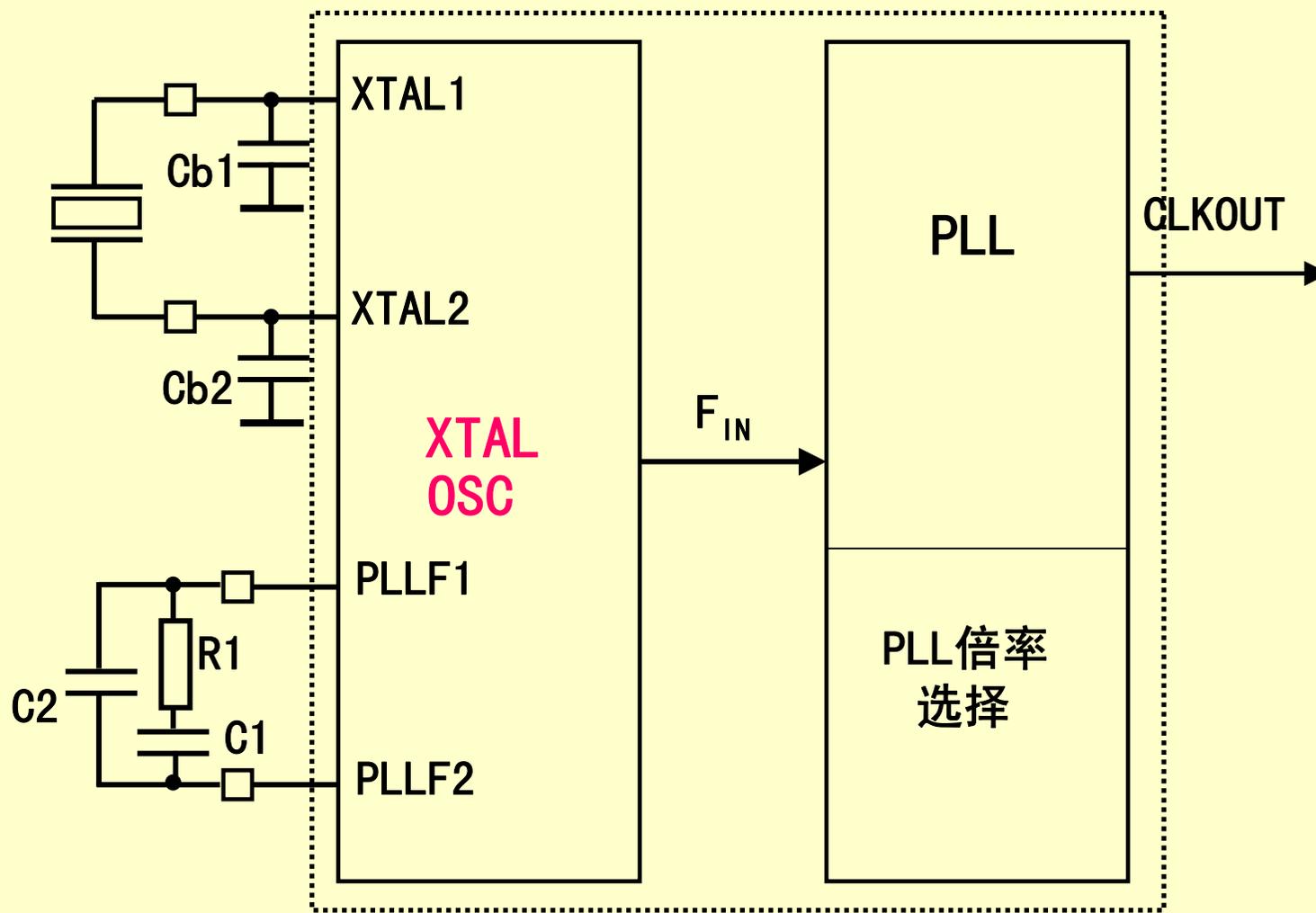
复位时，倍率默认为0.5。

表 PLL倍率选择

CLKPS2	CLKPS1	CLKPS0	倍频系数
0	0	0	4
0	0	1	2
0	1	0	1.33
0	1	1	1
1	0	0	0.8
1	0	1	0.66
1	1	0	0.57
1	1	1	0.5

# 1. 锁相环的时钟模块电路

时钟模块电路如图所示。



两种时钟方式：

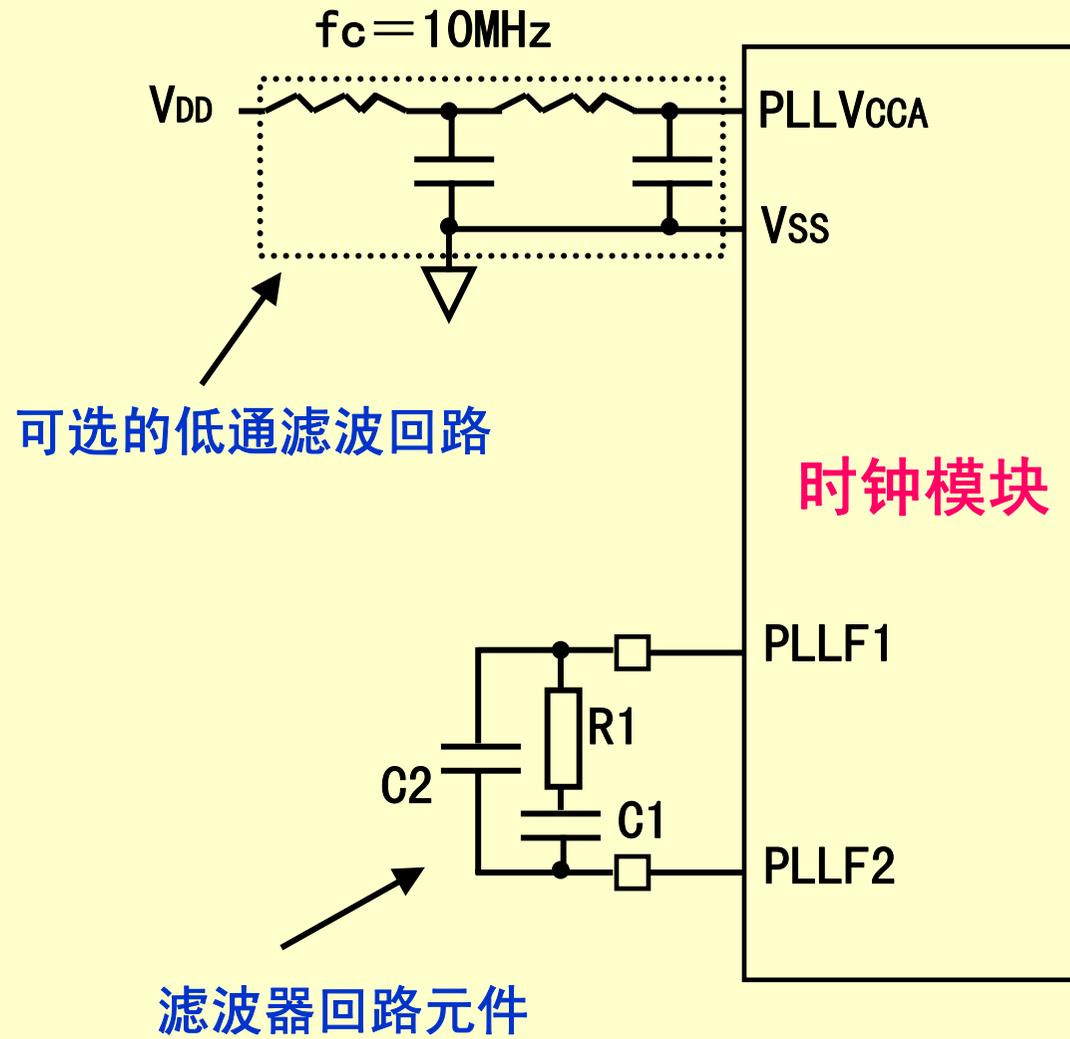
(1) 内部时钟：只需外接晶体振荡器

(2) 外部时钟：把外部时钟接至XTAL1/CLKIN脚

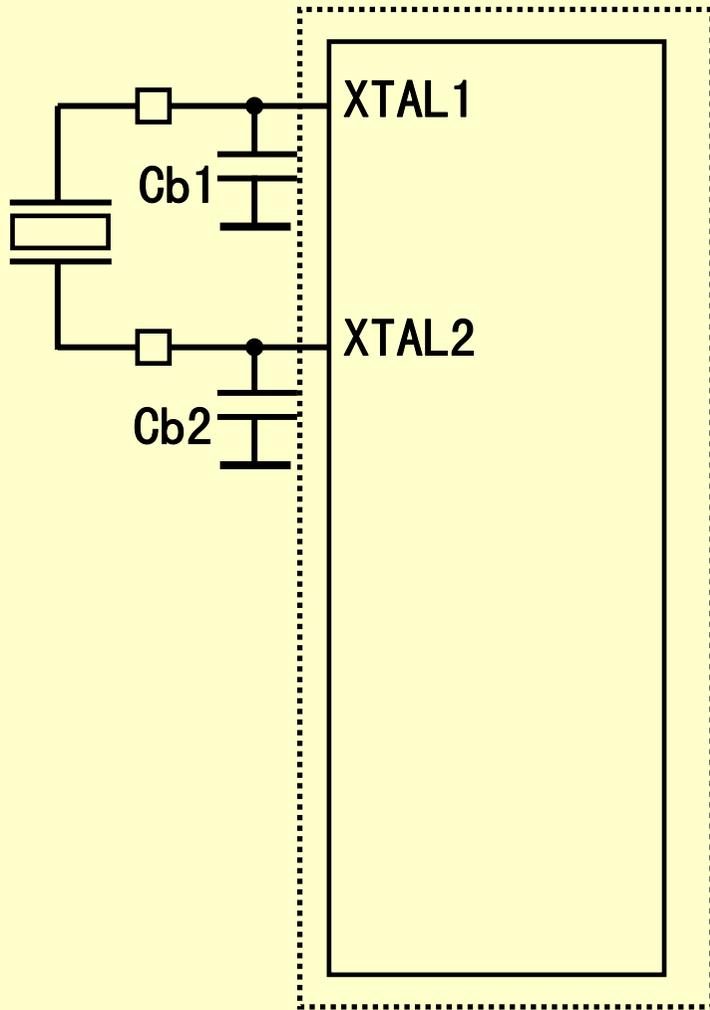
## 2. 外部滤波器电路回路

用来抑制信号的抖动和电磁干扰。

电路中存在大量噪声，通过实验来确定滤波器回路元件。

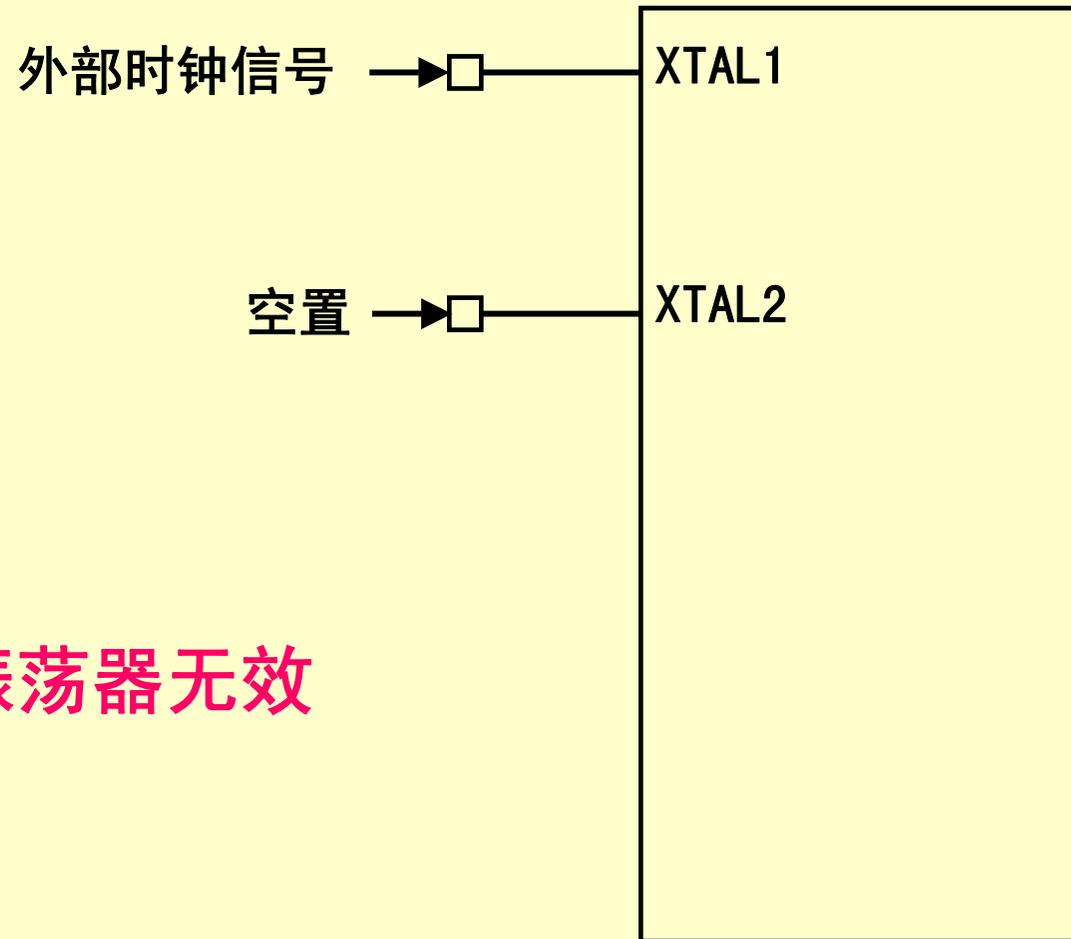


### 3. 片内时钟



内部振荡电路被使能

## 4. 外部振荡器时钟



内部振荡器无效

## 5. PLL旁路方式

可对片内PLL实现旁路，通过复位时拉低TRST、TMS和TMS引脚来实现。

此时改变系统时钟的唯一方法是改变输入频率，系统的时钟与外输入时钟相同。此时，不需滤波器元件。

使用片内时钟： **CLKIN**的时钟频率4~20MHz

使用片外时钟： **CLKIN**的时钟频率4~30MHz

(对2407A为40MHz)

## 4.2 看门狗定时器时钟

当时钟 CPUCLK=40MHz, WDCLK来自于:

$$\text{WDCLK} = \text{CLKOUT} / 512 = 78125\text{Hz}$$

WDCLK是由看门狗定时器的外围器件生成的。

## 4.3 低功耗模式

有一**IDLE（睡眠）指令**，可关闭CPU时钟，节约能耗。

当收到一个中断请求或者复位时，CPU会退出睡眠状态。

### 4.3.1 时钟域

有两个时钟域:

- (1) **CPU时钟域**: 包含大部分CPU逻辑的时钟;
- (2) **系统时钟域**: 包含外设时钟 (来自CLKOUT分频) 和用于CPU中断逻辑的时钟。

**IDLE1模式**: 当CPU进入睡眠状态, **CPU时钟域停止**, 系统时钟域继续运行。

**IDLE2模式**: 当CPU进入睡眠状态, **CPU时钟域和系统时钟域均停止**, 进一步降低功耗。

**HALT模式**: 振荡器 (即输入到PLL的时钟) 和WDCLK被关闭。

当执行IDLE指令时, 系统控制状态寄存器 (SCSR1) 的

13、12位指明进入哪一种低功耗模式。

0 0 CPU进入IDLE1模式

0 1 CPU进入IDLE2模式

1 x CPU进入HALT模式

### 4.3.2 退出低功耗模式

#### 1. 复位

复位信号可使器件退出IDLE模式。

#### 2. 外部中断

外部中断 $xINTx$ 可使器件退出低功耗模式，但不能退出HALT模式。

### 3. 唤醒中断

有些外设具有启动器件时钟的能力，然后产生一个中断去响应一定的外部事件。

#### 4.3.3 片内闪存断电

进入HALT模式之前，片内闪存可以被断电，会使电流消耗到最低。