



## 提高电磁兼容性的刷电路板布局

### 内 容

摘要.....	2
介绍.....	2
数字电路的特性.....	3
电源线上的干扰抑制.....	4
信号线的干扰抑制.....	6
振荡器.....	8
总结.....	9

### 图例列表

图 1 电子系统中的电流通路.....	2
图 2 CMOS 反向电路.....	3
图 3 CMOS 电路的供电电流对应于输入电压的函数.....	3
图 4 具有寄生元器件的电路.....	3
图 5 电源线中的电流.....	4
图 6 使用电感后电源线中的电流.....	6
图 7 集成电路、CB、LCH 的布置.....	6
图 8 信号线及其返回线的布置.....	7
图 9 信号和电源线中的电流.....	7
图 10 信号线和地线的布局.....	8
图 11 晶体振荡电路.....	8
图 12 振荡器金属镀层布局的方案.....	9

## 摘要

电子电路和系统的电磁兼容性 (EMC) 的意义近来越来越受到重视。这导致对设备的电磁特性的要求越来越严格。需要考虑两个方面的特性：电路产生尽量少或者不产生干扰以及电路对遭遇到的电磁能量的影响的抵抗力。关于对电子电路和系统的影响的文章很多，但对于电路特性及其产生的干扰的注意却很少。本应用报告阐述决定电路电磁兼容性的重要原则并为开发工程师提供电路设计和电路板布局的信息。

## 介绍

电子电路的电磁兼容性主要取决于元器件之间如何布局以及相互间如何进行电气连接。线路中流过的任一电流在其相应的回路中产生等量的电流。这个回路相当于一个天线发射电磁能量，能量的大小取决于电流的大小、信号的重复频率以及电流环几何面积的大小。图 1 显示的是一个典型电路布局电流的通路。

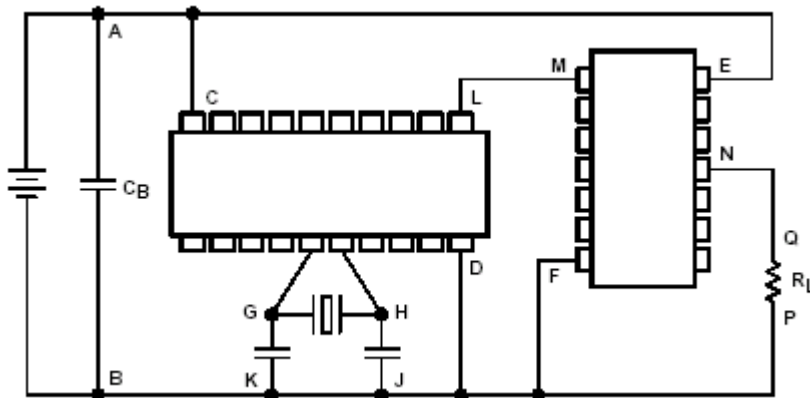


图 1 电子系统中的电流通路

对产生非法辐射有不同影响的各类线路有：

- 图 1 组成 A-C-D-B 和 A-E-F-B 环路的电源线。系统运行所需的能量是由这些线路提供的。因为电路的电源消耗不是恒定的，与它的瞬时状态有关，所以系统各个独立部分产生的所有频率分量都体现在这些电源线上。

- 因为这些电源线相对较高的阻抗（通常约为  $100\ \Omega$ ），快速电流变化在线路中没有收到抑制，这个功能必须由滤波电容（CB）实现。

- 信号和控制线组成的额外回路（L-M-F-D 和 N-Q-P-F）。如果不考虑系统之外的线路，这些线路围成的区域一般很小。这些线路常常采用高频传送信号，所以信号线和控制线必须考虑。

- 振荡电路及其外围频率决定元件组成回路 G-H-J-K。因为最高频率通常处于该点，我们在设计电路时必须特别注意，避免不必要的干扰电压，以及通过连接线的布线减小这些“天线”的影响区域。

## 数字电路的特性

了解逻辑电路的几个重要特性的关系，就可以找出专门、有效的提高电磁兼容性的方法。这些特性是对 CMOS 集成电路论证得出的。一个例子可以很好地解释。

图 2 显示的是一个由 N 沟道和 P 沟道二极管组成的简单反相器的样例电路。如果一

一个小于 N 沟道二极管阈值电压 ( $V_{IT-}$ ) 的电压  $V_I$  作用在输入上, 二极管不会导通。而 P 沟道二极管将会导通。相反, 如果一个大于  $V_{CC}-V_{IT+}$  的电压作用在输入上 ( $V_{IT+}$  是 P 沟道二极管的阈值电压), N 沟道将会导通而 P 沟道二极管不会导通。在两种情况下, 除了反向泄漏电流外没有电流流过电路。这也是 CMOS 电路静态功耗极低的原因。

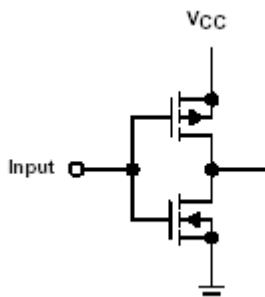


图 2 CMOS 反相电路

然而, 如果一个处于两个界限 ( $V_{IT}$  和  $V_{CC}-V_{IT}$ ) 之间的电压作用到这个反相器的输入端, 两个二极管将会变得更加导电或者更加不导电。由此产生的结果就是大大增加了供电电流 (看图 3)。在这种情况下, HCMOS 电路需要大约 1mA, 而对高级 CMOS (AC) 电路, 供电电流将增大到超过 5mA。

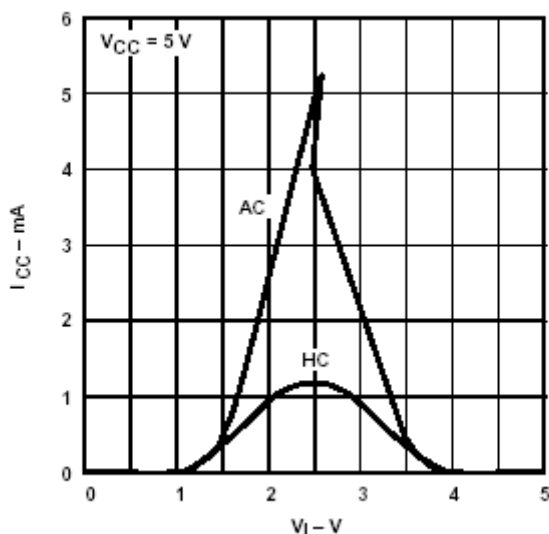


图 3 CMOS 电路的供电电流对应于输入电压的函数

因为这样一个电路的输入电压在很短时间内从低到高 (或从高到低) 变化时不能跳过临界电压范围, 所以在这段时间里的脉冲形状的电流峰值 (时常被称为电流尖峰) 的大小不可忽视。在输入阶段, 必须保证 1mA 到 5mA 的电流幅值 (见图 3)。在集成电路的输出阶段这种现象要严格得多。因为输出阶段必须驱动连接在输出端的负载, 这些二极管必须做得大得多。结果, 电流峰值得幅度也大大增加, 在一个 5 纳秒到 10 纳秒的脉冲时间内, 对 HCMOS 设备为 20mA, 对 AC 电路为 60mA。

### 电源线上的干扰抑制

前面提到的电流峰值是电磁干扰最重要的原因之一。每次输出开关时, 相应的会有一个电流脉冲流过电源线。后者更直接或更不直接的从模块连接到中心电源供应。当集

成电路的输出以更高的重复率开关，比如在处理器和相应存储器的连接线上，这个问题就更加严重了。

实际应用中，推荐在靠近集成电路的供电电源线上耦合一个陶瓷电容 ( $C_B=100\text{nF}$ )。在数字系统中，这个技术对于负荷变化时电源电压不会产生不可接受的变化是很有效的。不过，这只能很有限地减小电磁干扰。

为了实现重大改善，首先必须分析整个电路及其寄生元器件。图 4 显示的是测试电路。两个二极管 Q1 和 Q2 是要分析特性的集成电路的输出部分。它与周围电路通过  $L_p/R_p/C_p$  网络相连接，代表封装中的寄生元器件。以下是各部分的假定值：

- 封装的电感  $L_p=5\text{nH}$  到  $30\text{nH}$
- 封装的电容  $C_p=1.5\text{pF}$  到  $3\text{pF}$
- 封装的电阻  $R_p=0.1\ \Omega$

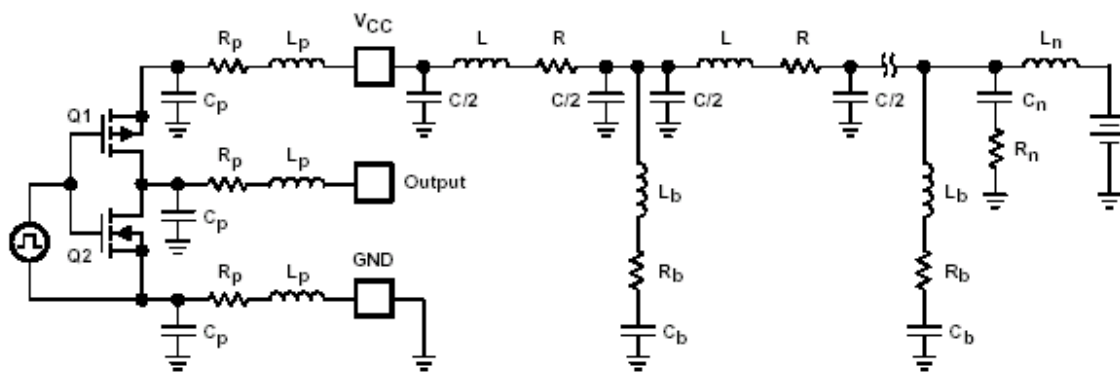


图 4 具有寄生元器件的电路

在集成电路的电源  $V_{CC}$  和  $GND$  端，如图 1 所示  $C_B$  连接在电源两端。假定线路板上从  $V_{CC}$  源端到终端单位长度上的阻抗为下列值：

- 单位长度电感  $L'=5\text{nH/cm}$
- 单位长度电容  $C'=0.8\text{pF/cm}$
- 单位长度电阻  $R'=0.01\ \Omega/\text{cm}$

电源线随后到达第一个滤波电容  $C_B$  (见图 4，右手边的  $L_b$ ,  $R_b$ ,  $C_b$  标志)，它的等效电路组成如下：

- 电容  $C_b=100\text{nF}$  (典型值)
- 引线电感  $L_b=2\text{nH}$  (表面贴装)
- 阻性损失  $R_b=0.2\ \Omega$

电路特性使用  $SPICE$  程序，在假设负荷没有连接到集成电路输出，电路断开的情况下进行仿真。图 5 显示的是计算后的电流波形。下面是应用中的定义：

- $I_{CC}$ : 到集成电路的  $V_{CC}$  连接线中的电流
- $I_{c1}$ : 第一个滤波电容中的电流
- $I_{c2}$ : 第二个滤波电容的电流

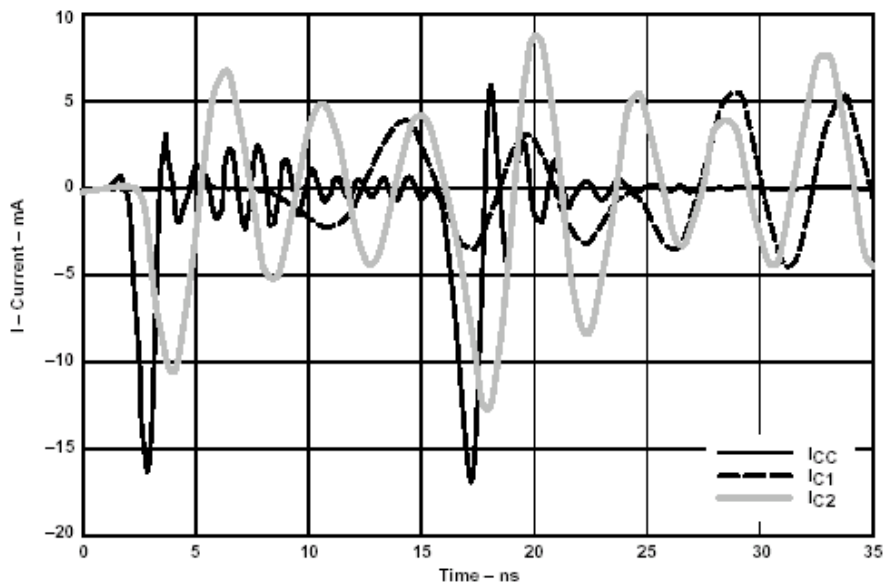


图 5 电源线中的电流

电流  $I_{cc}$  的波形揭示了前面已经提到的约为 15mA 的电流峰值。从前面的讨论可以看出，滤波电容不能平滑这个电流脉冲。实际上，由线路电感（原则上是由集成电路封装引起的）和  $C_B$  组成的谐振电路就会受激而产生增大的电流（电流  $I_{c1}$ ）。电流  $I_{c2}$  的主要部分是通过电源线传输的，然后几乎不减小地流入下面的  $C_B$ 。

从电路电磁兼容性的观点来看，用这种形式， $C_B$  不能明显减小辐射干扰。在实际应用中，很长的电源线时常存在，同时常常包围了相对很大的面积，组成了一个有效的发射天线，会在很多频率上辐射不可接受程度的干扰。

为了改善电路特性，必须采取措施保证图 5 中所示的电流在系统中的传输受到限制。这不能单独通过  $C_B$  实现；相对于这里的要求，性能的完善也不能实现。因为引起干扰的电感在很大程度上是由集成电路的封装和与电容的连接线引起的，简单的并联几个不同容量的电容不能实现明显的改善。更要关注的是防止产生干扰的电流到达电路的其他部分。这可以通过在第一个  $C_B$  之后引入一个电感线圈，对高频来说意味着足够高的电阻。在模拟电路中，假定一个电感的值为  $L_{ch}=1\mu H$ ，可以通过并联一个  $50\Omega$  的电阻来限制它在高频时的阻抗。

模拟的结果如图 6 所示。象预计的那样，到集成电路的引线中的电流  $I_{cc}$  和第一个电容  $C_B$  的电流  $I_{c1}$  没有变小。不过，图 6 显示，电感后面的电流幅值  $I_{ch}$  减小了 20dB 以上。这种方法可以明显减小辐射。

接下来的问题是在电路板上如何安排单个元器件来最大程度的减小辐射。图 7 显示了为了达到这个目的一种电路方案。集成电路下的接地区域连接到电路的 GND 引脚。这个地确保从集成电路发散出来的线路的主要部分集中在集成电路和地层次之间。由于在大表面面积上地趋肤效应，到  $C_B$  的线电感进一步减小。电容是否位于正极 ( $V_{cc}$ ) 和负极 (GND) 电源连接之间并不重要，只有寄生电感和使天线的有效区域尽可能小才真正重要。电感 ( $L_{ch}$ ) 应尽可能接近需要抑制干扰的电路部分。

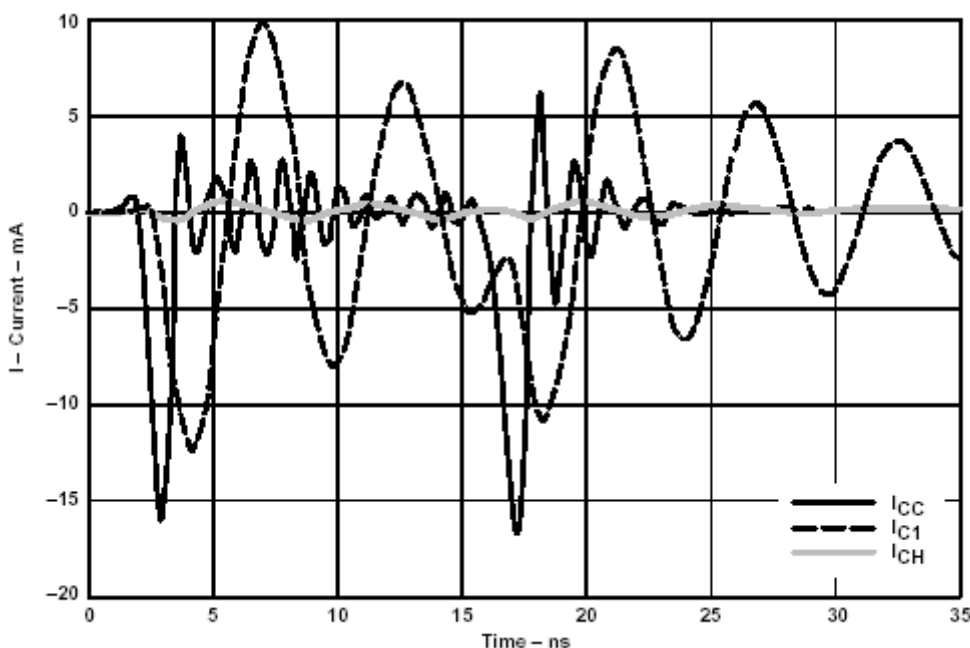


图 6 使用电感后电源线中的电流

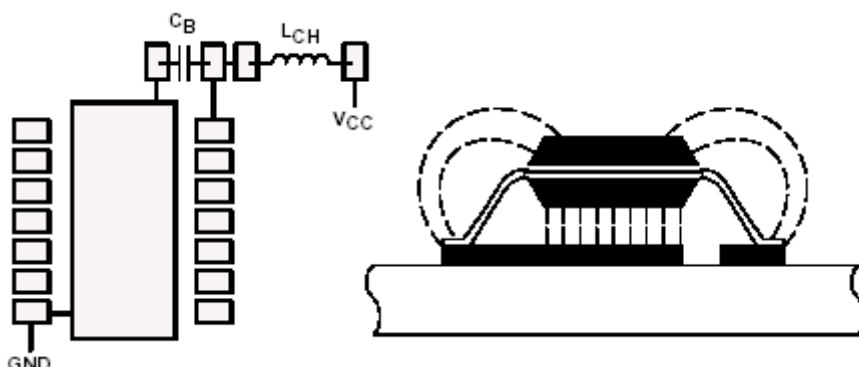


图 7 集成电路、Cb、Lch 的布置

### 信号线上的干扰抑制

图 8 显示的是信号电流应流向哪里以减小信号线的辐射干扰。在这个电路中，一个们驱动一条连接了一个终端阻抗  $Z$  的线路。这个阻抗可以由集成电路输入电容 ( $C_{IN}=5pF$ ) 和几千到几兆欧姆的输入电阻 ( $R_{IN}$ ) 组成。在信号传输的下降延，电流从驱动器的输出流向漏极，再从漏极经过地线流回信号源。简单描述，连接线的电容和接收器的输入电容通过驱动器的输出电阻放电。当传输信号的上升延时，情况正好相反：这个电容必须由供电电源经过驱动器的输出电阻充电。在这种情况下，这些信号电流也出现在电源线上。这表明采取的减小从电源线来的干扰的预防措施是有效的。

图 9 显示的是刚才讨论的布局的仿真结果。在这个例子中，集成电路的输出驱动一条 5 厘米长的特性阻抗  $Z_0=100\Omega$  的线路，终端并联了  $100K\Omega$  的电阻和  $5pF$  的电容。由于接入了大容量的容性负载，在输出端  $V_{OUT}$  下降沿时峰值电流  $I_{CC}$  的幅值明显减小。输出端的电容短时间内保持该点的电压在原值 (高)，阻止电流流过输出阶段上一晶体

管（电压差为 0V）。在上升沿，信号电流  $I_{OUT}$  叠加到输出  $I_{CC}$  的支线电流。

电流可以通过在输出端串联一个电阻 ( $R_s$ ) 减小电流。根据电路传输理论，如果

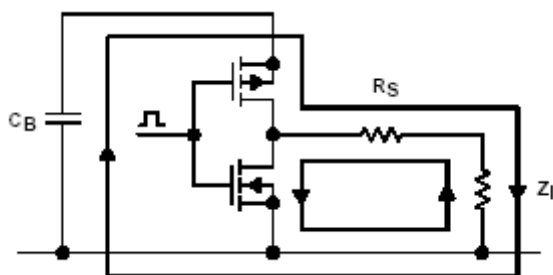


图 8 信号线及其返回线的布置

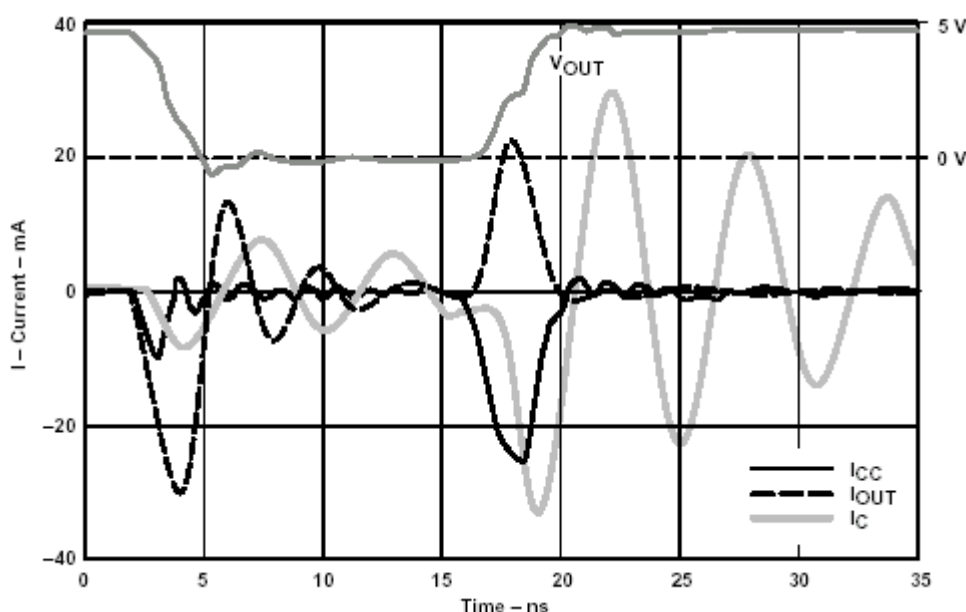


图 9 信号和电源线中的电流

驱动器的输出电阻（由它的内阻和串联电阻  $R_s$  组成）小于和等于它所连接的线路的特性阻抗 ( $Z_0=70\Omega$  到  $120\Omega$ )，这个电阻对电路速度就没有不良影响。实际上，电阻值约为  $50\Omega$ ，所以电流幅值可以减小约 3dB。这种解决方案需要更多的元器件，只有在同时减小线路反射引起的畸变时才能采用。

必须注意尽可能减小天线效应，比如使输出和返回线路围成的面积尽可能小。一个有效的方法就是返回线走线时与信号线平行（见图 10）。（多层板中在信号线的下面有一个连续的地层，这点自动得到保证）如果传输的是高频信号（比如时钟信号）或者线路很长，这种方法就时常用到。在这种情况下，具有固定线路阻抗（注意反射）的线路也时常用到。通过额外地线的合理布局，可以减小关键线路间的串扰。

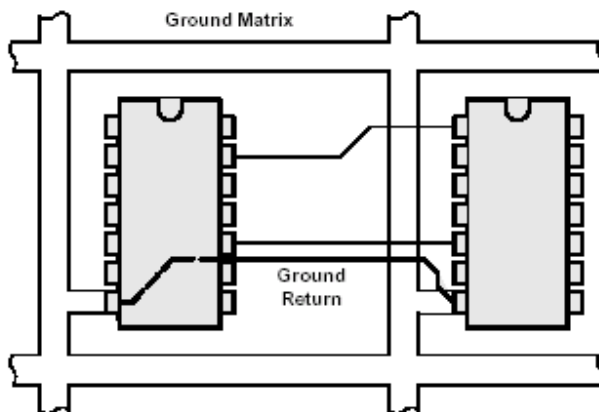


图 10 信号线和地线的布局

从成本上和技术上最有效的方法是保持关键线路尽可能短，以下线路应优先考虑：

1. 时钟线
2. 处理器和存储器之间的低位地址线
3. 处理器和处理器之间的数据线

所有相互间高频交换信息的集成电路应该尽可能靠近安装以保持线路长度较小，这尤其适用于微处理器及其存储器之间的连线。

下一步是保持天线的面积尽可能小，例如，为传输信号提供离相应信号线尽可能近的返回路径。为了减小电路板上交叉线对快速数字电路的影响，电路板上的地端连接成网络形式是有效地，但网眼面积应仅为几个平方厘米。采用这种方法可以优化连线对地的电感和他们的长度。这个技术可以使返回线较短和天线面积较小。多层板有连续的地层，其最终的布置在电气上遵守网眼面积的逻辑减小。水平或垂直间隔 2cm 到 4cm 的地线组成了需要的网络结构。随后，所有空区域敷上铜，通过可能的最短路径连接到地电势。面积较大时建议在几个点接地。如果正电源线通过滤波电阻可靠地连接到地端，那么就不需要网络结构的连接。

### 振荡器

数字系统中的最高频率通常出现在时钟发生器上。振荡器信号往往采用分频的形式传输到其他子系统。通常振荡放大器被集成到微电脑或处理器上，而只需外接无源元器件，比如晶振和必需的电容（见图 11）。

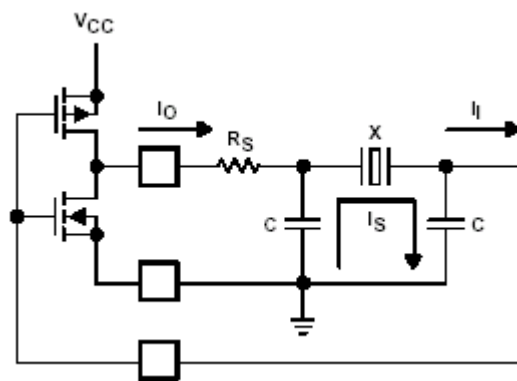


图 11 晶体振荡电路



分析晶体振荡电路时需要联系重要电流的流动，从而决定哪里需要进行干扰抑制。并联共振电路由晶振（X）和两个电容（C）组成  $\Delta$  段。晶振具有电感特性，电感共振频率高于晶振的实际共振频率。在输入和输出端测得的  $\Delta$  段的阻抗，因为晶体的高 Q 值典型地达到几十千欧。如果元器件尺寸正确，因为电路阻抗很高，流过放大器和外部元器件的电流很小。然而，因为 CMOS 电路没有输出阻抗为了与晶振理想匹配，通常也应为几千欧，所以存在相反的效应。另外，这些电路通常提供包含谐波的方波信号，对这些谐波来说， $\Delta$  段不再是高阻。结果是放大器中的电流相对很高，一个改善的办法通常是在放大器输出端串联一个电阻（ $R_s$ ）。理想状态下，共振电路输入端的电压波形应为正弦波，其输出端正确连接到 MOS 电路的高输入阻抗，在这种情况下，只有很小的电流（ $I_i$ ）流过。

电容 C（见图 11）在谐振频率只有几百欧姆的阻抗，因此，流过共振电路的电流（ $I_s$ ）比连接到这部分电路的线路中的电流大得多。这个循环必须受到相当重视：因此结构要紧凑，线路要短。

图 12 揭示了怎么做到这一点。共振电路的两个电容直接放置在晶振（X）的旁边。注意这些元器件应尽可能靠近集成电路的相应引脚。

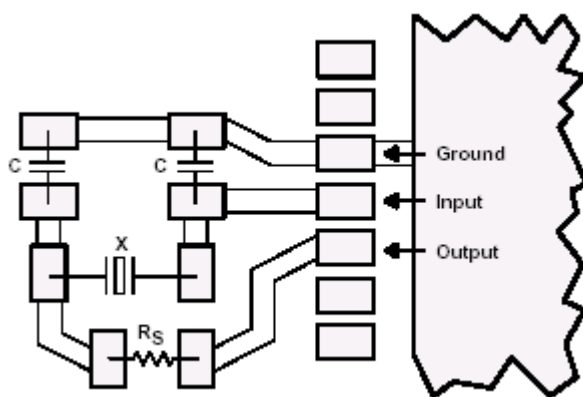


图 12 振荡器金属镀层布局的方案

晶振和电容是电路板的一部分，其产生的辐射干扰在很大程度上是由开发工程师控制的。然而，放大器的接地端尽可能靠近集成电路也是必要的，例如，可能的话，放在放大器连接线旁边。这确保即使集成电路封装中有长的连接线，不可避免的电感环路只包围一个很小的面积。

## 总 结

本应用报告包括了设计电路板时为了确保子系统的电磁兼容性而必须考虑的几个重要因素。其中方案是建立在充分理解基本原则并成功用来使电子电路对自身产生干扰（比如串扰）和外部耦合干扰具有抵抗能力的基础上的。因为辐射就是照射的反面，逻辑上这些原则的进一步研究和应用可以实现电磁兼容性的要求。

电路板电磁兼容性的实现必须在电路最初设计和元器件选择时就开始。如果在最初阶段做了错误的选择，就只能在以后花费相当多的时间和努力来纠正它，比如采用昂贵的屏蔽措施。电路板布局时要确保采取适当的电磁兼容性措施就必须了解电路的运行。比如，要减小天线的有效面积，不禁信号线要走最短的路径，而且返回线路也要走最短



的路线。也许一条线路，虽然较长，但是平行于现有的地线或电源线，反而效果更好。至今，计算机布局辅助设计程序仍然无法提供改善电磁兼容性有效的结果。这些程序使用的过程没有考虑电气要求，意味着开发工程师需要根据经验去判断怎么和哪里是关键连接，然后由计算机承担智能工匠的任务。