

Broadview

www.broadview.com.cn

15.7

Cadence SPB 工程实例入门

于争 著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY

http://www.phei.com.cn

第9章 铺铜

9.1 内电层铺铜

9.1.1 操作方法

在实际工程中，内电层通常使用完整的铜皮。虽然多个电压等级的系统有时内电层被分为多块独立的铜皮，但通常使用铜皮分割的方式产生。因此内电层的铺铜操作一般都是先铺一块完整的铜皮，形状与 Route keepin 区域的形状相同，操作步骤如下。

(1) 选择 Edit|Z-copy 命令可以将某一个 Shape 复制到另一个层，形状位置等均保持原样。选择该选项后，右侧控制面板中的 Options 选项卡如图 9-1 所示。

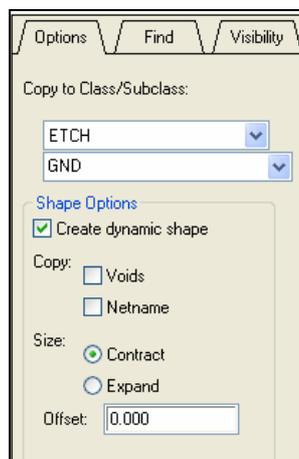


图 9-1 Options 选项卡

(2) 在 Copy to Class/Subclass 下拉列表框中选择 Shape 复制的目标层, 如果铺地, 则选择 ETCH 中的 GND 层。Create dynamic shape 复选框用于设置要创建的铜皮是否为动态铜皮, Copy 选项组用于设置是否将原来 Shape 上的挖空区域及网络名一块复制到目标层。Size 选项组用于控制复制到新层后大小如何变化, 选择 Contract 单选按钮, 表示形状不变的情况下向内收缩; 选择 Expand 单选按钮, 表示形状不变的情况下向外扩张, 收缩或扩张的量在 Offset 文本框中指定。Size 选项组很有用, 因为有时希望在电路板的边缘处, 电源层的边界相对于地层要向内收缩一定的量。如果使用著名的 20H 设计原则, 则用到这个选项组。本工程选择 Create dynamic shape 复选框, 其他保持默认设置。

(3) 单击 Route keepin 区域的边框, 该形状自动复制到 GND 层, 并以填充方式显示。

(4) 右击 Allegro 工作区, 选择快捷菜单中的 Done 选项完成操作。

(5) 在 GND 层创建了铜皮, 但其没有网络, 因此必须赋予一个网络名。为此选择 Shape>Select Shape or Void 选项, 单击右侧控制面板 Find 选项卡中的 All Off 按钮清除所有复选框。然后选择 Pins 复选框。

(6) 单击填充的 Shape (GND 层的铜皮), 整个铜皮高亮显示。

(7) 右击, 选择快捷菜单中的 Assign net 选项, 在右侧控制面板 Options 选项卡的 Assign net name 下拉列表框中选择 GND 选项。

(8) 右击 Allegro 工作区, 选择快捷菜单中的 Done 选项完成操作。

由于电源层中有多个电压等级, 所以铺铜后可以暂时不用选择 Assign net name 下拉列表框中的选项, 待电源分割后为每一块铜皮指定网络。关于电源分割请参见 9.9 节。

9.1.2 处理正片和负片

在 Allegro 中的 Artwork 选项和层叠结构设置中需要设置正片 (Positive) 和负片 (Negative), 二者的设置稍有不同。

Artwork 选项中的正片和负片是制作光绘文件时产生底片的两种方式, 也称之为“阳片”和“阴片”。在正片中有图形的部分是要保留的铜皮; 挖空部分是实际要去掉的铜皮, 因此这是一种所见即所得的方式。在负片上正好相反, 有图形的部分是需要挖空的; 没有图形的部分是要保留的铜皮。图 9-2 和图 9-3 所示为同一个焊盘在正片和负片上的显示方式。

注意正片上的热焊盘是 Cadence 默认的十字形连接; 负片上使用自定义的 Flash 焊盘。在老式的向量绘图机中处理这两种方式的方法不同, 负片格式数据量要小一点。但是现在常用的光栅式绘图机中这两种方式数据量差别很小, 处理时间也基本相同, 如常用的

RS274X 格式。因此如果采用该格式输出光绘，则不必考虑数据量和绘图机处理时间问题。

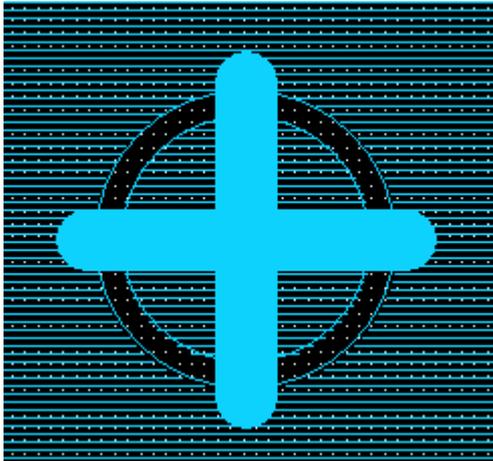


图 9-2 正片上热焊盘

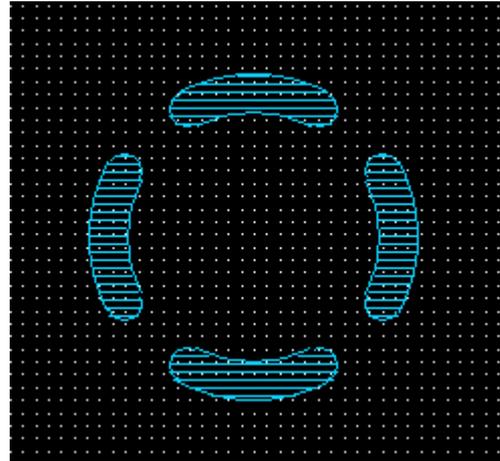


图 9-3 负片上的热焊盘

在层叠结构设置中每个电气层有对应的 DRC as Photo Film Type 域用于设置 Positive 和 Negative，这里的设置用来规范 Allegro PCB Editor 如何处理电气层并执行 DRC 检查。

如果将电源层或地层设置为 Positive，并且把 Shape 的 Dynamic Copper Fill mode 设置为 Smooth，则 Allegro PCB Editor 会对 Shape 内的引脚、过孔及走线等根据 Global Dynamic Shape Parameters 对话框中设置的 Clearance 值进行自动挖空避让 (Void) 并执行实时的 DRC 检查。将 Shape 的动态填充模式设置为 Smooth 的方法见 5.8 节。Clearance 值的设置方法为选择 Shape|Global Dynamic Params 选项，弹出 Global Dynamic Shape Parameters 对话框，打开 Clearance 选项卡，该选项卡中 Pin 和 Via 等文本框中的数值即是 Clearance 值。

如果将电源层或地层设置为 Negative，即使把 Shape 的 Dynamic Copper Fill mode 设置为 Smooth，Allegro PCB Editor 也不会进行自动挖空避让，并且在 Shape 边界之内不执行 DRC 检查。负片中使用焊盘本身的信息，如 thermal pad 和 anti pad 来处理通孔类引脚或过孔和 Shape 的连接关系，而这个处理过程是在输出光绘文件的过程中完成的。由于不执行 DRC 检查及自动 Void，因此能提升系统的执行速度，适合包括很多复杂 Shape 的大规模的电路板。注意，这里所说的不执行 DRC 检查是针对 Negative Shape 边界之内而言的，在边界处仍然要执行。使用负片的两个好处：一是相比正片少了很多 DRC 检查和自动 Void 操作，提升了系统的执行速度；二是对于可以灵活地设置通孔类的引脚或过孔等与 Shape 的连接方式，不同的通孔和 Shape 的连接方式可以不同。但使用负片时要小心处理各个通孔的焊盘，一定要正确设置 thermal pad 和 anti pad，增加了操作的复杂性。实际上，在 Allegro PCB 15.7 中，动态正片完全可以满足设计的需求。对于复杂的电路板，如果自动 Void 和

DRC 检查占用时间较多，则可以将 Dynamic Copper Fill mode 设置为 rough 或 disable，在绘制完成后统一把 Shape 更新为 smooth。推荐初学者使用动态正片以减少不必要的错误。

9.2 外层铺铜

外层的铺铜主要有 3 个命令，即 Shape|Polygon、Shape|Rectangular 和 Shape|Circular，分别对应于多边形铺铜、矩形铺铜和圆形铺铜。在铺铜操作中的关键是设置控制面板中的选项，选择 Shape|Polygon 命令后的控制面板如图 9-4 所示。

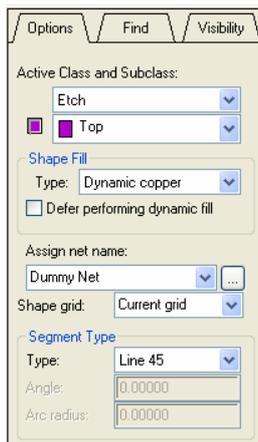


图 9-4 选择 Shape|Polygon 命令后的控制面板

其中的选项说明如下。

(1) Active class and subclass 下拉列表框：用于选择铜皮所铺的层。

(2) Type 下拉列表框：选择铜皮的类型，其中包括如下选项。

- Dynamic copper：动态正片类型的铜皮，会执行自动挖空操作。
- Static Solid：静态实心铜皮。
- Static Crosshatch：静态网格铜，静态铜皮不会自动挖空避让。
- Unfilled：静态不填充的 Shape，在电气层上不能添加这种类型的 Shape。

(3) Assign net name 下拉列表框：要将添加的铜皮赋予的网络，由于外层铺铜通常都具有电源网络属性，因此其中会列出具有电源属性的网络，如图 9-5 所示。

为某一个网络赋予电源属性，必须指定电压值，选择 Logic|Identify DC 选项，找到设计中的电源网络。然后指定电压值，该网络会出现在该下拉列表框中。

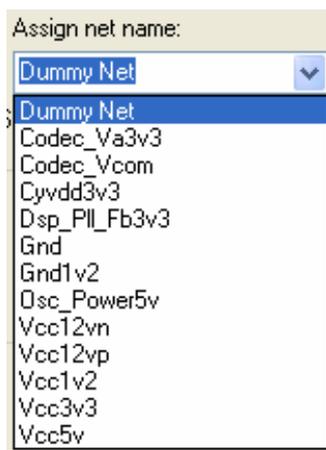


图 9-5 具有电源属性的网络

(4) Shape grid 下拉列表框：设置铺铜使用的网格。

(5) Segment Type 选项组：用于选择绘制铜皮边界时的线型，只在选择 Shape|Polygon 选项后有效。

本节以晶振下铺地为例说明外层铺铜的方法，操作步骤如下。

(1) 选择 Shape|Rectangular 命令。

(2) 在 Active Class and Subclass 下拉列表框中分别选择 Etch 和 Top 选项，表示所铺铜皮在 Top 层。在 Type 下拉列表框中选择 Dynamic copper 选项，表示铺一块动态铜。在 Assign net name 下拉列表框中选择 GND 选项，指定铜皮网络为 GND。如果没有 GND 网络，则选择 Logic|Identify DC 命令，把 GND 网络指定为 0 V 电压，则其出现在下拉列表框中。

(3) 在晶振所在区域单击选择矩形起始点，拖动绘制一个矩形 Shape。

(4) 单击完成绘制，铜皮会自动填充并自动挖空。

(5) 右击 Allegro 工作区，选择快捷菜单中的 Done 选项，铺好后的铜皮如图 9-6 所示。



图 9-6 铺好后的铜皮

9.3 编辑 Shape 边界

实际工作中经常需要修改铜皮边界，本节在上节绘制的铜皮基础上修改边界，操作步骤如下。

(1) 选择 Shape|Edit boundary 命令。

(2) 打开右侧控制面板中的 Find 选项卡，选择 Shape 复选框。

(3) 单击要编辑的 Shape，选择的 Shape 高亮显示。

(4) 打开右侧控制面板中的 Options 选项卡，选择 Segment Type 选项组 Type 下拉列表框中的 Line orthogonal 选项。

(5) 单击 Shape 边界上一点，拖动绘制新的边界。注意本例选择的是直角转弯的线条，如果出线方向不符合要求，则右击后选择快捷菜单中的 Toggle 选项改变出线方向；另外线条终点也一定在边界上，绘制新的边界后系统自动根据新的边界填充 Shape。

(6) 右击 Allegro 工作区，选择快捷菜单中的 Done 选项完成操作，修改后的边界如图 9-7 所示。

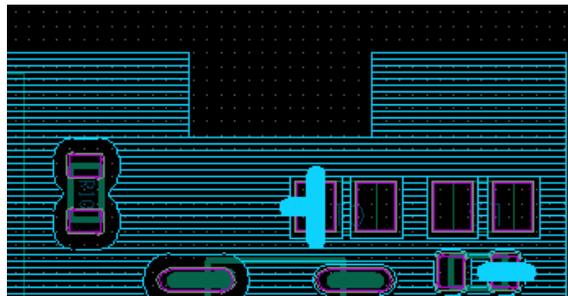


图 9-7 修改后的边界

9.4 指定网络

如果在铺铜时没有给铜皮指定网络名称，则不必重新绘制。可以单独为某一块铜皮指定网络，操作步骤如下。

(1) 选择 Shape|select Shape or void 命令。

(2) 打开右侧控制面板中的 Find 选项卡，选择 Shape 复选框。

(3) 右击要指定网络的 Shape，选择快捷菜单中的 Assign net 选项。

- (4) 打开控制面板中的 Options 选项卡, 在 Assign net name 下拉列表框中选择网络名称。
- (5) 右击 Allegro 工作区, 选择快捷菜单中的 Done 选项完成操作。

9.5 手工 Void

本节在 9.2 节所铺铜皮上, 以手工挖空一个圆形区域为例演示手工 Void 操作, 操作步骤如下。

- (1) 选择 Shape|manual void|Circular 命令。
- (2) 打开右侧控制面板中的 Find 选项卡, 选择 Shape 复选框。
- (3) 单击要编辑的 Shape, 选择的 Shape 高亮显示。
- (4) 在铜皮上选择一点作为圆形挖空区域的中心点, 拖动拉出一个圆形区域。调整大小, 单击在铜皮上出现一个圆形的挖空区域。
- (5) 右击 Allegro 工作区, 选择快捷菜单中的 Done 选项完成操作, 挖空后的铜皮如图 9-8 所示。

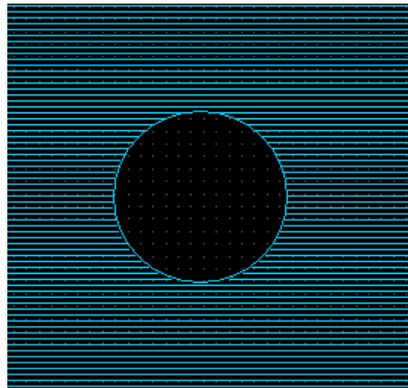


图 9-8 挖空后的铜皮

9.6 删除孤岛

动态铜皮在自动挖空避让过程中经常会形成很多没有任何电气连接的孤岛铜皮, 设计过程中要将这些孤岛删除。为此选择 Shape|Delete islands 命令, 右侧控制面板中的 Options 选项卡如图 9-9 所示。

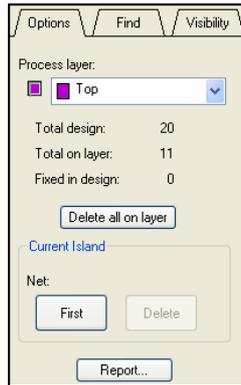


图 9-9 Options 选项卡

其中的选项如下。

(1) Process Layer 下拉列表框：选择在哪一层中存在孤岛铜皮，其中只显示存在孤岛的电气层。

(2) Total design：显示设计中孤岛的总数量。

(3) Total on layer：显示 Process layer 下拉列表框中选择层上的孤岛数量。

(4) Delete all on layer 按钮：单击该按钮，删除 Process Layer 中选择层中的所有孤岛。

(5) Net：显示当前高亮的铜皮的网络名称，如果当前铜皮没有网络名称，则为空。

(6) First or Next 按钮：单击该按钮，放大并定位当前层中的第 1 块孤岛。同时该按钮变为 Next，单击后放大并定位第 2 块孤岛。

(7) Delete 按钮：删除当前放大并定位的孤岛。该按钮主要用于逐个删除孤岛。

(8) Report 按钮：单击该按钮生成报告，其中列出当前设计中所有的孤岛。包括所在层，坐标位置和网络名称等，如图 9-10 所示。

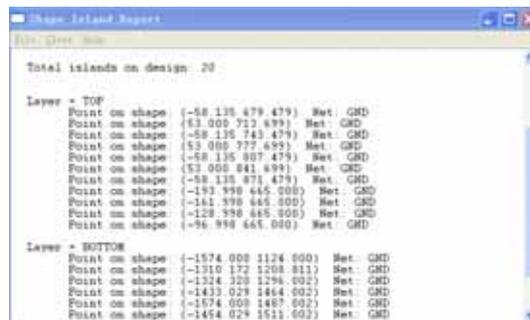


图 9-10 铜皮孤岛报告

删除孤岛的操作步骤如下。

(1) 选择 Shape>Delete islands 命令，如果设计中存在孤岛，则在右侧控制面板中显示所有孤岛的数量，Process Layer 下拉列表框中显示当前层中的孤岛数量等。注意，Shape 必须处于 smooth 状态才会显示设计中的孤岛信息；否则会弹出提示对话框，如图 9-11 所示。



图 9-11 提示对话框

单击“是”按钮更新 Shape 为 smooth 状态，右侧控制面板中显示孤岛信息。如果设计中没有孤岛，在 Allegro PCB Editor 窗口中显示信息，提示设计中没有孤岛。因此 Shape>Delete islands 命令可以检查是否存在孤岛（更多的是使用 Tool|Report 命令）。如果设计中存在孤岛，继续执行下一步。

(2) 在控制面板中的 Process Layer 下拉列表框选择要处理的层，Allegro 高亮显示当前层中的孤岛，此时可以单击 Delete all on layer 按钮批量删除当前层中的所有孤岛。也可以单击 First 按钮，当前层中的第 1 块孤岛被放大显示，First 按钮变为 Next 按钮。单击该按钮跳过第 1 块孤岛，放大显示第 2 块孤岛，单击 Delete 按钮单独删除当前放大显示的孤岛。这种方法可以保留某些孤岛，而有选择地删除部分孤岛。

(3) 处理当前层后，在 Process Layer 下拉列表框中选择其他含有孤岛的层继续处理。每删除一块孤岛，控制面板中都会实时显示当前层及整个设计中的孤岛数量。

(4) 全部处理后，右击 Allegro 工作区，选择快捷菜单中的 Done 选项完成操作。

9.7 铺静态铜皮

静态铜皮在设计中也经常用到，在实际工程中的很多情况下需要在 TOP 或 Bottom 层绘制一块铜皮用于电源分配系统。在很多手工焊接的电路板中不希望自动挖空，这样可以使铜皮和供电引脚之间有一个可靠地连接，提供足够大的电流，为此要用到静态铜皮。铺静态铜皮方法和铺动态铜皮类似，操作步骤如下。

(1) 选择 Shape|Polygon (或 Shape|Rectangular) 命令。

(2) 在右侧控制面板中 Active Class and Subclass 下拉列表框中选择要铺铜的 Class 和

Subclass。

- (3) 在 Shape fill type 下拉列表框中选择 Static solid (或 Static crosshatch) 选项。
- (4) 在 Assign net name 下拉列表框中选择网络名。
- (5) 绘制铜皮外形, 如图 9-12 所示。

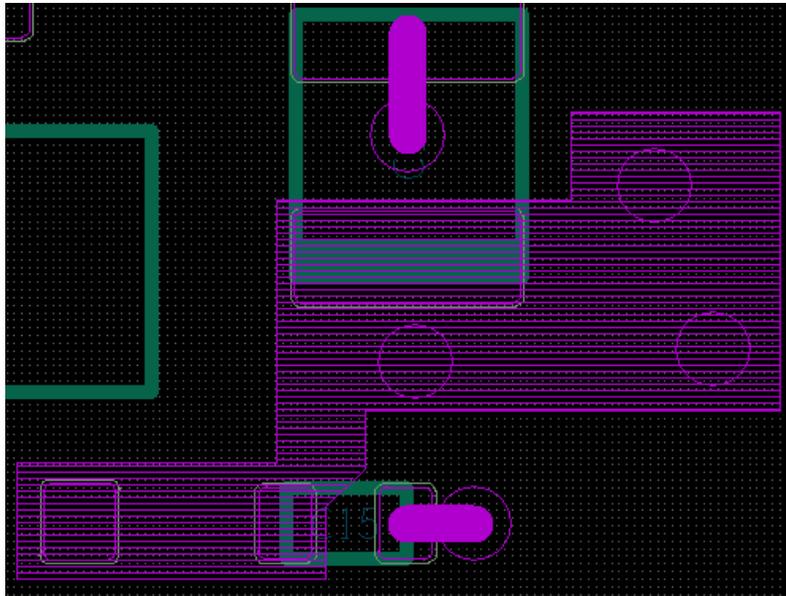


图 9-12 铜皮外形

- (6) 右击 Allegro 工作区, 选择快捷菜单中的 Done 选项完成操作。

9.8 合并铜皮

有时希望使用多块不同形状的 Shape 组合成一个形状复杂的 Shape, 在 Allegro 中不能简单地绘制多块重叠的 Shape; 否则会出现 DRC 错误。以稳压芯片的 1.2 V 输出端为例, 合并铜皮的操作步骤如下。

- (1) 选择 Shape|Rectangular 命令。
- (2) 在右侧控制面板中 Active Class and Subclass 下拉列表框中选择 ETCH 和 TOP, 表示要在 TOP 层铺铜
- (3) 在 Shape fill type 下拉列表框中选择 Static solid 选项。

- (4) 在 Assign net name 下拉列表框中选择网络名 VCC1V2。
- (5) 绘制 3 个重叠的矩形 Shape，如图 9-13 所示。

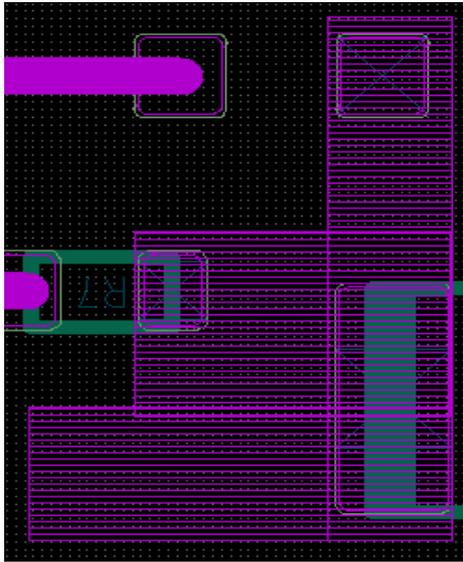


图 9-13 3 个重叠的矩形 Shape

- (6) 选择 Shape|Merge Shapes 命令。

(7) 分别单击刚刚绘制的 3 块铜皮，合并为一块完整的铜皮。边界保持不变，合并后的铜皮如图 9-14 所示。

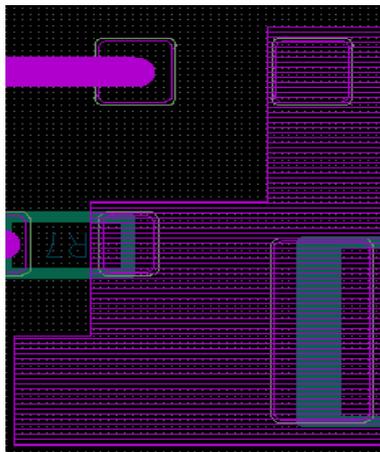


图 9-14 合并后的铜皮

(8) 右击 Allegro 工作区，选择快捷菜单中的 Done 选项完成操作。

在合并铜皮时必须注意多个 Shape 必须具有相同的网络名并且必须同为静态或动态，否则无法合并。

9.9 分割内电层

分割内电层的操作步骤如下。

(1) 选择 Display|Hilight 命令。

(2) 打开如图 9-15 所示的控制面板中的 Options 选项卡，单击某一个颜色框，表示当前要高亮显示的网络使用该颜色。

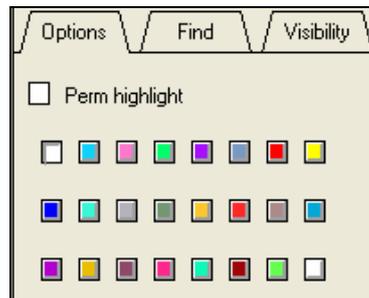


图 9-15 Options 选项卡

(3) 打开控制面板中 Find 选项卡，在 Find by name 下拉列表框中选择 Net 选项。

(4) 单击 More 按钮，弹出 Find by Name or Property 窗口，如图 9-16 所示。

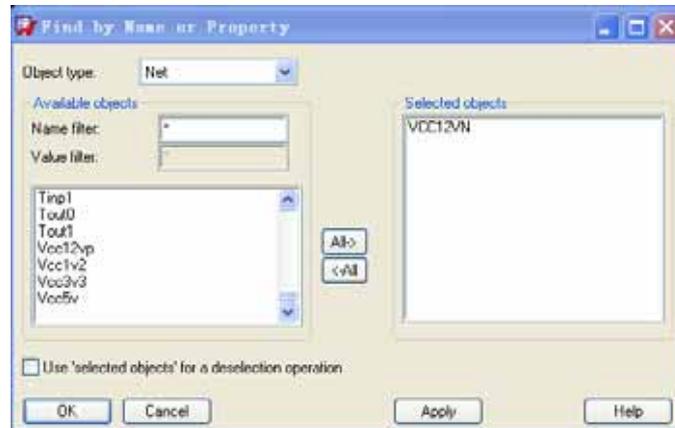


图 9-16 Find by Name or Property 窗口

(5) 在网络列表框中选择 VCC12VN，该网络名出现在 Selected objects 列表框中。

(6) 单击 Apply 按钮，在 Allegro 绘图区中所有的 VCC12VN 网络以当前选择的颜色高亮显示。

(7) 不要关闭 Find by Name or Property 窗口，打开右侧控制面板中的 Options 选项卡。

(8) 单击另一个不同的颜色框，表示下一个要高亮显示的网络使用该颜色。

(9) 在 Find by Name or Property 窗口中单击 Selected objects 中的 VCC12VN 移除该网络，在左侧网络列表框中选择 VCC12VP，VCC12VP 出现在 Selected objects 列表框中。

(10) 单击 Apply 按钮，Allegro 绘图区中的所有 VCC12VP 网络以当前选择的颜色高亮显示。

(11) 重复上述操作，分别以不同颜色高亮显示 VCC1V2、VCC3V3 和 VCC5V。

(12) 单击 Find by Name or Property 窗口中的 OK 按钮，至此所有的电源网络均使用不同的颜色同时高亮显示，便于确定分割位置。

(13) 打开控制面板中的 Visibility 选项卡，打开 Power 层，显示该层的铜皮。

(14) 选择 Add|Line 选项，Allegro PCB Editor 进入 add line 命令状态。

(15) 打开右侧控制面板中 Options 选项卡，如图 9-17 所示。在 Active Class and Subclass 下拉列表框中选择 Anti Etch 和 Power 选项，表示要分割 Power 层。在 Line lock 下拉列表框中选择 line 和 45 选项，表示使用 45 度转角的直线分割。在 Line width 下拉列表框中选择 40，表示分割线的宽度为 40 mils，即分割后铜皮之间的间隙值。在 Line font 下拉列表框中选择 Solid 选项，表示使用实线显示分割线。不同选项对应的线型如图 9-18 所示。

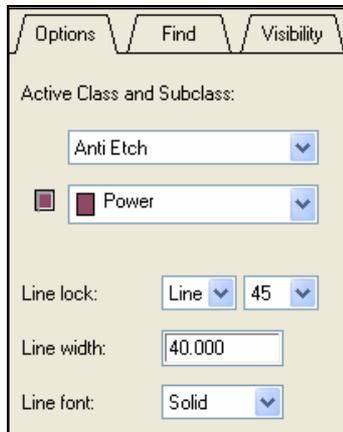


图 9-17 Option 选项卡

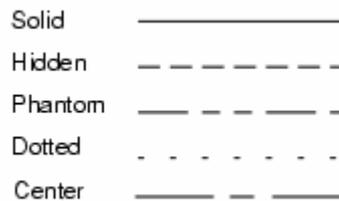


图 9-18 不同选项对应的线型

(16) 在 Allegro 工作区根据电源网络分布情况绘制分割线，把不同电压等级隔离为不同的区域。注意如果在整个铜皮边界处分割，则分割线要延长到板框之外。内部的封闭区域要使用封闭的隔离线，完成的隔离线如图 9-19 所示。

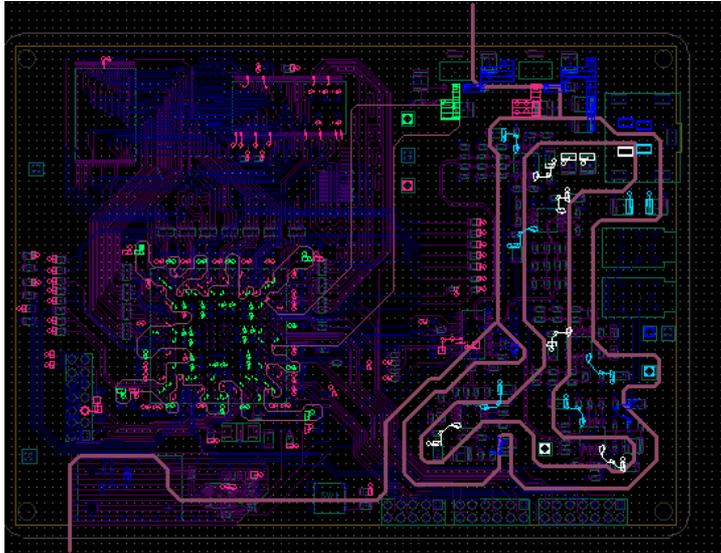


图 9-19 完成的隔离线

(17) 右击 Allegro 工作区，选择快捷菜单中的 Done 选项完成操作。

(18) 选择 Edit|Split plane|Create 命令，弹出 Create Split Plane 对话框，如图 9-20 所示。

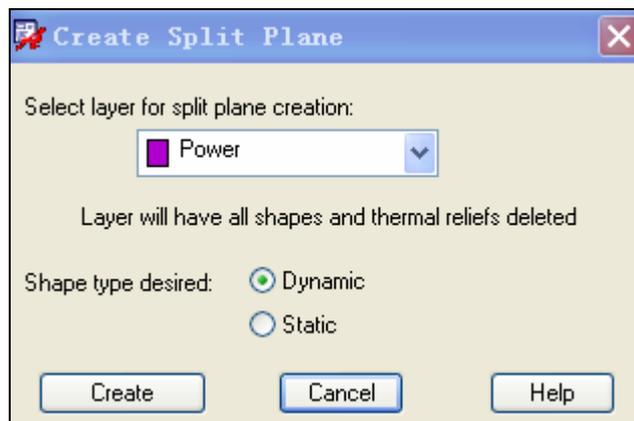


图 9-20 Create Split Plane 对话框

(19) 在 Select layer for split plane creation 下拉列表框中选择要分割铜皮的层，本例要分割电源，因此选择 Power 选项。在 Shape type desired 选项组中选择分割后铜皮的类型，

此处选择 Dynamic 单选按钮。

(20) 单击 Create 按钮，弹出 Select net 对话框。同时高亮显示其中的一块铜皮，如图 9-21 所示。

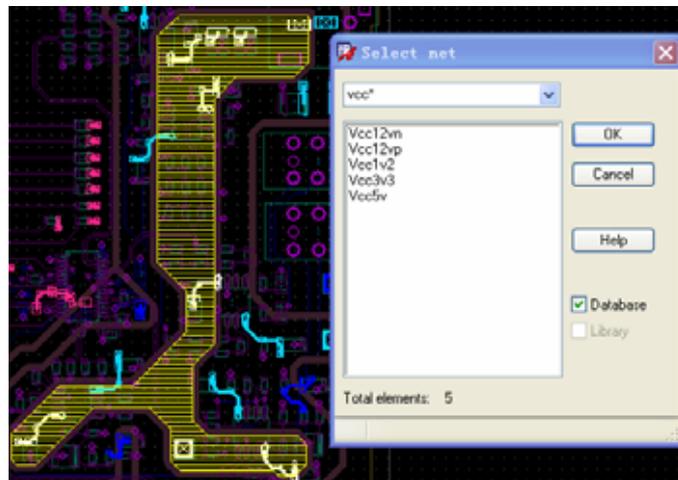


图 9-21 高亮显示其中的一块铜皮

(21) 在上部带有*标记的文本框中输入 Vcc*，按 Tab 键，网络列表只显示电源网络。

(22) 选择当前高亮铜皮的网络，本例为 VCC12VN。

(23) 单击 OK 按钮，当前高亮的铜皮被赋予 VCC12VN 网络。同时高亮显示下一块铜皮，如图 9-22 所示。



图 9-22 高亮显示下一块铜皮

(24) 选择 VCC12VP，为当前高亮显示的铜皮赋予网络名。

(25) 为每一块铜皮赋予正确的网络名，完成分割后的铜皮如图 9-23 所示。

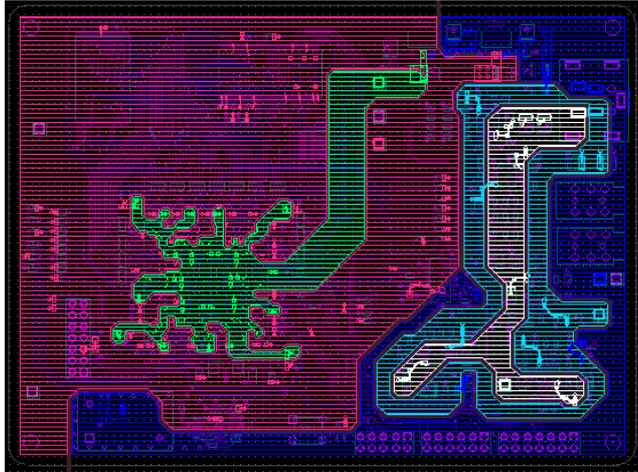


图 9-23 完成分割后的铜皮

(26) 选择 Display|Color/Visibility 命令，关闭显示的 Anti-Etch 层。查看分割情况。图 9-24 所示为分割后的局部图，可见电源层已经被分割。

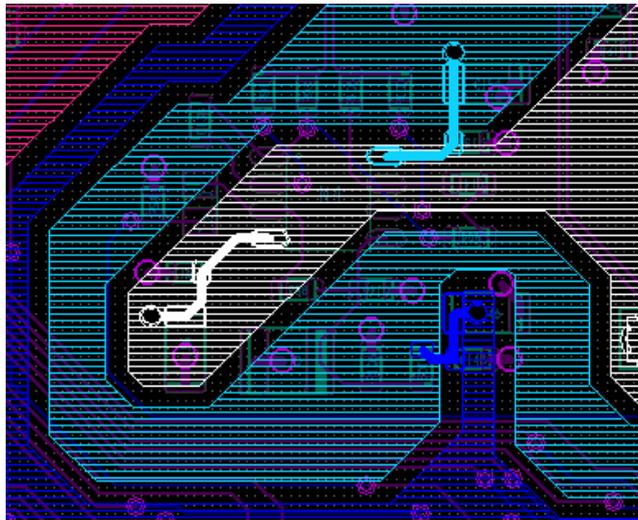


图 9-24 分割后的局部图

分割注意事项一是如果空间允许，加宽隔离带。即 Anti-Etch 层线的宽度，保证不同电压等级之间的安全距离；二是在 Anti-Etch 层中添加线时不要覆盖与电源层相连的通孔，避免破坏 Flash 焊盘。