

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 1 of 27

1.0 目的

规范 PCB 的设计思路，保证和提高 PCB 的设计质量。

2.0 适用范围

适用于 PCB Layout.

3.0 职责

PCB 工程师：负责 PCB layout 工作

4.0 规定

4.1: Layout 部分.....2-19

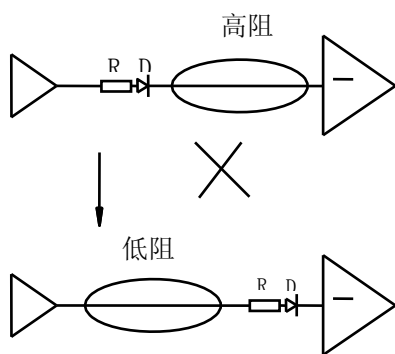
4.2: 工艺处理部分.....20-23

4.3: 检查部分.....24-25

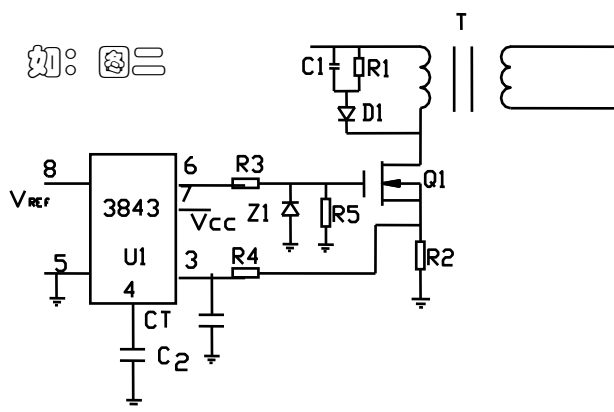
4.4: 安规作业部分.....26-32

4.1 Layout 部分

4.1.1 长线路抗干扰



图一



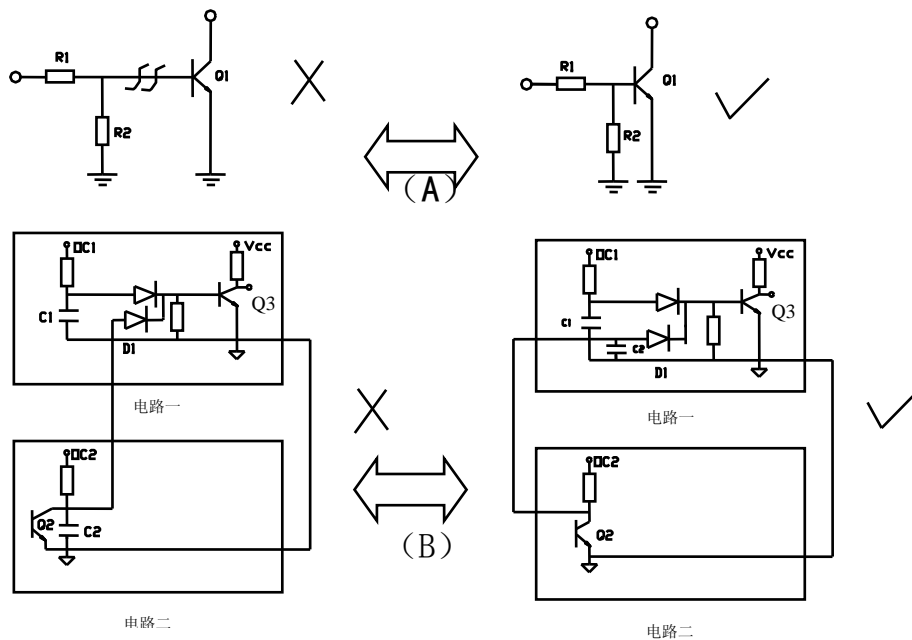
图二

在图二中，PCB 布局时，驱动电阻 R3 应靠近 Q1 (MOS 管)，电流取样电阻 R4 应靠近 U1 的第 3Pin，

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 2 of 27

即上图一所说的 R、D 应尽量缩短高阻抗线路。又因运算放大器输入端阻抗很高，易受干扰。输出端阻抗较低，不易受干扰。一条长线相当于一根接收天线，容易引入外界干扰。

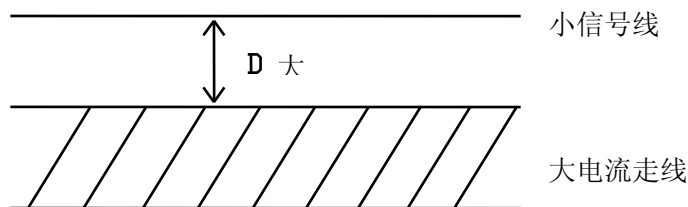
又如图三：



在图三的 A 中排版时，R1、R2 要靠近三极管 Q1 放置，因 Q1 的输入阻抗很高，基极线路过长，易受干扰，则 R1、R2 不能远离 Q1。

在图三的 B 中排版时，C2 要靠近 D1，因为 Q3 三极管输入阻抗很高，如 Q2 至 D1 的线路太长，易受干扰，则 C2 应移至 D1 附近。

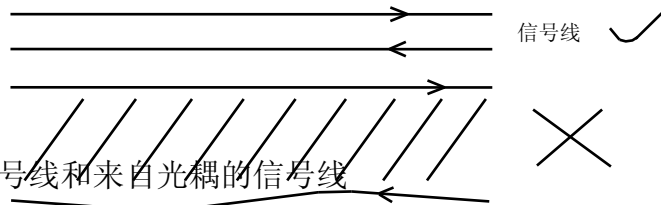
4.1.2、小信号走线尽量远离大电流走线，忌平行。



4.1.3、小信号处理电路布线尽量集中，减少布板面积提高抗干扰能力。

4.1.4、一个电流回路走线尽可能减少包围面积。

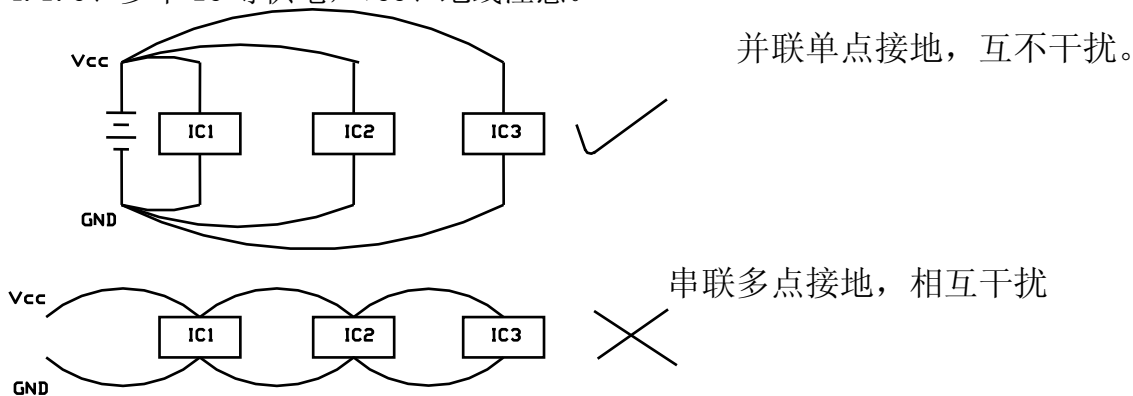
电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 3 of 27



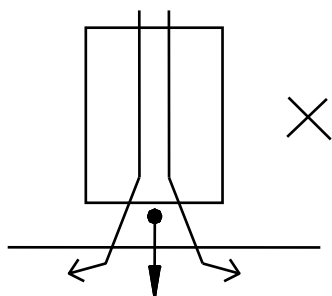
如：电流取样信号线和来自光耦的信号线

4.1.5、光电耦合器件，易受干扰，应远离强电场、强磁场器件，如大电流走线、变压器、高电位脉动器件等。

4.1.6、多个 IC 等供电，Vcc、地线注意。



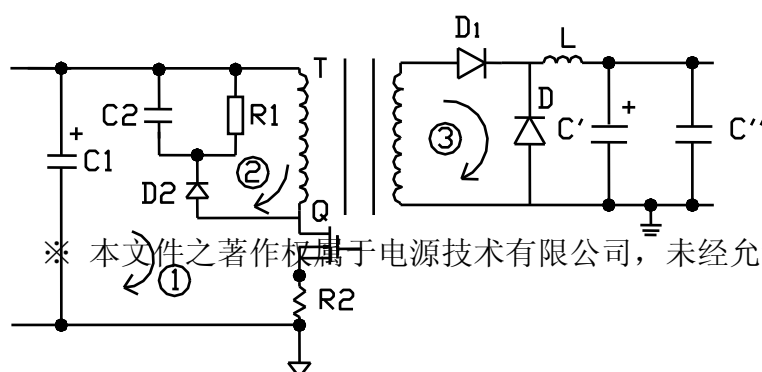
4.1.7、弱信号走线，不要在棒形电感、电流环等器件下走线。



如以前 SU450，电流取样线在批量生产时发生磁芯与线路铜箔相碰，造成故障。

4.1.7.1 噪声要求

4.1.7.1.1、尽量缩小由高频脉冲电流所包围的面积，如下（图一、图二）

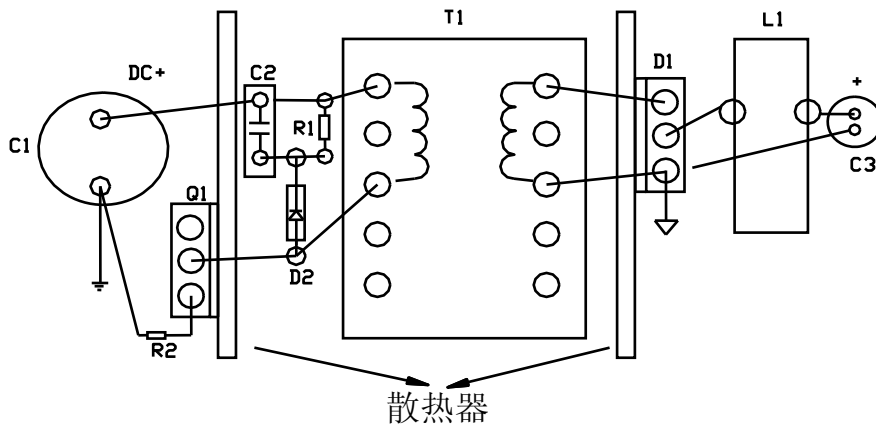


※ 本文件之著作权属于电源技术有限公司，未经允许不得翻印 ※

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 4 of 27

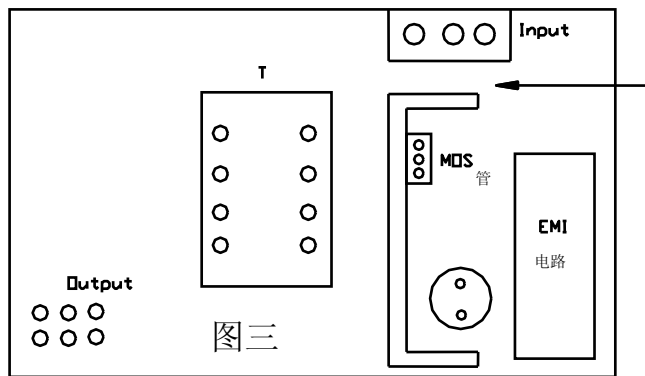
图一

一般布板方式:



图二

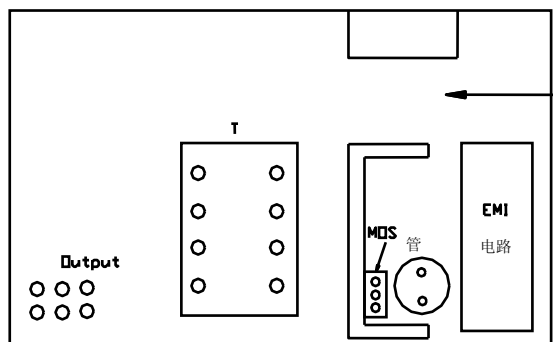
- 4.1.7.1.2、滤波电容尽量贴近开关管或整流二极管如上图二，C1 尽量靠近 Q1，C3 靠近 D1 等
- 4.1.7.1.3、脉冲电流流过的区域远离输入、输出端子，使噪声源和输入、输出口分离，如 A105。



图三

图三：MOS 管、变压器离入口太近，EMI 传导通不过。

图四



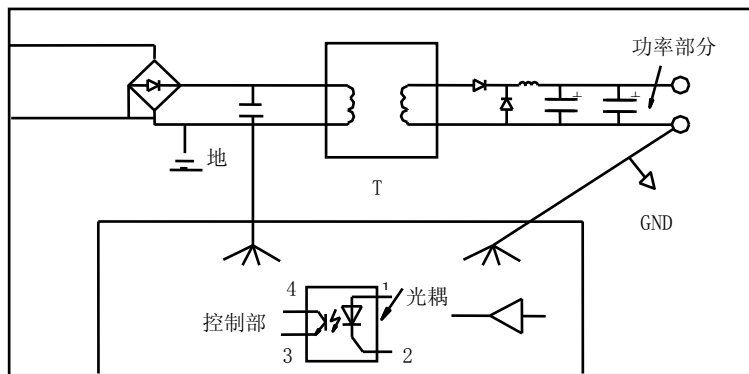
※ 才

允许不得翻印 ※

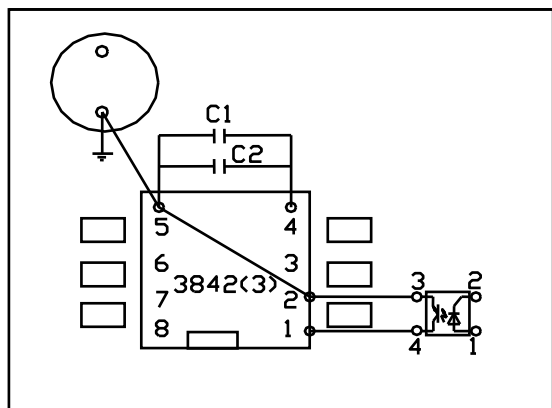
电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 5 of 27

图四：MOS 管、变压器远离入口，EMI 传导能通过。

4.1.7.1.4、控制回路与功率回路分开，采用单点接地方式，如图五。



图五



1、3842、3843、2843、2842IC 周围的元件接地接至 IC 的地脚（第 5 脚）；再从第 5 脚引出至大电容地线。
2 光耦第 3 脚地接到 IC 的第 2 脚，第 2 脚接至 IC 的 5 脚上。

图六

4.1.7.1.5、必要时可以将输出滤波电感安置在地回路上。

4.1.7.1.6、用多只 ESR 低的电容并联滤波。

4.1.7.1.7、用铜箔进行低感、低阻配线，相邻之间不应有过长的平行线，走线尽量避免平行、交叉用垂直方式，线宽不要突变，走线不要突然拐角（即： \leq 直角）。

4.1.7.2、抗干扰要求

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 6 of 27

4.1.7.2.1、尽可能缩短高频元器件之间连线，设法减少它们的分布参数和相互间电磁干扰，易受干扰的元器件不能和强干扰器件相互挨得太近，输入输出元件尽量远离。

4.1.7.2.2、某些元器件或导线之间可能有较高电位差，应加大它们之间的距离，以免放电引出意外短路。

4.1.7.3、布局要求

4.1.7.3.1、除温度开关、热敏电阻…外，对温度敏感的关键元器件（如 IC）应远离发热元件，发热较大的器件应与电容等影响整机寿命的器件有一定的距离。

4.1.7.3.2、对于电位器，可调电感、可变电容器，微动开关等可调元件的布局，应考虑整机结构要求，若是机内调节，应放在 PCB 板上方便于调节的地方，若是机外调节，其位置要与调节旋钮在机箱面板上的位置相适应。

4.1.7.3.3、应留出印制 PCB 板定位孔支架所占用的位置。

4.1.7.3.4、位于电路板边缘的元器件，离电路板边缘一般不少于 2mm。

4.1.7.4、对单元电路的布局要求

4.1.7.4.1、要按照电路的流程安排各个功能电路单元的位置，使布局便于信号流通，并使信号尽可能保持一致的方向。

4.1.7.4.2、以每个功能电路的核心元件为中心，围绕它来进行布局，元器件应均匀整齐，紧凑地排列在 PCB 上，尽量减小和缩短各元件之间的连接引线。

4.1.7.4.3、在高频下工作要考虑元器件的分布参数，一般电路应尽可能使元器件平行排列，这样不仅美观，而且装焊容易，易于批量生产。

4.1.7.5、布线原则：

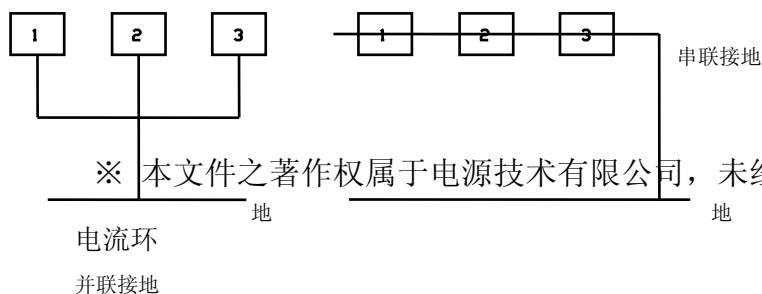
4.1.7.5.1、输入输出端用的导线应尽量避免相邻平行，最好加线间地线，以免发生反馈耦合。

4.1.7.5.2、走线的宽度主要由导线与绝缘基板间的粘附强度和流过它们的电流值决定。当铜箔厚

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 7 of 27

度为 $50\ \mu\text{m}$ ，宽度为 1mm 时，流过 1A 的电流，温升不会高于 3°C ，以此推算 2 盎司 ($75\ \mu\text{m}$) 厚的铜箔， 1mm 宽可流通 1.5A 电流，温升不会高于 3°C （注：自然冷却）。

- 4.1.7.5.3、ROUTE 线拐弯处一般取圆弧形，而直角、锐角在高频电路中会影响电气性能。
- 4.1.7.5.4、尽量避免使用大面积铺铜箔，否则，长时间受热时，易发生铜箔膨胀和脱落现象，必须用大面积铜箔时，最好用栅格状，这样有利于排除铜箔与基板间粘合剂受热产生的挥发性气体。
- 4.1.7.5.5、元件焊盘中心孔要比器件引线直径稍大一些，焊盘太大易形成虚焊，焊盘外径 D 一般不少于 $(d+1.2)\text{mm}$ ， d 为引线孔径，对高密度的数字电路，焊盘最小直径可取 $(d+1.0)\text{mm}$ ，孔径大于 2.5mm 的焊盘适当加大。
- 4.1.7.5.6、电源线根据线路电流的大小，尽量加粗电源线宽度，减少环路阻抗，同时使电源线，地线的走向和数据传递方向一致，有助于增强抗噪声能力。
- 4.1.7.5.7、地线：
- 4.1.7.5.7.1、数字地与模拟地分开，若线路上既有逻辑电路又有线性电路，应使它们尽量分开。
低频电路的地应尽量采用单点并联接地，实际布线有困难时可部分串联后再并联接地，高频电路的地宜采用多点串联接地，地线应短而粗，高频元件周围尽量用栅格状大面积地铜箔。
- 4.1.7.5.7.2、接地应尽量加粗，若接地线用很细的线条，则接地电位随电流的变化而变化，使抗噪性能降低，因此应将接地线加粗，使它能通过三倍于 PCB 板上允许的电流，如有可能接地线应 $2\text{—}3\text{mm}$ 以上。
- 4.1.7.5.7.3、接地线构成闭环路，只由数字电路组成的印制板，其接地电路却成闭环路大多能提高抗噪能力。

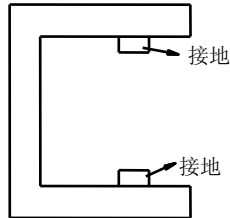


电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 8 of 27

图三

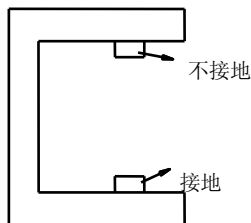
图四

4.1.7.5.7.4、散热器接地多数也采用单点接地，提高噪声抑制能力如 A166，更改前：



多点接地形成磁场回路，EMI 测试不合格。

更改后：

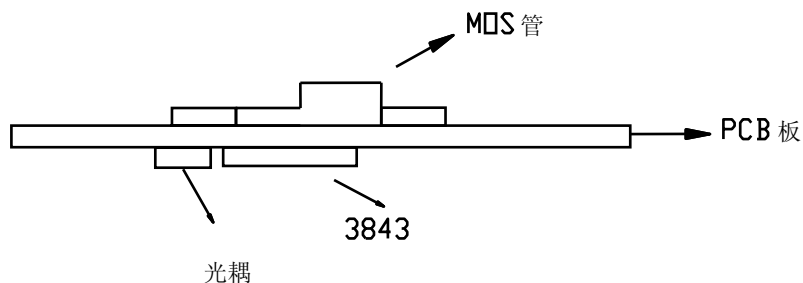


单点接地无磁场回路，EMI 测试 OK。

开关电源的体积越来越小，它的工作频率也越来越高，内部器件的密集度也越来越高，这对 PCB 布线的抗干扰要求也越来越严，针对 D82 与 D63 的布线，发现的问题与解决方法如下：

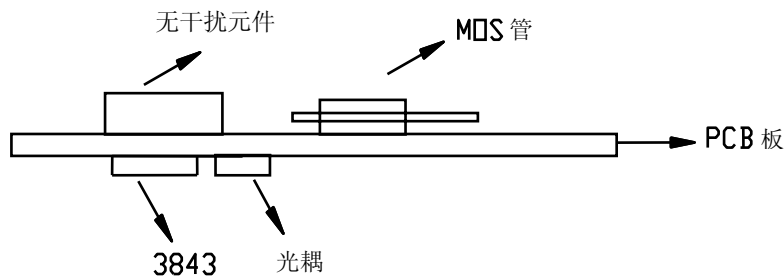
4.1.7.6、整体布局：

D82 是一款六层板，最先布局是，元件面放控制部份，焊锡面放功率部份，在调试时发现干扰很大，原因是 3843 与光耦位置摆放不合理，如：



如上图，3843 与光耦放在 MOS 管底下，它们之间只有一层 2.0mm 的 PCB 隔开，MOS 管直接干扰 3843，后改进为：

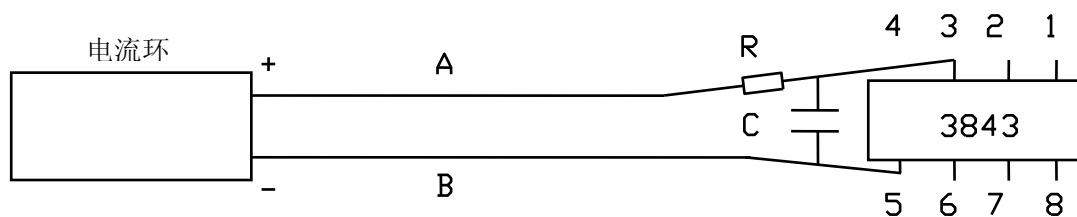
电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 9 of 27



将 3843 与光耦移开，且其上方无流过脉动成份的器件。

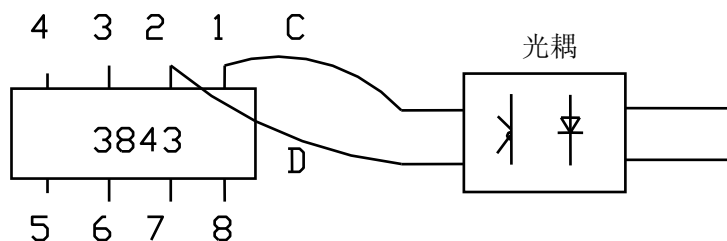
4.1.7.7、走线问题：

功率走线尽量实现最短化，以减少环路所包围的面积，避免干扰。小信号线包围面积小，如电流环：



A 线与 B 线所包面积越大，它所接收的干扰越多。因为它是反馈电流大小而调节 3843 输出的，误动作将直接导致环路不稳。

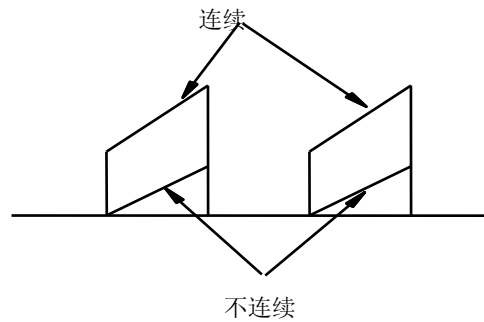
光耦反馈线要短，且不能有脉动信号与其交叉或平行。



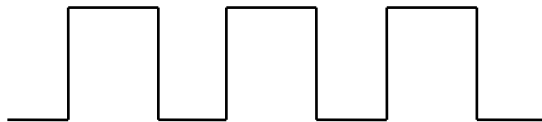
PWM 芯片（如 UC3843、3842、2843、2842……的第 3PIN）电流采样线与（第 6PIN）驱动线，以及同步信号线，走线时应尽量远离，不能平行走线，否则相互干扰。

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 10 of 27

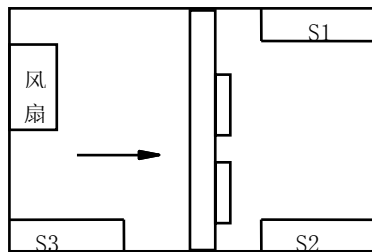
因：3PIN 的电流波形为



6PIN 及同步信号电压波形是：

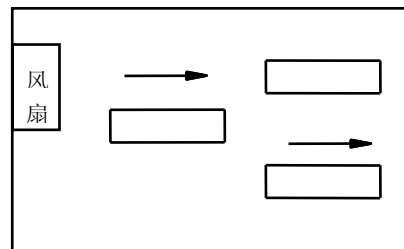


4.1.7.7.1、散热片分布均匀，风路通风良好。



风路不好

散热片挡风路，
不利于散热。



风路好

通风良好，
利于散热。

4.1.7.7.2、电容、IC 等与热元件（散热器、整流桥、续流电感、功率电阻）要保持距离。以避免受热而受到影响。

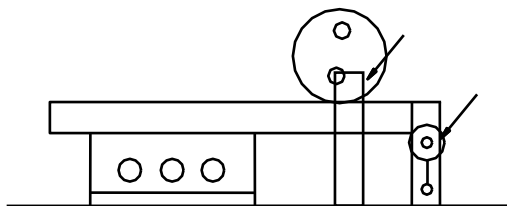
4.1.7.7.3、电流环

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 11 of 27

为了穿线方便，引线孔距不能太远或太近。

4.1.7.7.4、输入/输出、AC/插座要满足两线长短一致，留有一定空间裕量，注意插头线扣所占的位置、插拔方便，输出线孔整齐，好焊线。

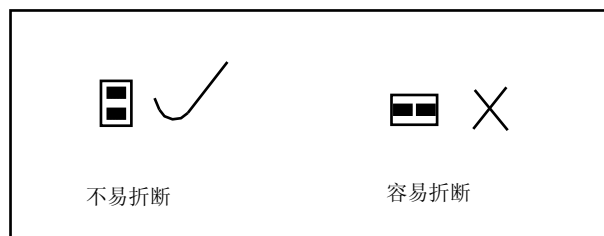
4.1.7.7.5、元件之间不能相碰、MOS 管、整流管的螺钉位置、压条不能与其它元件相碰，以便装配工艺尽量简化



电容和电阻与压条或螺钉相碰，在布板时可以先考虑好螺钉和压条的位置。

4.1.7.7.6、元件摆放整齐、方向尽量一致

对于 PCB 板上的贴片元件长轴心线尽量与 PCB 板长轴心线垂直的方向排列、不易折断。

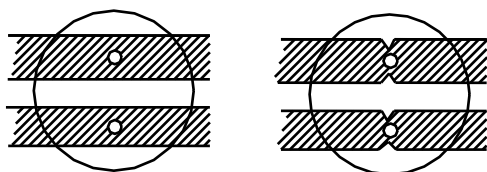


4.1.7.7.7、反面元件的高度（如 D64）



4.1.7.7.8、滤波电容走线

A:



不好

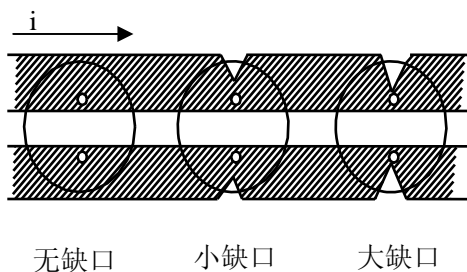
好

※ 本文件之著作权属于电源技术有限公司，未经允许不得翻印 ※

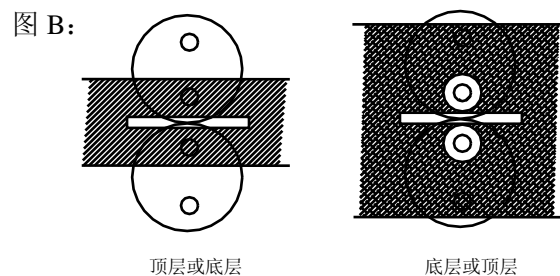
电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 12 of 27

噪音、纹波经过滤波电容被完全滤掉。

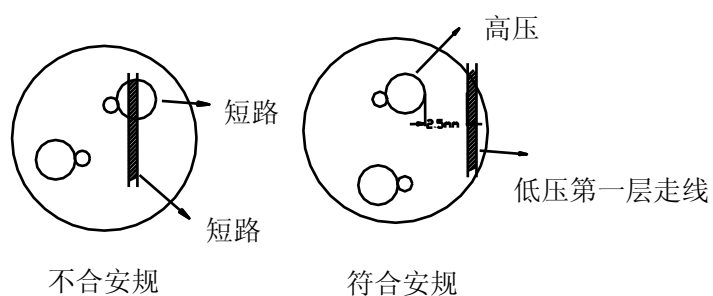
B: 当纹波电流太大时，多个电容并联，纹波电流经过第一个电容的流量比第二个、第三个大很多，往后逐渐减小，第一个电容产生的热量也比第二个、第三个多，很容易损坏，走线时，尽量让纹波电流均分给每个电容，走线如下图 A、B:



如空间许可，可用图 B 方式走线



4.1.7.7.9、高压高频电解电容的引脚有一个铆钉，如下图所示，它应与第一层走线铜箔保持距离，并要符合安规。



4.1.7.7.10、金属膜电阻下不能走高压线、低压线尽量走在电阻中间，电阻如果破皮容易和下面铜线短路。

4.1.7.7.11、加锡

- A、功率线铜箔较窄处加锡。
- B、RC 吸收回路，不但电流较大需加锡，而且利于散热。
- C、热元件下加锡，用于散热，加锡不能压焊盘。

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 13 of 27

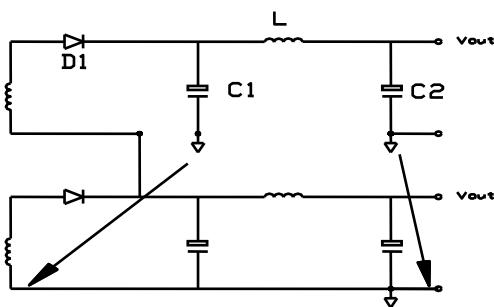
4.1.7.7.12、输出线、灯仔线、风扇线尽量一排，极性一致与面板对应。

4.1.7.7.13、安全距离

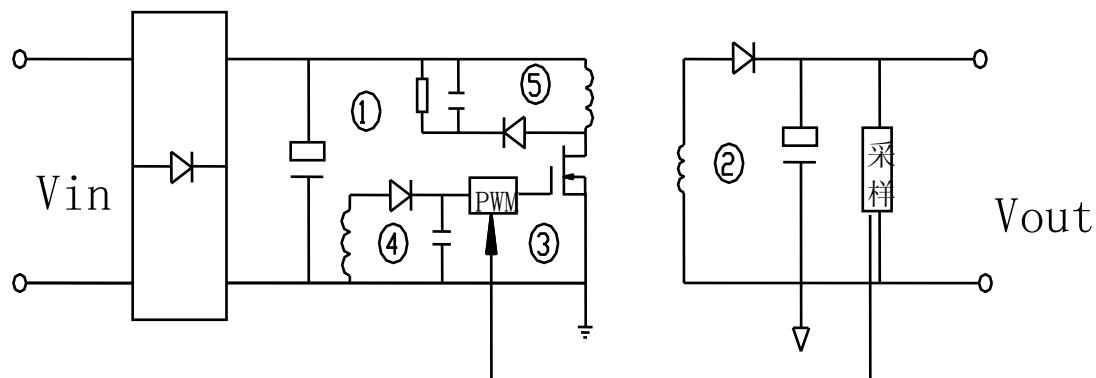
见 D: PCB 安规作业部分

4.1.7.7.14、信号线不能从变压器、散热片、MOS 管脚中穿过。

4.1.7.7.15、如输出是叠加的，差模电感前电容接前端地，差模电感后电容接输出地。



4.1.7.7.16、高频脉冲电流流经的区域



A. 尽量缩小由高频脉冲电流包围的面积

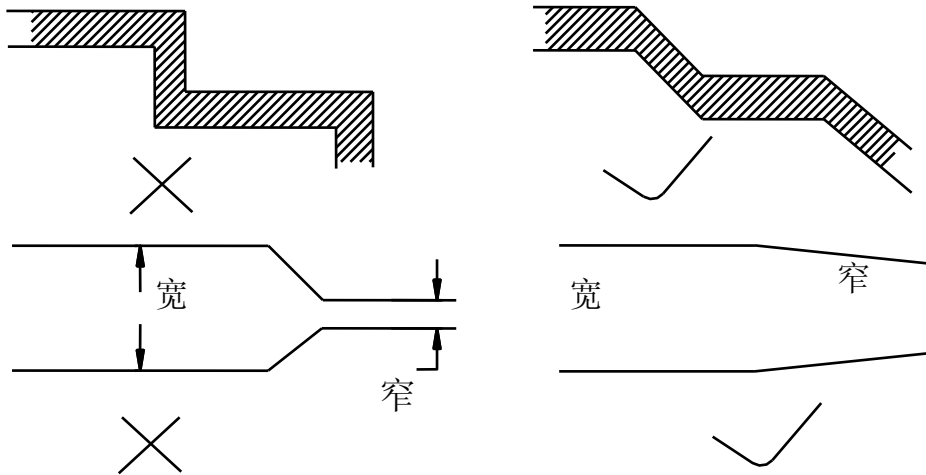
上图所标示的 5 个环路包围的面积尽量小。

B. 电源线、地线尽量靠近，以减小所包围的面积，从而减小外界磁场环路切割产生的电磁干扰，同时减少环路对外的电磁辐射。

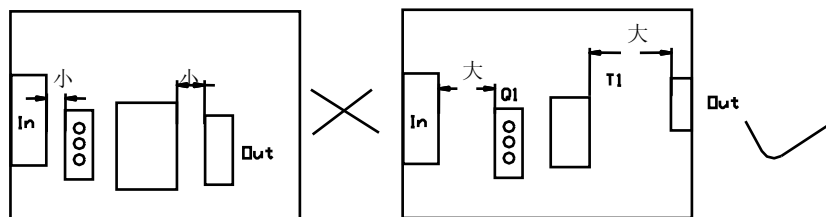
C. 大电容尽量离 MOS 管近，输出 RC 吸收回路离整流管尽量近。

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 14 of 27

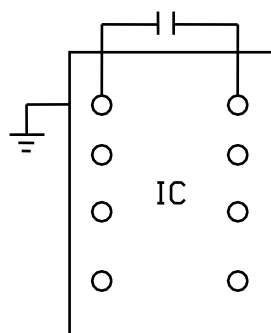
D. 电源线、地线的布线尽量加粗缩短，以减小环路电阻，转角要圆滑，线宽不要突变。



E. 脉冲电流流过的区域远离输入输出端子，使噪声源和出口分离。

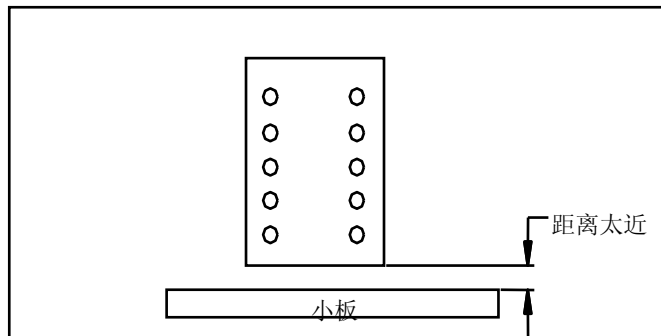


F. 振荡 滤波去耦电容靠近 IC 地，地线要求短。



电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 15 of 27

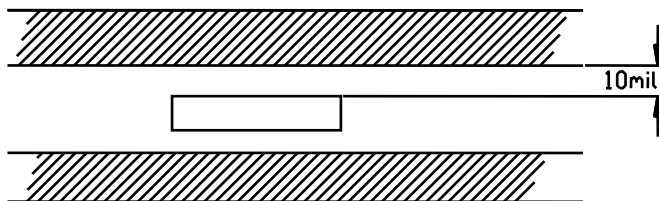
(17) 小板离变压器不能太近。



小板离变压器太近，会导致小板上的半导体元件容易受热而影响。

(18) 锰铜丝 立式变压器磁芯 工字电感 功率电阻 散热片 磁环下不能走第一层线。

(19) 24 层开槽与走线铜箔要有 10MIL 以上的距离，注意上下层金属部分的安规。



(20) 初级散热片与外壳要保持 5mm 以上距离。

(21) 驱动变压器，电感，负电压，电流环同名端要一致。

(22) 双面板一般在大电流走线处多加一些过孔，过孔要加锡，增加载流能力。

(23) 在变压器，小板中间加通风孔，以利于通风散热。

(24) 因考虑高压测试，防雷管要考虑生产时是否好下工具剪断，然后又好下烙铁焊接，一般要将其放在 PCB 板靠边处。

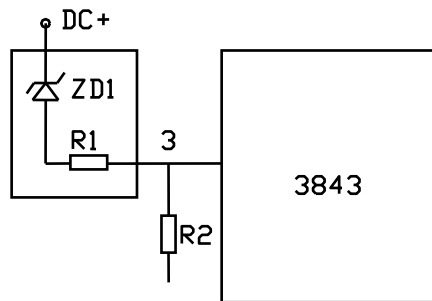
电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 16 of 27

(25) 初次级 Y 电容与变压器磁芯要注意安规。

(26) 在单面板中，跳线与其它元件不能相碰，如跳线接高压元件，则应与低压元件保持一定安规距离。同时应与散热片要保持 1mm 以上的距离。

(27) 一般布局，小板上不接入高压，将高压元件放在大板上，如有特殊情况，则安规一定要考虑好。

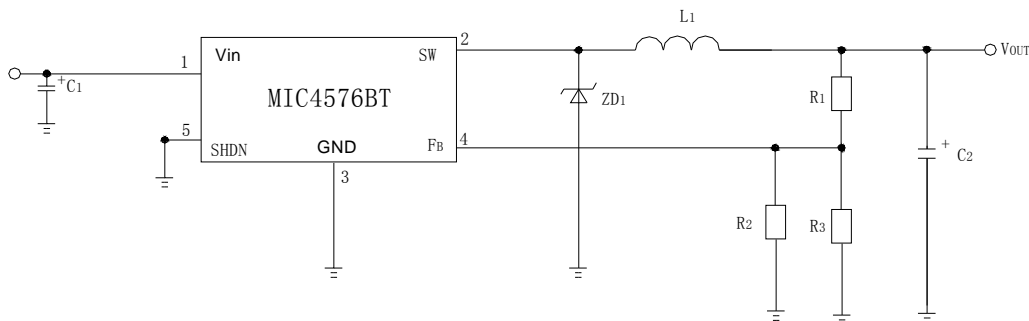
如：



将 ZD1、R1 放在大板，引入一低压线即可

MIC4576BT 稳压芯片的布板要求

1、原理图：



2、板要求：

- a) R1、R2、R3 尽量靠近 MIC4576BT 芯片的 4Pin，依次一个挨一个紧密排列在一起。

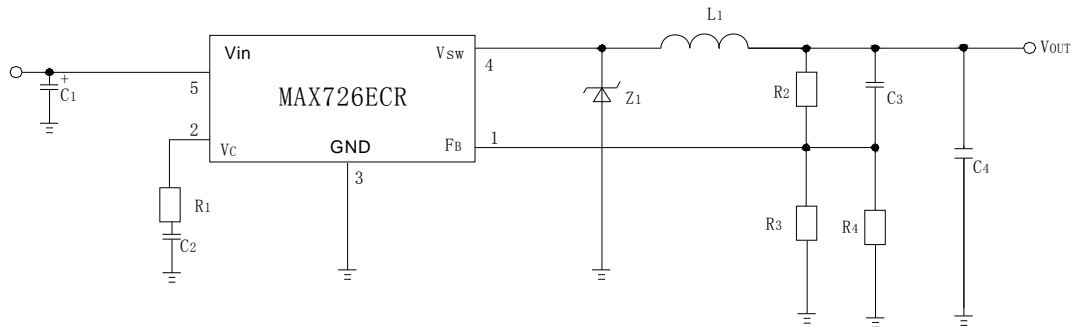
电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 17 of 27

b) R2、R3 的接地端从 C2 的负端引线，R1 取样线从 C2 的正端引线，芯片的 3Pin 直接与 R2、R3 地端相连，不能从别的地方接地或取样，否则电路检测不准或可能出现故障。

- 3、 MIC4576BT 芯片封装形式为：T0-220。
- 4、 布线的一般形式参看 A143V00A 的 U2。

MAX726ECK 稳压芯片的布板要求

1、 原理图：



2、 布板要求：

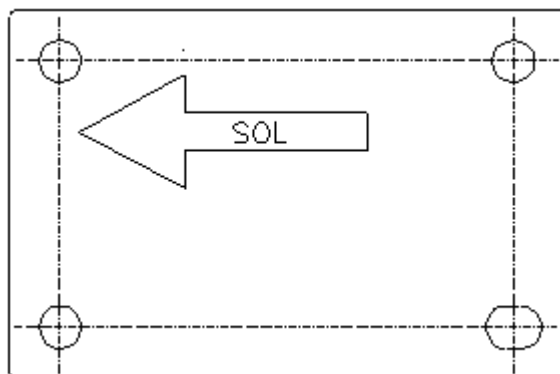
- a) R1、C2 要靠近芯片的 2Pin 且直接芯片的 3Pin 地。
- b) R3、R4、R2、C3 要靠近芯片的 1Pin 依次一个紧靠一个排列，且 R2、C3 连结在一起，直接走线到 C4 的正端，R3、R4 连在一起直接与芯片 3Pin，再一起拉线到 C4 的地端。

3、 封装形式：T0-220

4、 布线的一般形式参看 A80V09A 的 U6

B: 工艺处理部分

1、 每一块 PCB 上都必须用实心箭头标出过锡炉的方向



2、 布局时，DIP 元件

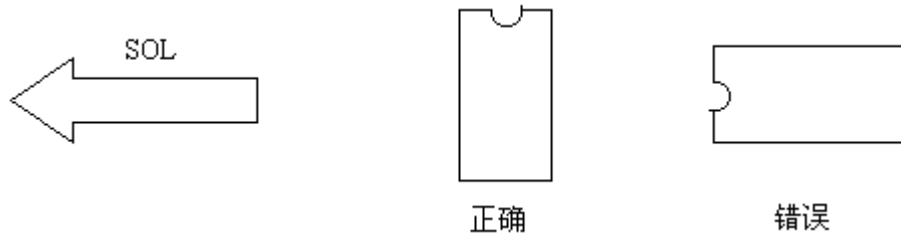
应成垂直，不可平行，如下图；如果

※ 本

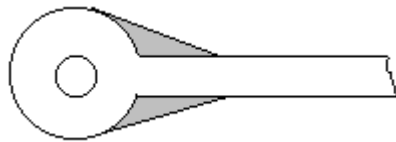
图经允许不得翻印 ※

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 18 of 27

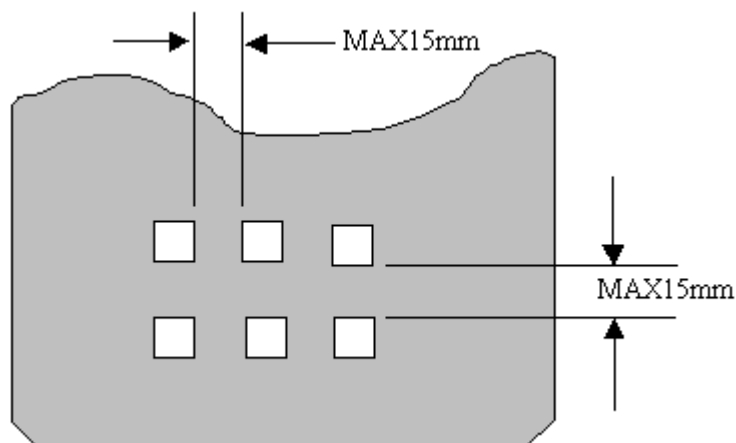
布局上有困难，可允许水平放置 IC（SOP 封装的 IC 摆放方向与 DIP 相反）。



- 布线方向为水平或垂直，由垂直转入水平要走 45 度进入。
- 若铜箔入圆焊盘的宽度较圆焊盘的直径小时，则需加泪滴。如图



- 布线尽可能短，特别注意时钟线、低电平信号线及所有高频回路布线要更短。
- 模拟电路及数字电路的地线及供电系统要完全分开。
- 如果印制板上有大面积地线和电源线区（面积超过 500 平方毫米），应局部开窗口。如图：



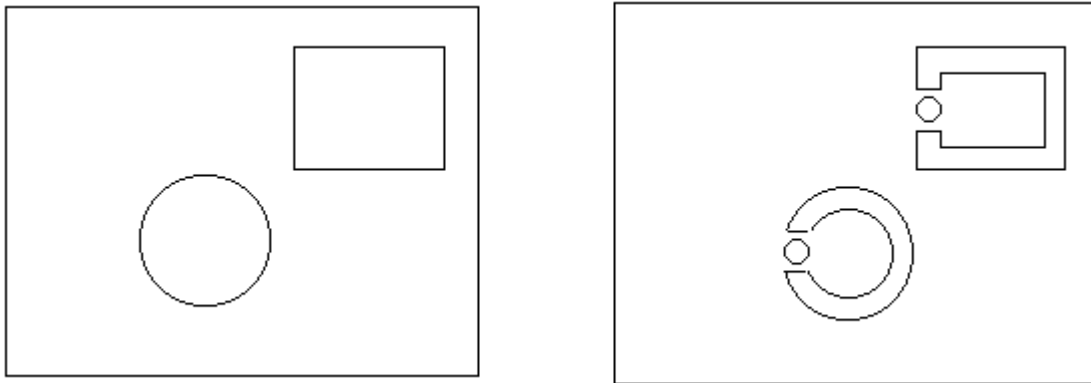
- 横插元件（电阻、二极管等）脚间中心，相距必须是 300mil，400mil 及 500mil。（如非必

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 19 of 27

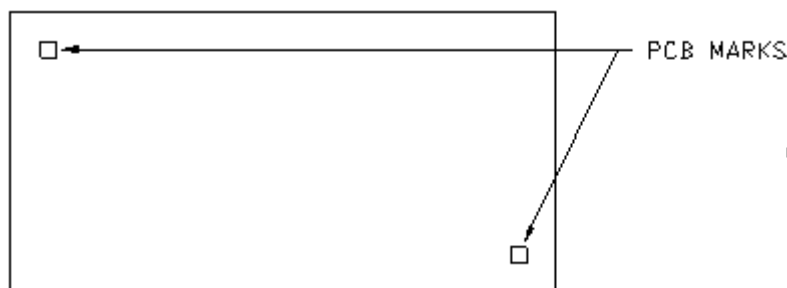
要，240mil 亦可利用，但适用于 IN4148 型之二极管或 1/16W 电阻上。1/4W 电阻由 10.0mm 开始)跳线脚间中心相距必须是 200mil, 300mil, 500mil, 600mil, 700mil, 800mil, 900mil, 1000mil。

9、PCB 板上的散热孔，直径不可大于 140mil。

10、PCB 上如果有 $\Phi 12$ 或方形 12MM 以上的孔，必须做一个防止焊锡流出的孔盖，如下图：(孔隙为 1.0MM)

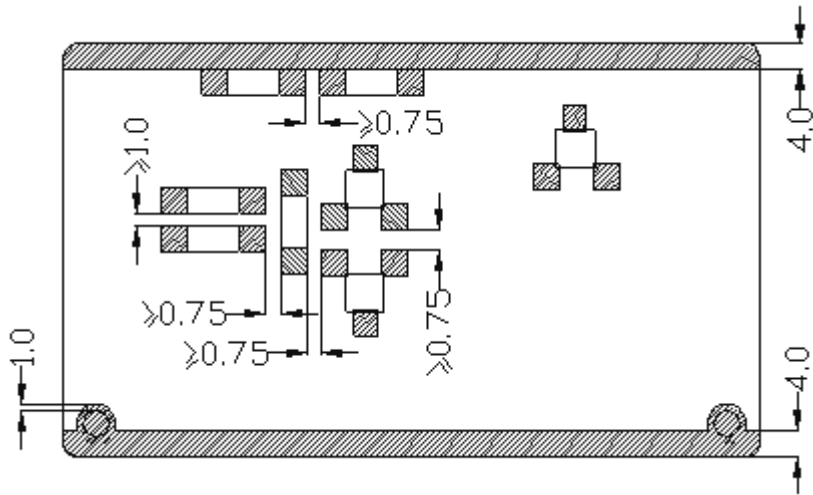


11、在用贴片元件的 PCB 板上，为了提高贴片元件的贴装准确性，PCB 板上必须设有校正标记 (MARKS)，且每一块板最少要两个标记，分别设于 PCB 的一组对角上，如下图：

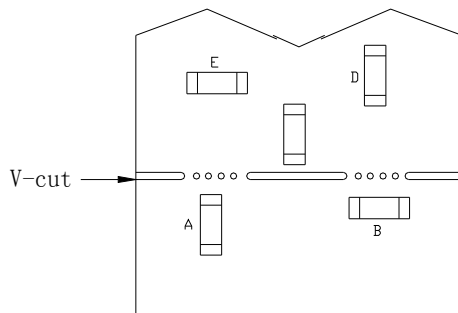
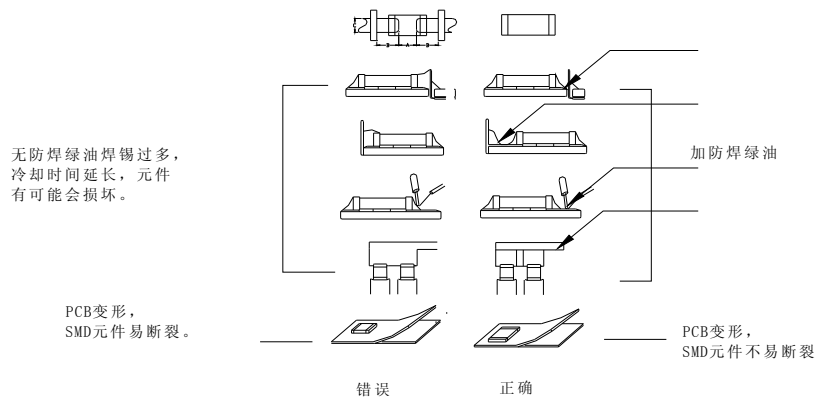


12、贴片元件的间距：

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 20 of 27



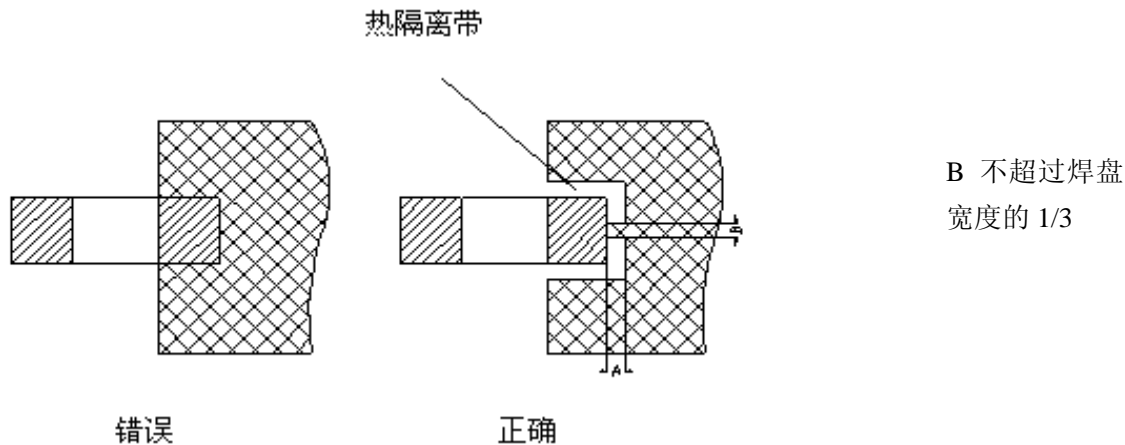
13、贴片元件与电插元件脚之间的距离，如图：



A、B、C、D、E位置的SMD元件，E位置远离V-cut槽，且元件放置方向与V-cut槽平行，在分断PCB时受力最小，受力大小如下：
 $A > B > C > D > E$ ，所以E位置最好。

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 21 of 27

14、SMD 器件的引脚与大面积铜箔连接时，要进行热隔离处理，如下图：



C：检查部分

（一）、正面丝印检查

将第一、二层铜箔，走线，第 27、28 层阻焊、第二层焊盘、27 层二维线都关闭。只显示 26 层字符、二维线、第一层焊盘、24 层二维线、元件外框线、元件位号、过孔，27 层阻焊。

（二）、反面丝印检查

只显示底层元件框线、位号、第二层过孔、28 层阻焊、29 层二维线及文字，24 层二维线，其余层的颜色都关闭。

（三）、正面铜箔（只针对双面板）

只显示第一层铜箔、焊盘、过孔、走线、26 层二维线、24 层二维线且焊盘走线、铜箔、26 层线、24 层线分别用四种不同的颜色显示，以下类同，其余层的颜色都关闭。

（四）、正面阻焊

只显示第一层铜箔、走线、焊盘、过孔、27 层铜箔，其余层的颜色都关闭。

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 22 of 27

(五)、反面铜箔

只显示第二层铜箔、焊盘、过孔、走线、24 层线，其余层的颜色关闭。

(六)、反面阻焊

只显示第二层铜箔、走线、焊盘、过孔、28 层铜箔，其余层的颜色都关闭。

(七)、孔图检查

显示第 24 层二维线、文字、第一二层铜箔、走线、焊点，其余层的颜色都关闭。

(八)、第 1、2 层字符、二维线

只显示第 1、2 层字符、二维线，看是否有必要，如有必要显示其铜箔是否与其过近,其余层的颜色都关闭。

(九) 交板时用 CHECK 功能检查一次 (包括: Ascii、Spacing 两项)。

1) 爬电距离		2) 电气间隙	
一、一般 AC-DC 电源 (120VAC—240VAC)			
L	N:	3.2 保险前	2.5
		2.5 保险后	2.0
初	地	3.4	2.5
整流桥前	整流桥后	2.5	2.0
F _前	F _后	3.2	2.5
MOS (开关管)	地	4.0	2.8
初	次	8.0	5.0
次	地	1.4	0.7
二、带 PFC 电路 AC-DC			
初	地	4.5	2.7
初	次	9.0	5.4
三、60V 以上, 100V 以下 DC-DC 电源			
初	次	3.5	2.0
初	地	1.8	1.0
保险前 V+	V-	1.8	1.0

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 23 of 27

D: PCB 安规作业部分

一、 一般情况下的要求，特别情况下按表查找（单位：mm）

二、功能绝缘爬电距离建议如下：（不作严格要求）

电压范围	推荐最小爬电距离
小于 30V	0.3mm
30 - 50V	0.8 mm
50 - 100V	1.0 mm
100 - 200V	1.5 mm
200 - 300V	2.0 mm
300 - 400V	2.5 mm
400 - 600V	3.2 mm
600 - 1000V	5.0 mm

表 2L 最小爬电距离

mm

工作电压 V(有效值或直流值)	功能绝缘、基本绝缘和附加绝缘						
	污染等级 1	污染等级 2			污染等级 3		
	材料组别	材料组别			材料组别		
	I, II, IIIa 或 IIIb	I	II	IIIa 或 IIIb	I	II	IIIa 或 IIIb
≤50		0.6	0.9	1.2	1.5	1.7	1.9
100		0.7	1.0	1.4	1.8	2.0	2.2
125		0.8	1.1	1.5	1.9	2.1	2.4
150		0.8	1.1	1.6	2.0	2.2	2.5
200	从相应的表中 选用相应的电 气间隙	1.0	1.4	2.0	2.5	2.8	3.2
250		1.3	1.8	2.5	3.2	3.6	4.0
300		1.6	2.2	3.2	4.0	4.5	5.0
400		2.0	2.8	4.0	5.0	5.6	6.3
600		3.2	4.5	6.3	8.0	9.6	10.0
800		4.0	5.6	8.0	10.0	11.0	12.5
1000		5.0	7.1	10.0	12.5	14.0	16.0

注：允许在最接近的两点间使用线性内插法，计算的间隙值进位到小数点后 1 位。

依照附录 F，通过测量来检查其是否合格。

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 24 of 27

- 注：1、对 DC 电源输入最高电压不超过 100V，按 100 标准，初级 → 大地 $1.4+0.4$ (加工误差) = 1.8，初级 → 次级 $2 * (1.4+0.3$ (加工误差)) = 3.5。
- 2、对 AC 电源输入最高电压不超过 300V，整流桥之前：按 300 标准，L → N，L 地，N 大地，
保险前 → 保险后，初级 → 大地 $3.2+0.2$ (加工误差) = 3.4，
- 3、对 AC 电源输入最高电压不超过 300V，整流桥之后：按 400 标准，初级 → 大地 $4.0+0.1$ (加工误差) = 4.1，初级 → 次级 $2 * 4.0 = 8$ ，
- 4、所有初级 → 次级 = $2 * (初级 → 大地)$

表 2H 一次电路绝缘以及一次电路与二次电路之间的绝缘最小电气间隙 mm

工作电压 小于和等于		额定电源电压 ≤150 V (瞬态电压值 1500 V)						额定电源电压 >150 V ~ ≤300 V (瞬态电压值 2500 V)						额定电源电压 >300 V ~ ≤600 V (瞬态电压值 4000 V)		
		污染等级 1 和 2			污染等级 3			污染等级 1 和 2			污染等级 3			污染等级 1, 2 和 3		
		F	B/S	R	F	B/S	R	F	B/S	R	F	B/S	R	F	B/S	R
71	50	0.4	1.0 (0.5)	2.0 (1.0)	0.8	1.3 (0.8)	2.6 (1.6)	1.0	2.0 (1.5)	4.0 (3.0)	1.3	2.0 (1.5)	4.0 (3.0)	2.0	3.2 (3.0)	6.4 (6.0)
210	150	0.5	1.0 (0.5)	2.0 (1.0)	0.8	1.3 (0.8)	2.6 (1.6)	1.4	2.0 (1.5)	4.0 (3.0)	1.5	2.0 (1.5)	4.0 (3.0)	2.0	3.2 (3.0)	6.4 (6.0)
420	300	F1.5, B/S2.0(1.5) R4.0(3.0)												2.5	3.2 (3.0)	6.4 (6.0)
840	600	F3.0, B/S3.2(3.0) R6.4(6.0)												..		
1400	1000	F/B/S4.2 R 6.4												.		
2800	2000	F/B/S/R 8.4														
7000	5000	F/B/S/R 17.5														
9800	7000	F/B/S/R 25														
14000	10000	F/B/S/R 37														
28000	20000	F/B/S/R 80														
42000	30000	F/B/S/R 130														

1) 表中的数值适用于功能绝缘(F), 基本绝缘(B), 附加绝缘(S)和加强绝缘(R)。
 2) 只有在制造时执行有效的质量控制程序, 以提供至少相当于如附录 R2 中示例的可靠等级时, 括号中的数值才适用于基本绝缘、附加绝缘和加强绝缘, 特别应指出, 对双重绝缘或加强绝缘, 应承受例行的抗电强度试验。
 3) 对在 2800 V 和 4200 V 峰值或直流值之间的工作电压, 可以在最靠近的两点之间使用线性内插法, 所计算的间隙值进位到小数点后 1 位。

注：初级 → 地，L → N = $2.0+0.3$ (附加间隙)+ 0.2 (加工误差及测量误差) = 2.5; 初级 →

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 25 of 27

次级=4.0+0.6+0.4=5.0。

表 2J 对峰值电压超过电源电压峰值的一次电路的绝缘的附加间隙

额定电源电压 ≤ 150 V		额定电源电压 > 150 V ~ ≤ 300 V	附加的间隙 mm	
污染等级 1 和 2	污染等级 3	污染等级 1, 2 和 3	功能绝缘, 基本绝缘 或附加绝缘	加强绝缘
最大的峰值 工作电压, V	最大的峰值 工作电压, V	最大的峰值 工作电压, V		
210(210)	210(210)	420(420)	0	0
298(288)	294(293)	493(497)	0.1	0.2
368(366)	379(376)	567(575)	0.2	0.4
474(444)	463(459)	640(652)	0.3	0.6
562(522)	547(541)	713(729)	0.4	0.8
650(600)	632(624)	787(807)	0.5	1.0
738(678)	715(707)	860(884)	0.6	1.2
826(756)	800(790)	933(961)	0.7	1.4
914(839)		1006(1039)	0.8	1.6
1002(912)		1080(1116)	0.9	1.8
1090(990)		1153(1193)	1.0	2.0
		1226(1271)	1.1	2.2
		1300(1348)	1.2	2.4
		—(1425)	1.3	2.6

在下列情况下, 应使用括号中的数值:
 —— 当表 2H 的括号中的数值按照表 2H 的注 2) 使用时; 和
 —— 对于功能绝缘。

表 2H 适用于不会承受到超过 GB/T 16935.1 所规定的 II 类设施瞬态过电压的设备。在每个额定电源电压栏目的括号中给出了电网电源瞬态过电压值, 如果预计会遇到更高的瞬态过电压, 则必需在给设备供电的电源或安装设施中提供附加的保护。

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 26 of 27

工作电压 小于和等于		额定电源电压 ≤150V (二次电路的瞬态额定值 800V), 见 5)						额定电源电压 >150V~≤300V (二次电路的瞬态额定值 1500V), 见 5)						额定电源电压 >300V~≤600V (瞬态额定值 4000V), 见 5)			不承受瞬态 过 电压的电 路, 见 4)		
V(峰 值或 直流 值)	V(有 效值) (正 弦)	污 染 等 级 1 和 2			污 染 等 级 3			污 染 等 级 1 和 2			污 染 等 级 3			污 染 等 级 1, 2 和 3			仅 污 染 等 级 1 和 2		
		F	B/S	R	F	B/S	R	F	B/S	R	F	B/S	R	F	B/S	R	F	B/S	R
71	50	0.4 (0.2)	0.7 (0.2)	1.4 (0.4)	1.0 (0.8)	1.3 (0.8)	2.6 (1.6)	0.7 (0.5)	1.0 (0.5)	2.0 (1.0)	1.0 (0.8)	1.3 (0.8)	2.6 (1.6)	1.7 (1.5)	2.0 (1.5)	4.0 (3.0)	0.4 (0.2)	0.4 (0.2)	0.8 (0.4)
140	100	0.6 (0.2)	0.7 (0.2)	1.4 (0.4)	1.0 (0.8)	1.3 (0.8)	2.6 (1.6)	0.7 (0.5)	1.0 (0.5)	2.0 (1.0)	1.0 (0.8)	1.3 (0.8)	2.6 (1.6)	1.7 (1.5)	2.0 (1.5)	4.0 (3.0)	0.6 (0.2)	0.7 (0.2)	1.4 (0.4)
210	150	0.6 (0.2)	0.9 (0.2)	1.8 (0.4)	1.0 (0.8)	1.3 (0.8)	2.6 (1.6)	0.7 (0.5)	1.0 (0.5)	2.0 (1.0)	1.0 (0.8)	1.3 (0.8)	2.6 (1.6)	1.7 (1.5)	2.0 (1.5)	4.0 (3.0)	0.6 (0.2)	0.7 (0.2)	1.4 (0.4)
280	200	F1.1(0.8)B/S1.4(0.8)R2.8(1.6)												1.7 (1.5)	2.0 (1.5)	4.0 (3.0)	1.1 (0.2)	1.1 (0.2)	2.2 (0.4)
420	300	F1.6(1.0)B/S1.9(1.0)R3.8(2.0)												1.7 (1.5)	2.0 (1.5)	4.0 (3.0)	1.4 (0.2)	1.4 (0.2)	2.8 (0.4)
700 840 1400	500 600 100 0	F/B/S 2.5 R5.0 F/B/S3.2 R5.0 F/B/S 4.2 R5.0																	
2800 7000 9800 1400 0 100 2800 0 4200 0	200 0 500 0 700 0 100 0 200 0 300 0	F/B/S/R 8.4 见 6) F/B/S/R 17.5 见 6) F/B/S/R 25 见 6) F/B/S/R 37 见 6) F/B/S/R 80 见 6) F/B/S/R 130 见 6)																	

电源技术有限公司		编 码	
		版 本	V01
文件名称	PCB layout 作业指导书	页 码	Page 27 of 27

表 2K 二次电路的最小电气间隙

注：对 DC 电源输入最高电压不超过 150V，按 150 标准，初级 地=0.9+0.1=1.0, 初级 次级 =2*(0.9+0.1)=2.0

表 2K(完)

mm

工作电压 小于和等于	额定电源电压 ≤150 V (二次电路的瞬态额定值 800 V), 见5)	额定电源电压 >150 V~≤300 V (二次电路的瞬态额定值 1500 V), 见5)	额定电源电压 >300 V~≤600 V (瞬态额定 值 4000 V), 见5)	不承受瞬态过 电压的电路, 见4)
---------------	---	---	--	----------------------

- 1) 表中的数值适用于功能绝缘(F), 基本绝缘(B), 附加绝缘(S)和加强绝缘(R)。
- 2) 只有在制造时执行有效的质量控制程序, 以提供至少相当于如在附录 R 中示例的可靠等级时括号中的数值才适用于基本绝缘、附加绝缘或加强绝缘, 特别应指出, 对双重绝缘或加强绝缘, 应承受例行的抗电强度试验。
- 3) 对在 2800 V 和 42000 V 峰值或直流值之间的工作电压, 可以在最靠近的两点之间使用线性内插法。所计算的间隙值进位到小数点后 1 位。
- 4) 表中的数值适用于已可靠接地的, 而且有容性滤波的能将直流电压中纹波电压峰峰值限制在 10% 的直流二次电路。
- 5) 如果设备中的瞬态电压超过了这个值, 应使用较高的值。
- 6) 如果间隙通路是如下的情况, 则不要求符合 8.4mm 或大于 8.4mm 的间隙值:
 - 完全通过空气; 或
 - 整个地或部分地沿着 I 组材料的绝缘材料的表面; 以及涉及的绝缘按照 5.2.2 使用如下的电压值, 通过抗电强度试验, 则不要求符合 8.4mm 或大于 8.4mm 的间隙值:
 - 其有效值等于 1.06 倍峰值工作电压的交流试验电压; 或
 - 上述交流试验电压峰值的直流试验电压。
 如果间隙通路部分地沿着非 I 组材料的材料表面, 抗电强度试验仅通过空气间隙进行。

6.0 支持文件

无

7.0 记录

无

8.0 附录