

本应用笔记介绍了如何将您的设计从 SPOC Builder 移植到 Qsys 的指南以及涉及到的其它相关问题。

打开 Qsys 中的 SPOC Builder 系统

请执行以下步骤来运行 Quartus II 软件中的 Qsys:

1. 点击 Tool 菜单中的 **Qsys** 命令。
2. 点击 File 菜单中的 **Open** 命令来打开您的 SPOC Builder 文件 (.sopc)。

当打开一个现有的 .sopc 文件时, Qsys 会提示清除 project 目录中的 SPOC Builder 文件。该选项将 SPOC Builder 生成的文件转移到 project 目录下的备份子文件夹中, 但并不转移 SPOC Builder 生成的 HDL 文件。Altera 建议使能该选项以备份旧的文件。

SPOC Builder 到 Qsys 的转换

当用 Qsys 打开 SPOC Builder 文件时, 会出现几个从 SPOC Builder 组件到 Qsys 兼容组件的转换。这部分对这些转换作了介绍。

Avalon-MM 桥接

Qsys 提供一组不同的 Avalon® Memory-Mapped (Avalon-MM) Pipeline 以及 Avalon-MM Clock Crossing 桥接。如果您的系统使用其中的一种桥接, 那么 Qsys 会自动将它更新到新的桥接。SPOC Builder 和 Qsys 之间的每一桥接的参数设置会有所不同。然而, Qsys 会将所有的桥接参数移植到新的桥接上。



要了解关于 Qsys Avalon-MM 桥接的详细信息, 请参考 Quartus II 手册的 [Qsys 互联](#) 章节。

定制指令

Qsys 对 Nios® II 定制指令进行转换。转换后, 定制指令组件会出现在 **System Contents** 标签页中。转换后如果定制指令组件没有和 Nios II CPU 连接上, 那么请执行以下的步骤:

1. 删除断开的定制指令以及相关的互联组件。

2. 从 Component Library 中手动添加定制指令并连接到相应的定制指令主设备。

Interrupt Vector 以及 Endian Converter 定制指令已经从 Qsys 中删除。您能够生成使用这些定制指令的设计。然而，在 Component Library 中不会找到这些定制指令。如果在您的设计中需要这些定制指令，请不要删除。

或者，您可以用 Vectored Interrupt Controller (VIC) 替代 Interrupt Vector 功能。

 要了解关于 Vectored Interrupt Controller 的详细信息，请参考 *Embedded Peripherals IP User Guide* 以及 *AN 595: Vectored Interrupt Controllers Usage and Applications* 中的 Vectored Interrupt Controller Core 章节。

三态组件

为了与片外三态器件连接，Qsys 提供了一个三态控制器方案并且不再使用 Avalon-MM Tristate Bridge。在 Qsys 中，通过 Avalon Tristate Conduit Interface 来访问三态接口。实现过程涉及到下面三个组件：

- 通用三态控制器 (Generic Tristate Controller)
- 三态引脚共享器 (Tristate Conduit Pin Sharer)
- 三态桥接 (Tristate Conduit Bridge)

 要了解关于 Qsys 三态组件的详细信息，请参考 *Avalon Tri-State Conduit Components User Guide*。

保存 Qsys 系统

用 Qsys 打开 SOPC Builder 系统后，您可以使用不同的文件名来保存 SOPC Builder 系统，从而对系统进行了重命名。请不要以器件名来重命名系统，例如：Qsys 中的 cycloneiii_system.sopc，因为这样会导致 ModelSim 仿真器在编译期间发生错误。

Qsys 组件支持

Qsys 可能会显示组件不被支持的警告信息。您可以从系统中移除不被支持的组件并用相似的组件来替换。

用户定制组件

Qsys 仅支持基于 Tcl (**hw.tcl** 文件) 的定制组件。Qsys 不支持 SOPC Builder 7.1 或者之前版本中由 Component Editor 建立的基于外设模板文件 (**.ptf**) 的组件。将设计移植到 Qsys 之前，需要将 SOPC Builder 中基于 **.ptf** 的组件转换成 Tcl 格式。

 要了解详细信息，请参考 *Updating Your Component with SOPC Builder Component Editor Version 7.2 and Later*。

含有 ALTMEMPHY 的 DDR/DDR2/DDR3 SDRAM 控制器

对于 Stratix III, Stratix IV and Stratix V 设计, 您不能使用含有 ALTMEMPHY 的 DDR/DDR2/DDR3 SDRAM 控制器, 需要对设计进行升级后才能使用。

 要了解详细信息, 请参考 External Memory Interface Handbook 中的 *UniPHY Design Tutorials* 部分。

锁相环

传统的 SOPC Builder 锁相环 (PLL) 组件的状态信号, 例如: **locker** 和 **pdfena**, 不能导出至 Qsys 设计的顶层。如果您的设计使用这一组件, 您需要升级到 Avalon ALTPLL (用于 pre-Stratix V 器件) 或者 Altera PLL (用于 Stratix V 以及更新的器件)。

Nios II 处理器 CPUID

在 Qsys 中, 不会自动分配 Nios II 处理器 CPUID 的值。您需要手动为系统中每个处理器分配一个唯一 CPUID 值, 在参数接口中 **Advanced Features** 下面的 **cpuid control register value** 项中输入该值。

System ID 外设

在使用 System ID 外设的移植系统中, 软件 C 的宏命名已由 `__ALTERA_AVALON_SYSID` 更改成 `__ALTERA_AVALON_SYSID_QSYS`。您需要对使用这个宏命名的软件代码进行升级。该命名变更不会影响下载 Nios II 代码到 FPGA。

Qsys 模块与实例名变更

Qsys 中分配给组件的名称是 HDL 实例名, Qsys 分配的模块名包含作为前缀的层级路径名。例如, 如果添加一个并行 I/O 组件并命名为 `pio_0`, 系统命名为 `my_system`, 实例名为 `pio_0`, 那么由 Qsys 分配的模块名为 `my_system_pio_0`。

您需要检查任何依赖于模块以及实例名的文件或者约束, 以确保它们是用最新名称更新的。表 1 列出了受影响的文件例子。

表 1. 由于实例名变更而受影响的文件例子

文件类型	例子
Synopsys Design Constraints (SDC) 时序约束	如果您要参考时序通路约束中的实例名, 必须用最新的实例名来更新时序约束。

Avalon 接口与互联

对于 Avalon 接口，在移植过程中有几点需要特别注意。

不建议使用的 Avalon-MM 流程控制信号

Avalon-MM 流程控制信号是不建议使用的。Qsys 可能会报告说无法识别 dataavailable 以及 readyfordata 信号。如果您的定制组件使用 Avalon-MM 流程控制信号，那么需要重新设计组件接口。当使用处理非数据流的 Avalon-MM 接口时，可以考虑在组件上添加一个 Avalon Streaming (Avalon-ST) 接口以处理数据流。如果信号不是组件所需要的，您可以忽略关于这些信号的警告信息。

不建议使用 Avalon-MM Flush 信号

Qsys 不支持主组件中的 flush 信号。作为对策，任何依赖于 flush 信号的主组件需要监控读取请求，当需要时停止发起读取请求，并且忽略所有正在返回的未决读数据。所有该忽略的数据返回后，主端口才可以再一次开始发起传输。

Avalon-MM wait-request 信号

如果 Avalon-MM 的主组件配置成 wait-request 信号置低之前要一直等待，那么传输有可能会死锁。主组件应该独立于 wait-request 信号来发起读写传输。

Avalon-MM 突发传送与仲裁份额

在 SOPC Builder 中，仲裁份额不影响可突发主端口，主端口得到仲裁许可基于它配置的突发数。

在 Qsys 中，您能够通过设置仲裁份额来控制仲裁允许的每个主端口突发传输的数量。例如，如果仲裁份额值是四，主端口突发数量是八，那么主端口允许在从端口上有四个突发传送。该例子仅适用于不间断突发访问；如果突发主端口在突发期间有空闲周期，那么仲裁器也会将仲裁许可分配给其他主设备。

工程设置

这一部分讨论了 Qsys 中 Project Settings 标签下的系统级参数。

器件系列

Qsys 中的器件系列参数与 SOPC Builder 中的相同。

时钟交叉适配器类型

默认情况下 Qsys 将时钟交叉适配器类型设置为 **Handshake**，这也是 SOPC Builder 中的时钟交叉适配器类型。您也可以将时钟交叉适配器类型改成 FIFO 或者 Auto Selection, Auto Selection 会根据传送类型在 Handshake 和 FIFO 之间进行选择。

Pipeline Stages 设定

对于移植系统，Qsys 将 Pipeline Stages 设置为零以便与 SOPC Builder 的延时相一致，不会对系统互联架构增加延时。与 SOPC Builder 不同，新系统中的默认设置为一。

后系统生成

这一部分介绍了您需要了解的关于移植系统的后系统生成的变化。

IP 文件 (.qip)

Qsys 不会自动在 Quartus II 工程上添加源文件。Qsys 会生成用来添加到 Quartus II 工程上的 QIP 文件。

在 Quartus II 工程中例化 Qsys 系统

Qsys 会尽可能地为 SOPC Builder 上移植过来的系统保留同一端口名。然而，对于含有 ALTMEMPHY 的 DDR/DDR2/DDR3 SDRAM 控制器系统，当系统由 Qsys 产生时，不会对 global_reset_n 端口名进行移植。例如，如果控制器实例名是 altmemddr_0，那么全局 reset_n 端口被命名为 altmemddr_0_reset_n。您需要根据这一变化对顶层例化进行重命名。

如果通过原理图符号来例化 Qsys 系统，需要右击已有原理图符号然后单击 **Update Symbol or Block**。Qsys 系统符号周围的端口布板与 SOPC Builder 产生的符号不同，所以需要相应地重新建立与符号的连接。

您可以连接引脚与 Qsys 生成的原理图符号，通过右击原理图并选择 **Generate Pins for Symbol Ports**。请不要手动连接引脚和原理图符号，因为这样会导致 Quartus II 编译错误。

复位输入端口

在您的 Qsys 系统中，系统的顶层文件可能含有每个时钟输入的多个复位输入端口。您可以在设计中连接所有的复位输入端口引脚到单一复位源。通过将所有复位接口连接在一起来创建单一全局复位信号，在 System 菜单上点击 Create Global Reset Network 即可。

文档修订历史

表 2 列出了本应用手册修订历史。

表 2. 文档修订历史

日期	版本	修订内容
2011 年 5 月	2.0	首次发布。
2010 年 12 月	1.0	Beta 版首次发布。