

硬件设计中一些术语的简称

1. 什么是 BOM
2. 什么是 LDO
3. 什么是 ESR
4. 什么是 TTL
5. 什么是 MOS、NMOS、PMOS、CMOS
6. 什么是 OC、OD
7. 什么是线或逻辑与线与逻辑
8. 什么是推挽结构
9. 什么是 MCU、RISC、CISC、DSP
10. 什么是 FPGA 和 ASIC
11. FPGA 与 CPLD 的异同点

1. BOM(BillOfMaterial), 是制造业管理的重点之一, 简单的定义就是“记载产品组成所需使用材料的表”。以一个新产品的诞生来看: 首先是创意与可行性研究的初期过程, 接下来的过程就是初步的工程技术分析与原型产品的设计, 等到原型产品比较稳定后, 经过自制或外购分析 (MakeorBuyAnalysisandDecision) 后就会产生第一版的工程料表 (EBOM, EngineeringBOM)。到正式量产之前, 第一版的生产料表 (PBOM, ProductionBOM) 必须先完成, 以便企业内的相关部门有所遵循。在此之后, 就进入了正常的例行维护阶段。

2. 什么是 LDO (低压降) 稳压器?

LDO 是一种线性稳压器。线性稳压器使用在其线性区域内运行的晶体管或 FET, 从应用的输入电压中减去超额的电压, 产生经过调节的输出电压。所谓压降电压, 是指稳压器将输出电压维持在其额定值上下 100mV 之内所需的输入电压与输出电压差额的最小值。正输出电压的 LDO (低压降) 稳压器通常使用功率晶体管 (也称为传递设备) 作为 PNP。这种晶体管允许饱和, 所以稳压器可以有一个非常低的压降电压, 通常为 200mV 左右; 与之相比, 使用 NPN 复合电源晶体管的传统线性稳压器的压降为 2V 左右。负输出 LDO 使用 NPN 作为它的传递设备, 其运行模式与正输出 LDO 的 PNP 设备类似。更新的发展使用 CMOS 功率晶体管, 它能够提供最底的压降电压。使用 CMOS, 通过稳压器的唯一电压压降是电源设备负载电流的 ON 电阻造成的。如果负载较小, 这种方式产生的压降只有几十毫伏。

3. 什么是 ESR

电容的等效串联电阻, 越低的话 Q 值越小。

4. 什么是 TTL

Transistor-Transistor Logic 晶体管-晶体管逻辑电路 (双极性型电路, 指包含电子和空穴两种极性的载流子)

5. 什么是 MOS、NMOS、PMOS、CMOS

MOS(Metal-OxideSemiconductor 金属-氧化物半导体场效应管, 单极性) 有增强型和耗尽型两种, 主要是以下三类:

P 沟道增强型管构成的 PMOS 电路

N 沟道增强型管构成的 NMOS 电路

PMOS 和 NMOS 构成的 CMOS(互补 MOS, Complementary Metal-Oxide-Semiconductor Transistor 互补型金属氧化物半导体)电路

6. 什么是 OC、OD

集电极开路门(集电极开路 OC 或源极开路 OD)。open-drain 是漏极开路输出的意思, 相当于集电极开路(open-collector)输出, 即 ttl 中的集电极开路(oc)输出。一般用于线或、线与, 也有的用于电流驱动。open-drain 是对 mos 管而言, open-collector 是对双极型管而言, 在用法上没啥区别。

开漏形式的电路有以下几个特点:

a. 利用外部电路的驱动能力, 减少 IC 内部的驱动。或驱动比芯片电源电压高的负载。

b. 可以将多个开漏输出的 Pin, 连接到一条线上。通过一只上拉电阻, 在不增加任何器件的情况下, 形成“与逻辑”关系。这也是 I2C, SMBus 等总线判断总线占用状态的原理。如果作为图腾输出必须接上拉电阻。接容性负载时, 下降延是芯片内的晶体管, 是有源驱动, 速度较快; 上升延是无源的外接电阻, 速度慢。如果要求速度高电阻选择要小, 功耗会大。所以负载电阻的选择要兼顾功耗和速度。

c. 可以利用改变上拉电源的电压, 改变传输电平。例如加上上拉电阻就可以提供 TTL/CMOS 电平输出等。

d. 开漏 Pin 不连接外部的上拉电阻, 则只能输出低电平。一般来说, 开漏是用来连接不同电平的器件, 匹配电平用的。

正常的 CMOS 输出级是上、下两个管子, 把上面的管子去掉就是 OPEN-DRAIN 了。这种输出的主要目的有两个: 电平转换和线与。

由于漏级开路, 所以后级电路必须接一上拉电阻, 上拉电阻的电源电压就可以决定输出电平。这样你就可以进行任意电平的转换了。

线与功能主要用于有多个电路对同一信号进行拉低操作的场合, 如果本电路不想拉低, 就输出高电平, 因为 OPEN-DRAIN 上面的管子被拿掉, 高电平是靠外接的上拉电阻实现的。(而正常的 CMOS 输出级, 如果出现一个输出为高另外一个为低时, 等于电源短路。)

OPEN-DRAIN 提供了灵活的输出方式, 但是也有其弱点, 就是带来上升沿的延时。因为上升沿是通过外接上拉无源电阻对负载充电, 所以当电阻选择小时延时就小, 但功耗大; 反之延时大功耗小。所以如果对延时有要求, 则建议用下降沿输出。

7. 什么是线或逻辑与线与逻辑?

在一个结点(线)上, 连接一个上拉电阻到电源 VCC 或 VDD 和 n 个 NPN 或 NMOS 晶体管的集电极 C 或漏极 D, 这些晶体管的发射极 E 或源极 S 都接到地线上, 只要有一个晶体管饱和, 这个结点(线)就被拉到地线电平上。

因为这些晶体管的基极注入电流(NPN)或栅极加上高电平(NMOS), 晶体管就会饱和, 所以这些基极或栅极对这个结点(线)的关系是或非 NOR 逻辑。如果这个结点后面加一个反相器, 就是或 OR 逻辑。如果用下拉电阻和 PNP 或 PMOS 管就可以构成与非 NAND 逻辑, 或用负逻辑关系转换与/或逻辑。

这些晶体管常常是一些逻辑电路的集电极开路 OC 或源极开路 OD 输出端。这种逻辑通常称为线与/线或逻辑, 当你看到一些芯片的 OC 或 OD 输出端连在一起, 而有一个上拉电阻时, 这就是线或/线与了, 但有时上拉电阻做在芯片的输入端内。

顺便提示如果不是 OC 或 OD 芯片的输出端是不可以连在一起的, 总线 BUS 上的双向输出端连在一起是有管理的, 同时只能有一个作输出, 而其他是高阻态只能输入。

8. 什么是推挽结构

一般是指两个三极管分别受两互补信号的控制,总是在一个三极管导通的时候另一个截止.要实现线与需要用 OC(open collector) 门电路.如果输出级的有两个三极管,始终处于一个导通、一个截止的状态,也就是两个三极管推挽相连,这样的电路结构称为推拉式电路或图腾柱 (Totem-pole) 输出电路 (可惜,图无法贴上)。当输出低电平时,也就是下级负载门输入低电平时,输出端的电流将是下级门灌入 T4;当输出高电平时,也就是下级负载门输入高电平时,输出端的电流将是下级门从本级电源经 T3、D1 拉出。这样一来,输出高低电平时,T3 一路和 T4 一路将交替工作,从而减低了功耗,提高了每个管的承受能力。又由于不论走哪一路,管子导通电阻都很小,使 RC 常数很小,转变速度很快。因此,推拉式输出级既提高电路的负载能力,又提高开关速度。供你参考。

是两个参数相同的三极管或 MOSFET,以推挽方式存在于电路中,各负责正负半周的波形放大任务,电路工作时,两只对称的功率开关管每次只有一个导通,所以导通损耗小 效率高。输出既可以向负载灌电流,也可以从负载抽取电流。

推挽电路是两不同极性晶体管输出电路无输出变压器 (有 OTL、OCL 等)。

是兩個參數相同的三極管或 MOSFET,以退晚方式存在於電路中,各負責正負半周的波形放大任務

9. 什么是 MCU、RISC、CISC、DSP

MCU(Micro Controller Unit),又称单片微型计算机(Single Chip Microcomputer),简称单片机,是指随着大规模集成电路的出现及其发展,将计算机的 CPU、RAM、ROM、定时计数器和多种 I/O 接口集成在一片芯片上,形成芯片级的计算机。MCU 按其存储器类型可分为 MASK(掩模)ROM、OTP(一次性可编程)ROM、FLASH ROM 等类型。MASK ROM 的 MCU 价格便宜,但程序在出厂时已经固化,适合程序固定不变的应用场合;FLASH ROM 的 MCU 程序可以反复擦写,灵活性很强,但价格较高,适合对价格不敏感的应用场合或做开发用途;OTP ROM 的 MCU 价格介于前两者之间,同时又拥有一次性可编程能力,适合既要求一定灵活性,又要求低成本的应用场合,尤其是功能不断翻新、需要迅速量产的电子产品。

RISC,精简指令集计算机,指的是 CPU 指令集的一种。RISC 指令集的每条指令简单,执行的动作更少,但整体的时钟速度可以很高,通常可以提高 CPU 性能。

CISC,复杂指令集计算机,指的是另一种 CPU 指令集。CISC 指令集的每条指令复杂,功能丰富,相对于 RISC 指令集,执行同一个功能所需的指令更少,而执行每条指令的时间会更长。

DSP (digital signal processor) 是一种独特的微处理器,是以数字信号来处理大量信息的器件。其工作原理是接收模拟信号,转换为 0 或 1 的数字信号,再对数字信号进行修改、删除、强化,并在其他系统芯片中把数字数据解译回模拟数据或实际环境格式。

DSP 芯片,也称数字信号处理器,是一种特别适合于进行数字信号处理运算的微处理器具,其主机应用是实时快速地完成各种数字信号处理算法。根据数字信号处理的要求,DSP 芯片一般具有如下主要特点:

- (1) 在一个指令周期内可完成一次乘法和一次加法;
- (2) 程序和数据空间分开,可以同时访问指令和数据;
- (3) 片内具有快速 RAM,通常可通过独立的数据总线在两块中同时访问;
- (4) 具有低开销或无开销循环及跳转的硬件支持;
- (5) 快速的中断处理和硬件 I/O 支持;
- (6) 具有在单周期内操作的多个硬件地址产生器;
- (7) 可以并行执行多个操作;
- (8) 支持流水线操作,使取指、译码和执行等操作可以重叠执行。

当然,与通用微处理器相比,DSP 芯片的其他通用功能相对较弱些。

10. 什么是 FPGA 和 ASIC

FPGA 是可编程 ASIC。ASIC:专用集成电路,它是面向专门用途的电路,专门为一个用户设计和制造的。根据一个用户的特定要求,能以低研制成本,短交货周期供货的全定制,半定制集成电路。与门阵列等其它 ASIC(Application Specific IC)相比,它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点。

11. FPGA 与 CPLD 的异同点

a. 逻辑单元的粒度不一样,设计灵活性不同。FPGA 逻辑单元的粒度比 CPLD 小,因此设计更为灵活。

b. FPGA 芯片的逻辑门密度比 CPLD 芯片高。

c. CPLD 的内连接采用交叉开关结构,其内连率很高,内部连接长度不会累积。FPGA 采用有限的布线线段连接内部各部件,内部连接长度会产生积累,因此需要人工布局布线来优化速度和面积。

d. CPLD 的布线结构决定了它的时序延时是均匀和可预测的,即在设计输入不变的情况下,每次布局布线后其时序延时是一定的。FPGA 分段式布线结构导致了每次布局布线后延时是不一样的。

e. CPLD 更适合于完成各类算法和组合逻辑,而 FPGA 更适合于完成时序较多的逻辑电路。