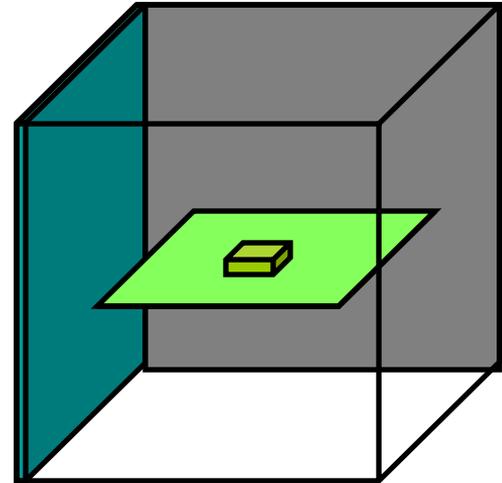


θ_{ja} 结-空气热阻

□ θ_{ja}

- 最早也是最常用的标准之一
- 定义标准由文件 JESD51-2给出

$$\theta_{ja} = \frac{T_j - T_a}{P}$$



- T_a = 环境空气温度, 取点为 JEDEC组织定义的特定空箱中特定点 (Still-Air Test)
- 芯片下印制板可为高传导能力的四层板(2S2P)或低传导能力的一层板之任一种 (1S0P)

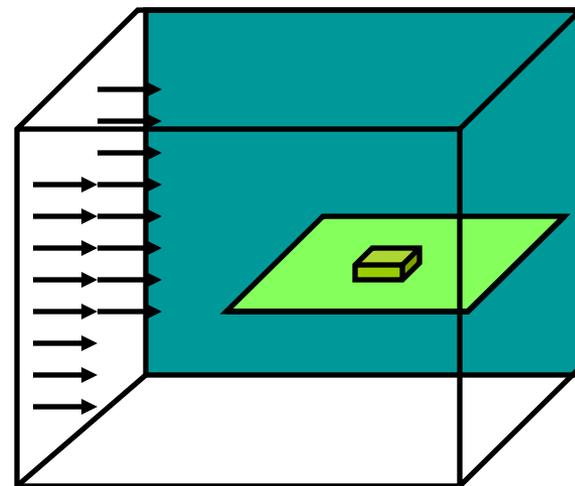
θ_{jma} 结-移动空气热阻

□ θ_{jma}

- 空气流速范围为 0-1000 LFM
- 定义标准由文件 JESD51-6给出

$$\theta_{jma} = \frac{T_j - T_a}{P}$$

- T_a = 空气温度，取点为风洞上流温度
- 印制板朝向为重大影响因素

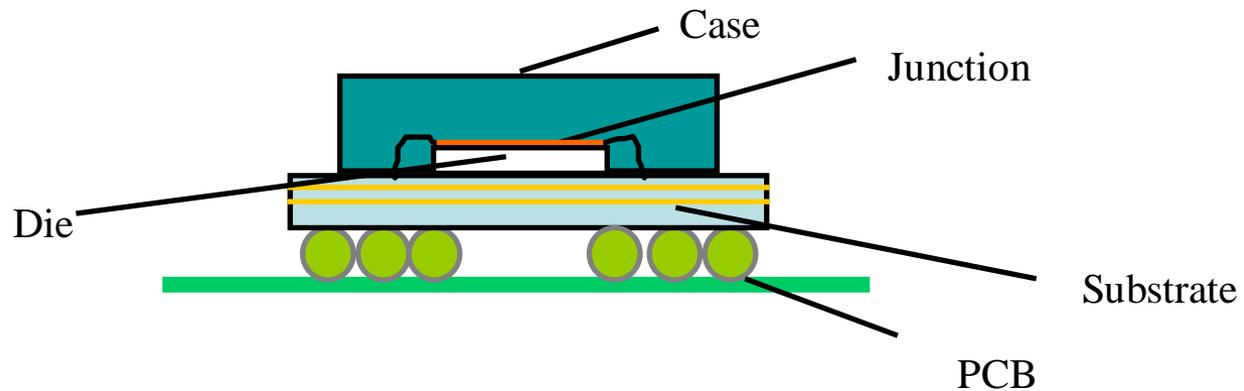


θ_{jc} 结壳热阻

□ θ_{jc}

— 从结点到封装外表面(壳)的热阻，外表面壳取点尽量靠近**Die**安装区域

$$\theta_{jc} = \frac{T_j - T_c}{P}$$



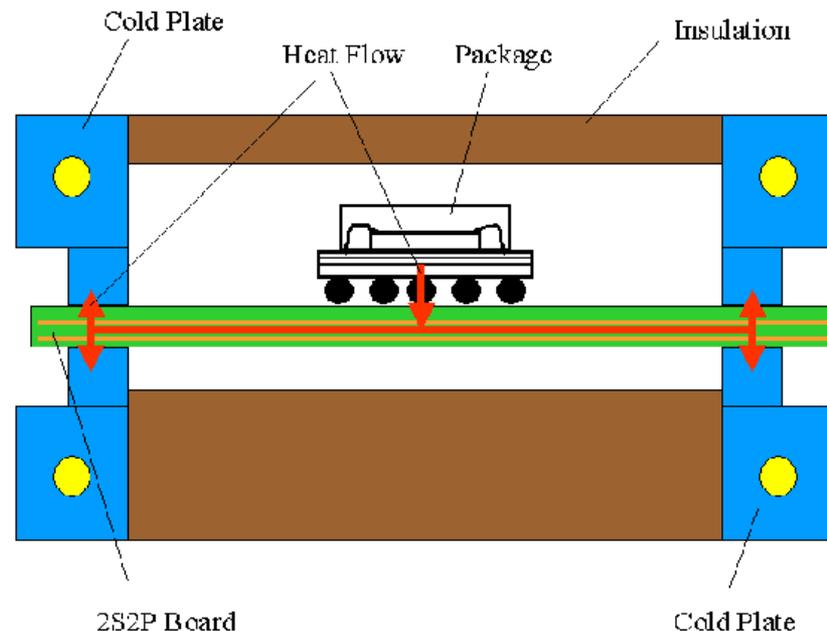
θ_{jb} 结板热阻

- θ_{jb}
 - 从结点至印制板的热阻
 - 定义标准由文件 JESD51-8给出

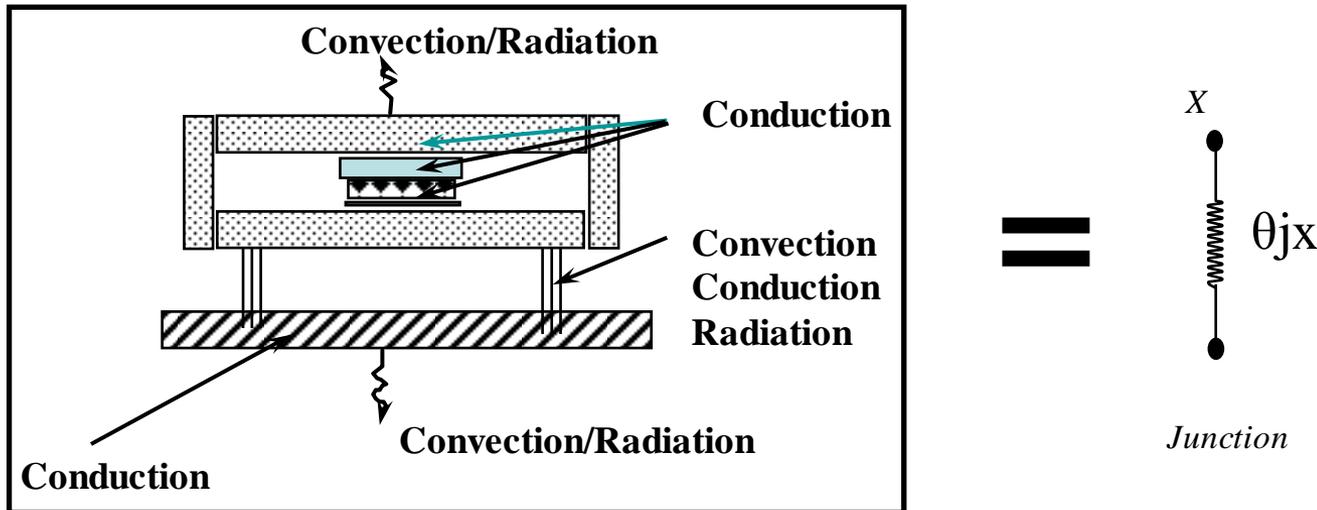
$$\theta_{jb} = \frac{T_j - T_b}{P}$$

严格地讲， θ_{JB} 不仅仅反映了芯片的内热阻，同时也反映了部份环境热阻，如印制板。正因如此， θ_{JB} 相对于其它热阻而言，虽然JEDEC组织在99年就发布了它的热阻定义方式，但是芯片供应商采用较慢。

部份传热路径严重不对称芯片，如TO-263目前尚无该热阻的定义标准



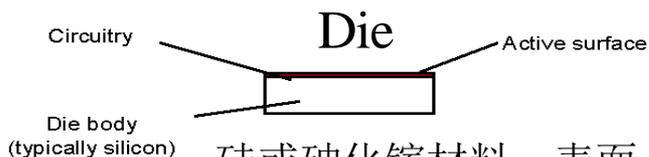
θ_{jx} 使用的局限性



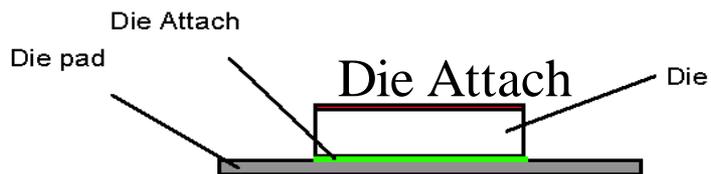
- θ_{jx} 试图采用简单的热阻表示复杂的芯片传热现象
- 芯片内部的热传现象非常复杂，无法使用热阻来完美表示；
- 热阻 θ_{jx} 无法用于准确预测芯片的温度，只能提供定性的热性能对比；
- 如需准确预测特定工况下芯片的温度，我们需要其它的方法

芯片的详细模型

建立所有芯片内部所有影响传热的结构



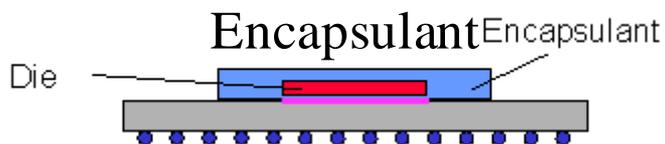
硅或砷化镓材料，表面有发热集成电路



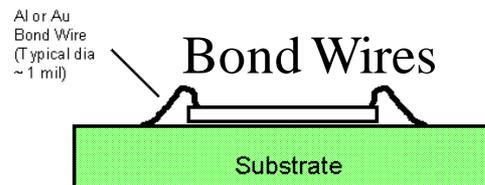
通常为环氧树脂，厚为1-2mil



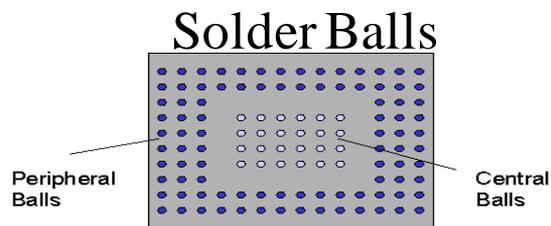
铜制，用于加强传热或其它目的地



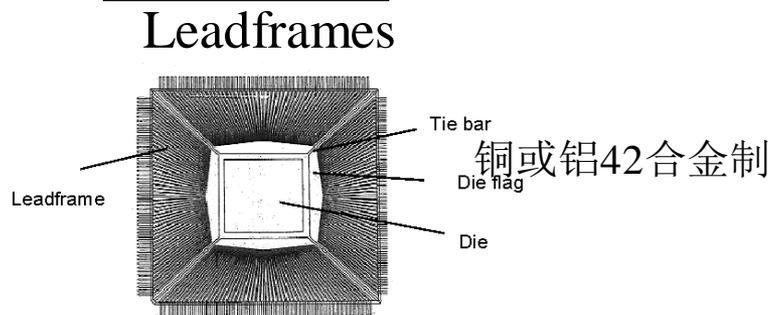
通常为环氧树脂材料



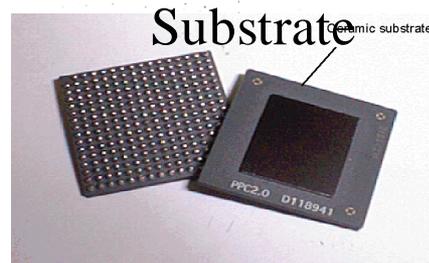
金或铝制，数目等同于外面管脚数



通常材料为锡铅合金95Pb/5Sn
或37Pb/63Sn.



铜或铝42合金制



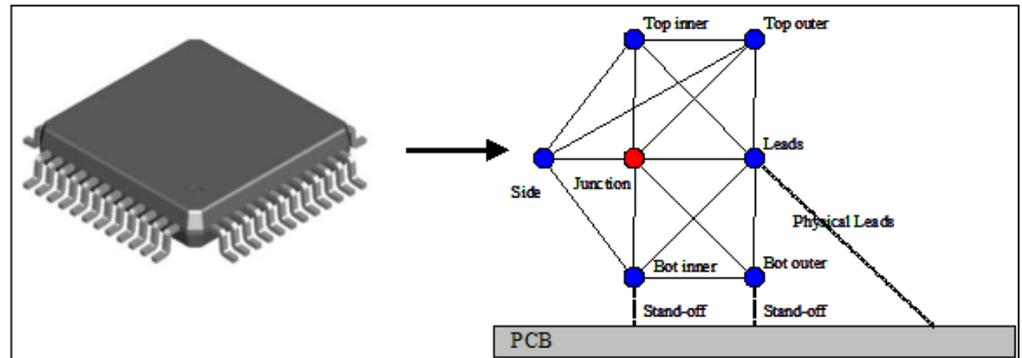
通常由BT\FR4制成(塑料芯片);
或氧化铝制成(陶瓷芯片)

热阻网络模型-DELPHI模型

DELPHI 项目：从1993年到1996年，由欧盟资助，Flomerics公司负责协调，Alcatel Bell、Alcatel Espace、Philips CFT、Thomson CSF、Flomerics、NMRC 等公司合作，旨在开发芯片的简化热模型的精确表示方法。

PROFIT项目：同样由欧盟资助，由Philips公司负责协调，Flomerics、Nokia、Infineon、Philips、ST、Micred、TIMA、等公司合作，旨在开发芯片热模型的快速建立方法。

项目产生了一系列成果，如芯片的热阻网络模型DELPHI标准、JEDEC组织认证的唯一热模型库FLOPACK、芯片热应力分析工具Flo/stress等。



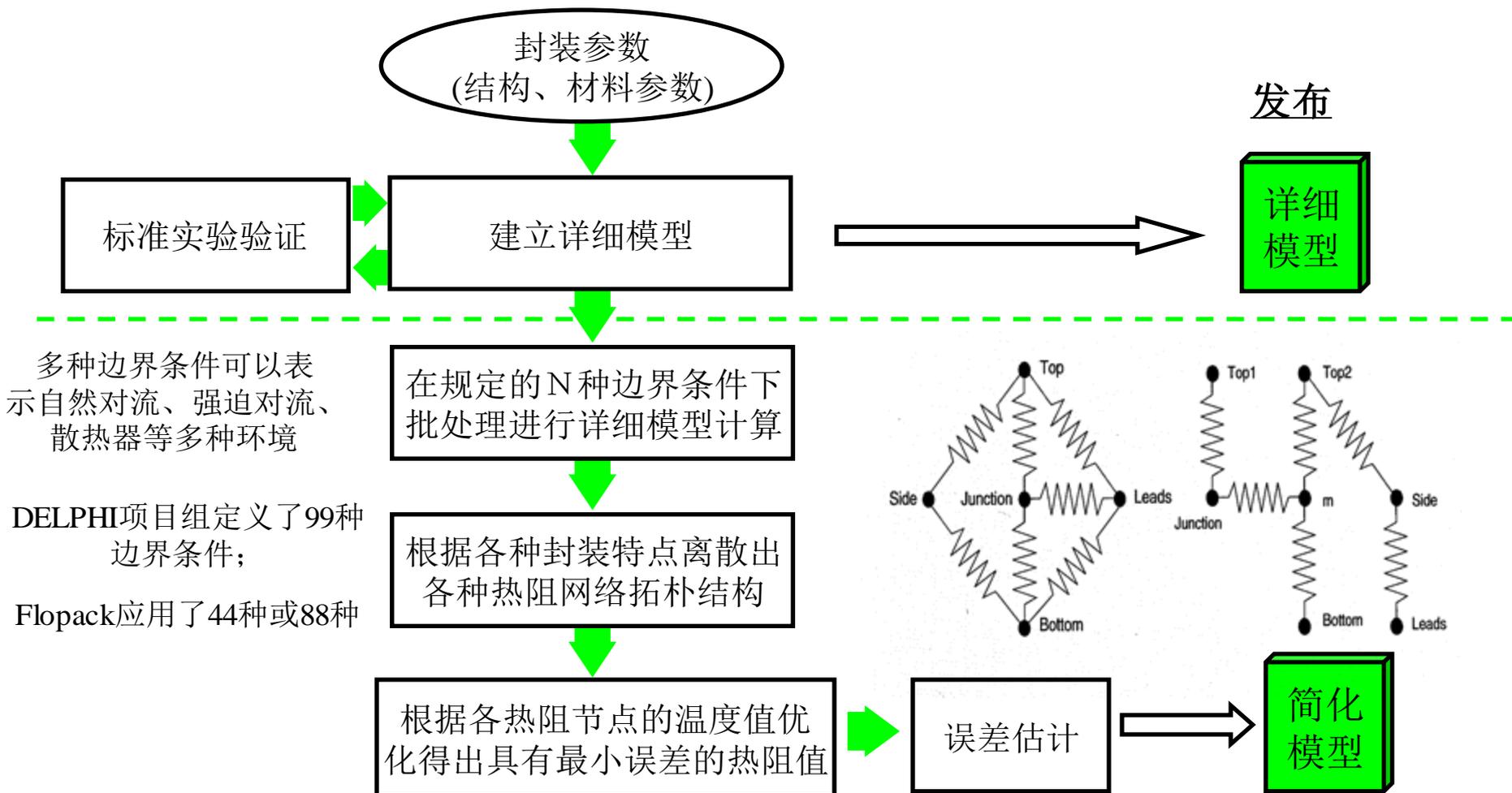
PROFIT 项目

Prediction **O**F temperature gradients **I**nfluencing **T**he quality of electronic products

DELPHI项目

Development of **L**ibraries of **P**hysical models for an **I**ntegrated design environment

DELPHI模型生成原理



PBGA封装模型的建立

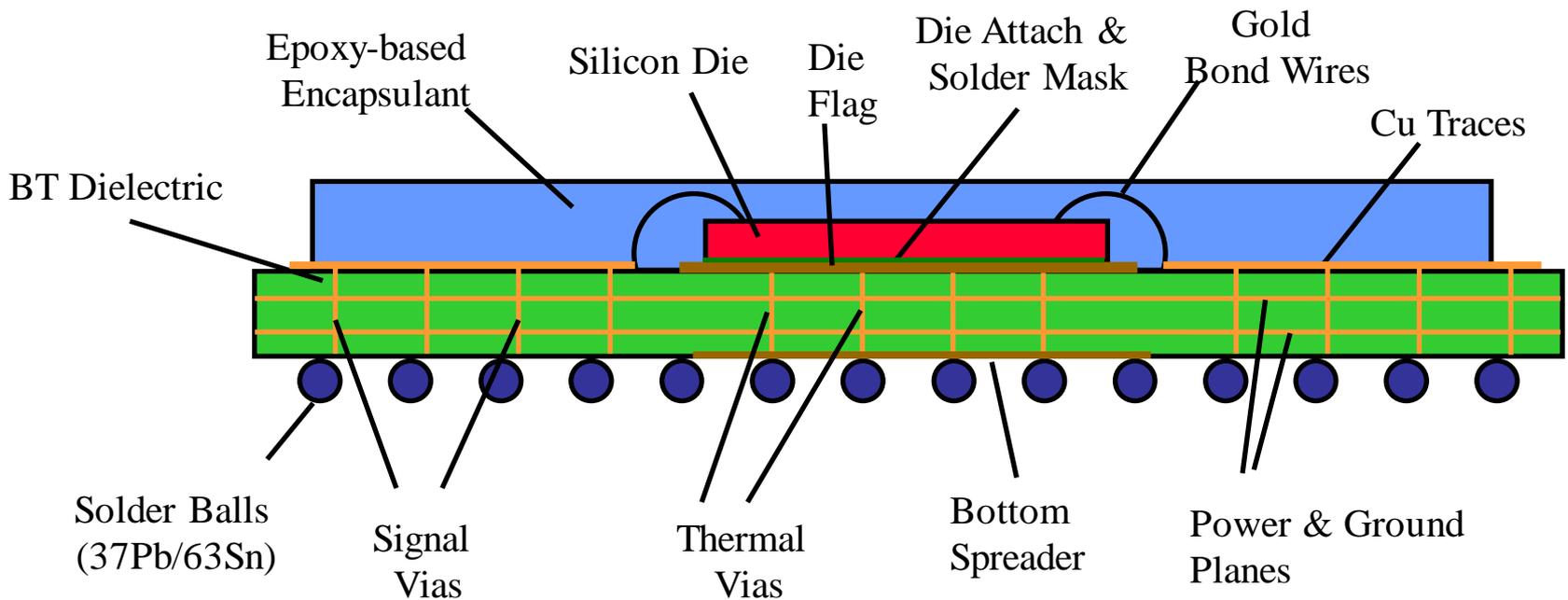
- PBGA封装特点？
 - 有机基片Organic substrate
 - 使用焊球(Solder balls)作为二级互联
- 主要应用: ASIC's, 内存, 图形显示, 芯片组, 通讯等.

- PBGA封装优缺点？
 - I/O密度高；
 - 基片材BT具有较好的电性能；
 - 加工工艺类似PCB板，成本低廉
 - 非气密封装, 不适合于长时工作的芯片或军用芯片
 - Die与基片(Substrate)间的CTE不匹配
 - 如功耗大于2W，则可能需要加强散热手段



主要类型的PBGA封装

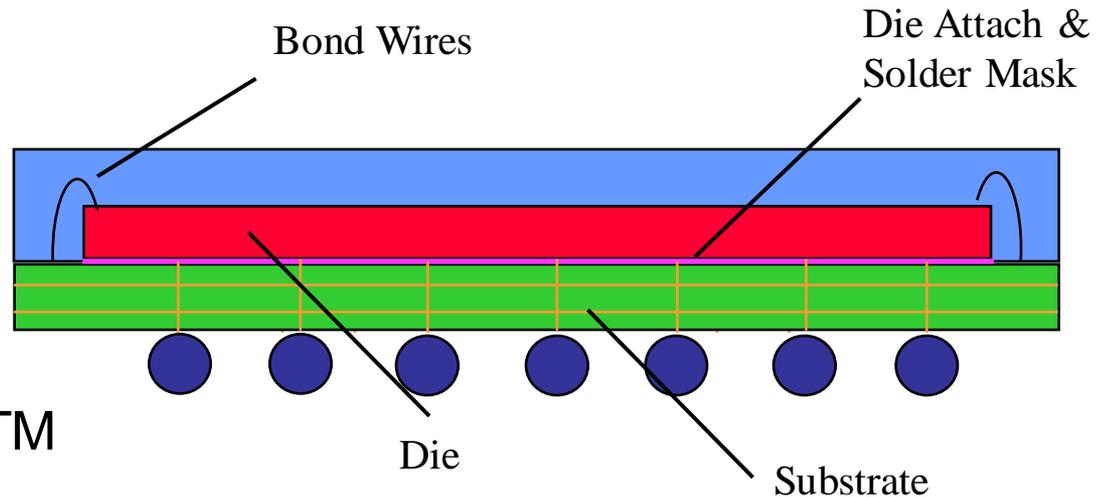
Wire-Bonded PBGA (Die-up)



最主流的PBGA封装，相对成熟的加工技术，可处理5W以上热耗。

主要类型的PBGA封装

Fine-Pitch BGA

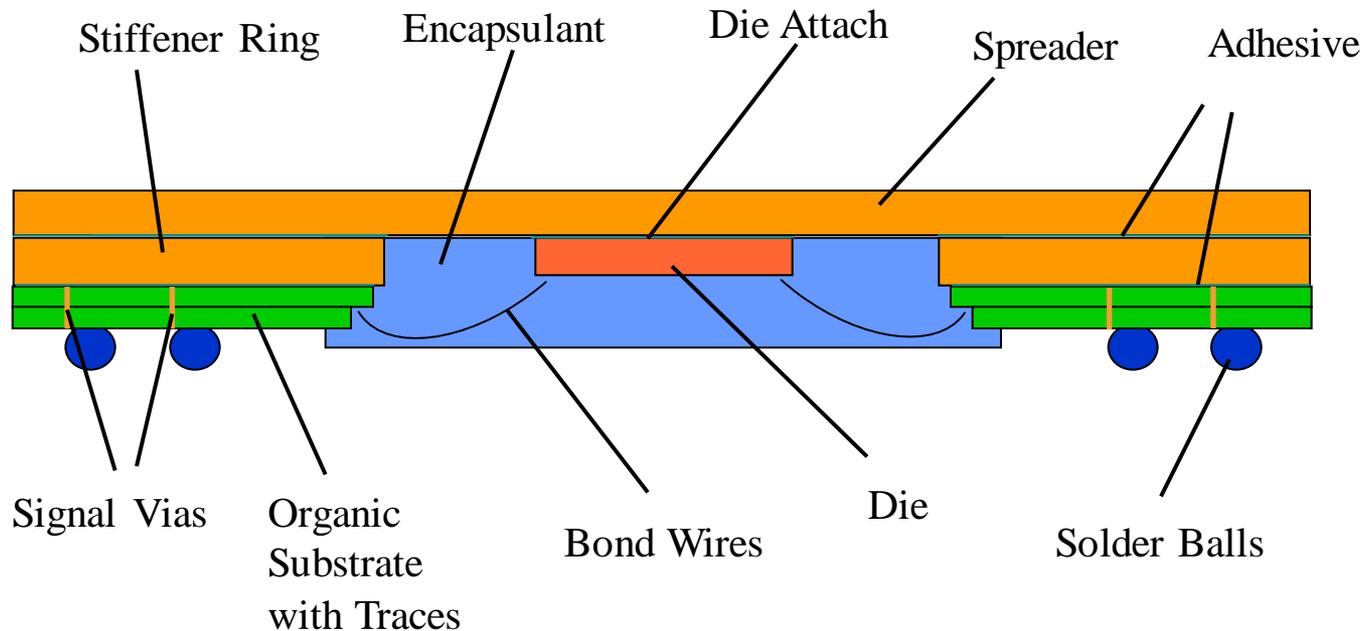


由die-up PBGA变化而来

- 别名: FSBGA, ChipArray™
- 焊球间隙较小
- 可归类为 Near-CSP
- 建模也较困难
- 焊球间隙典型值为1mm, 0.8mm, 0.65mm, 0.5mm, 0.4mm
- 经常缺少明显可见, 比Die尺寸大的Die Pad, 因为Die大小与封装大小相近
- 基片(substrate)中每个信号过孔都必须单独建出;
- 在FLOPACK中, 别名ChipArray™

主要类型的PBGA封装

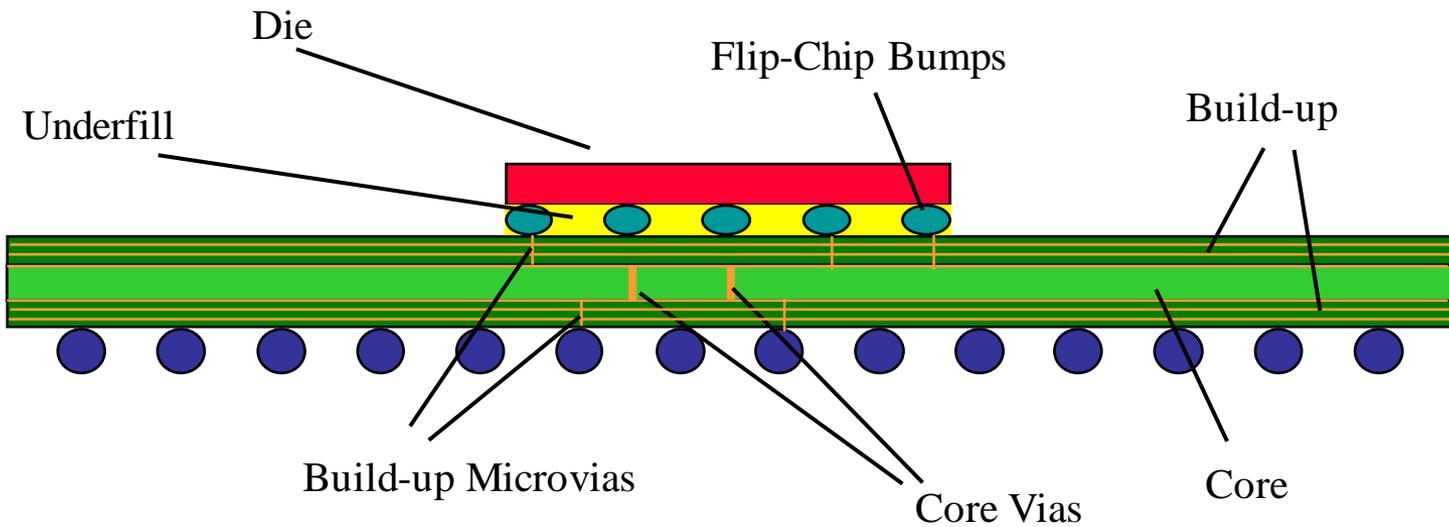
Die-down PBGA



- 1) 最常见的Die-down PBGA芯片为Amkor公司的SuperBGA™,但是SuperBGA中无上图结构中的加强环(Stiffener Ring),
- 2) Spreader(铜合金)可直接与散热器相连,良好的散热性能,可处理功耗8-10W
- 3) 如无加强环(Stiffener Ring),则塑料基片与Spreader直接相连。

主要类型的PBGA封装

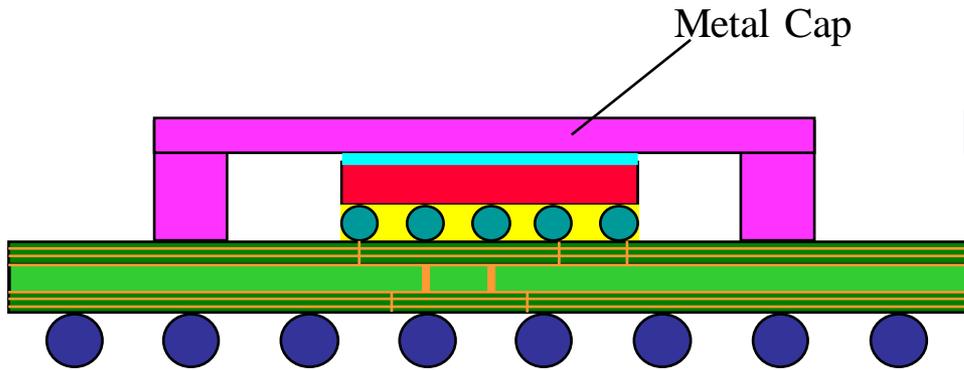
Flip-Chip PBGA



- 1) 因电气性能良好，应用越来越广泛
- 2) 因布线考虑，很难在**Die**下方布热过孔，故信号过孔会对散热有较大影响
- 3) 基片(substrate)复杂，一般中间层为BT层，两边另附有其它层。

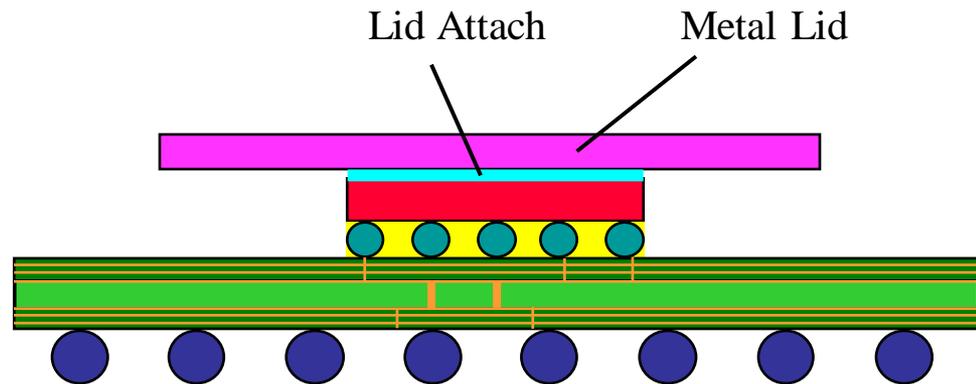
主要类型的PBGA封装

Flip-Chip PBGA的散热加强手段



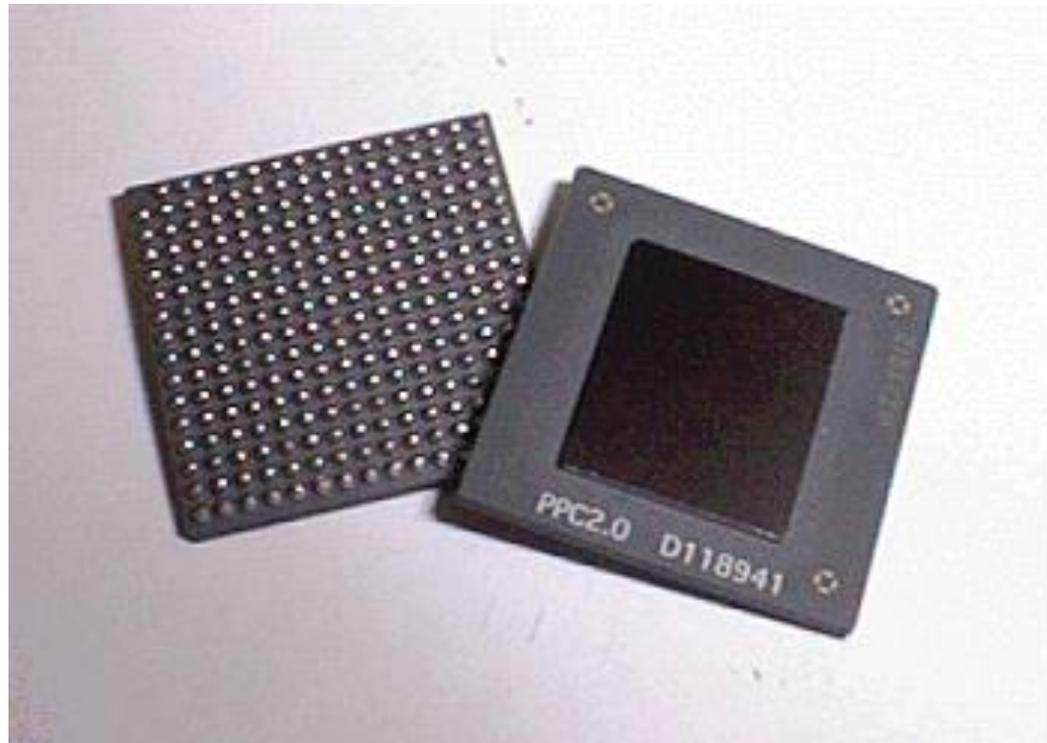
Metal Cap与Lid可能由铝与铜制

建模时需特别注意Cap/Lid Attach的厚度与材质，因为该类芯片功耗一般较大，主要热阻的组成部分之一Attach即使有较小的误差，也会引起结温和热阻值 Θ_{JC} 估计较大的误差。



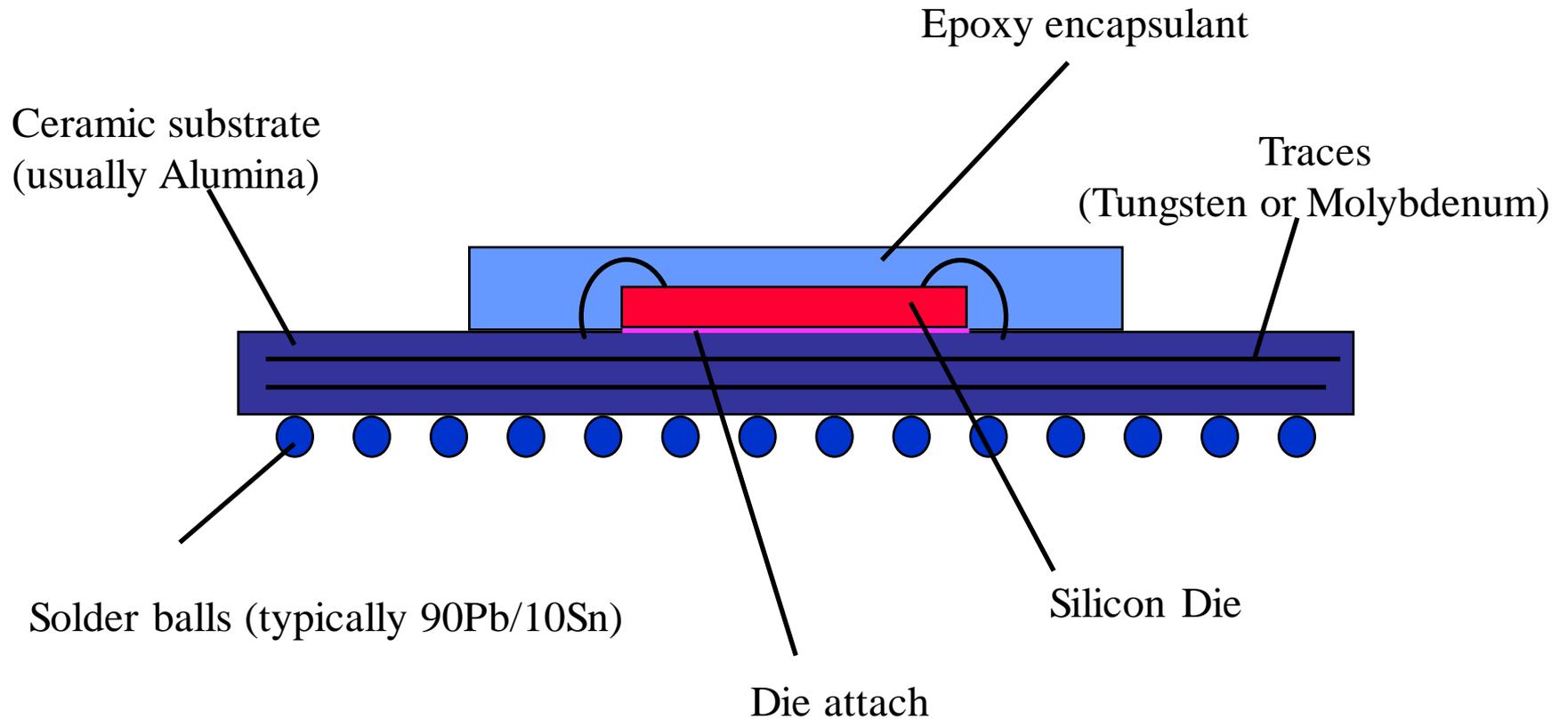
CBGA封装模型的建立

- 主要应用：高功耗处理器，军事用芯片
- 主要分为：
 - 1) Flip-Chip
 - 2) BondWire



主要类型的CBGA封装

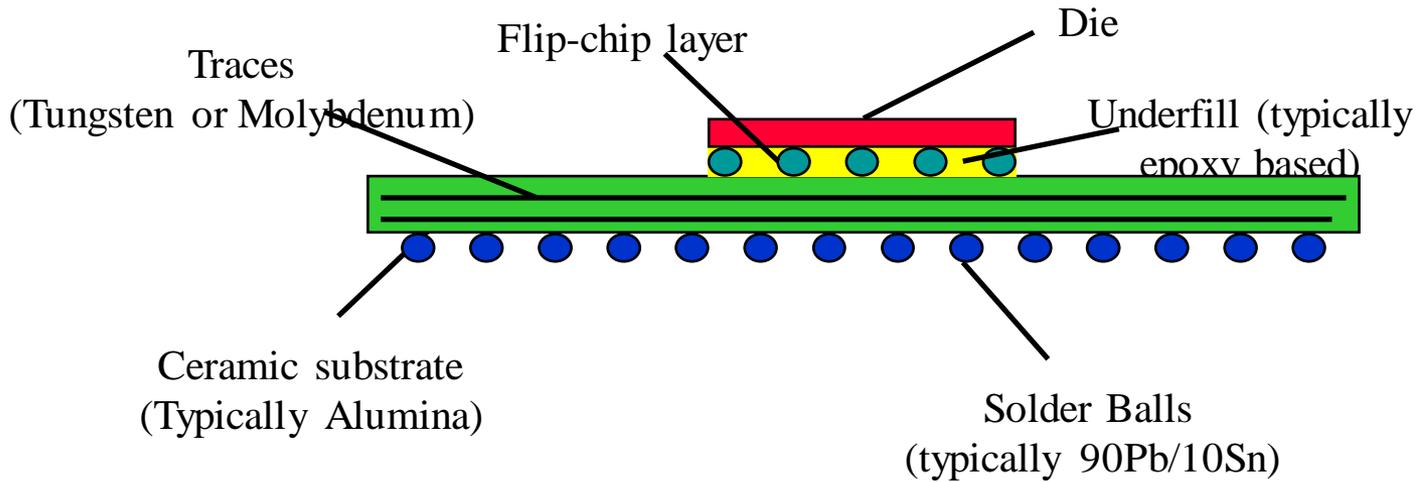
Wire-Bonded CBGA



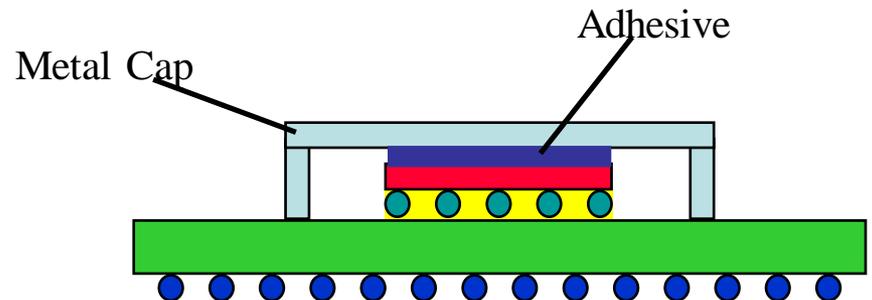
主要类型的CBGA封装

Flip-Chip CBGA

Bare-Die



Caped



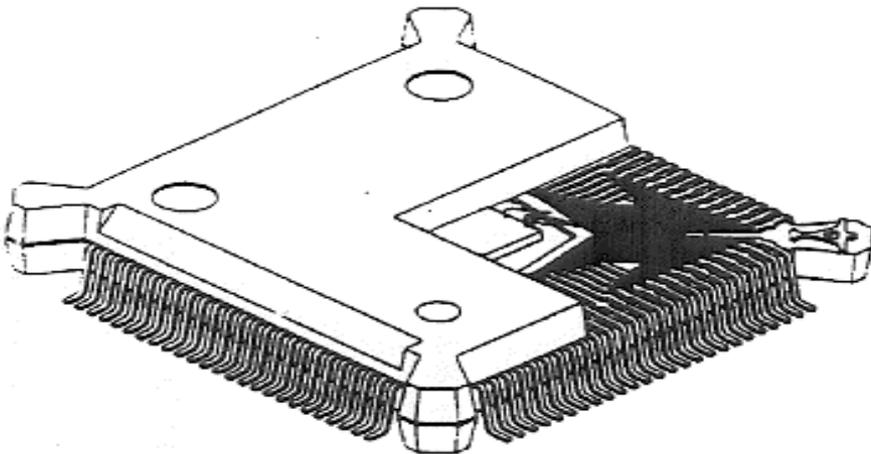
PQFP封装模型的建立



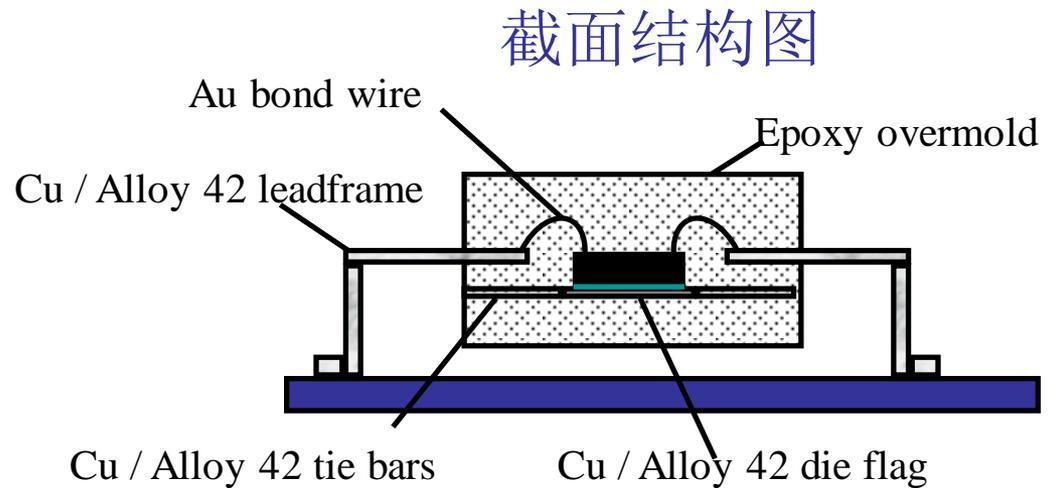
External leadframe
(gull-wing leads)

Plastic Encapsulant

- Plastic Quad Flat Pack (thin version called TQFP)
- 常用于逻辑芯片, ASIC芯片, 显示芯片等
- 封装外管脚(Lead), 表面贴装



PQFP封装模型的建立

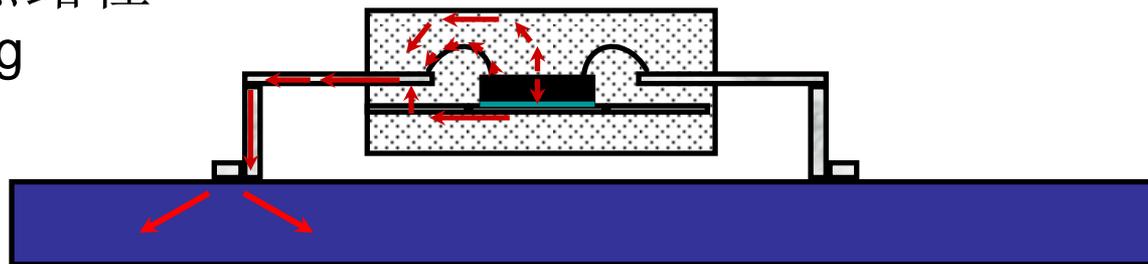


• PQFP封装优缺点？

- 成熟的封装类型，可采用传统的加工方法；
- 成本低廉；
- 适用于中低功耗且中等数目I/O(50-300)，
- 热阻高，不采用Heatslug等附加散热手段的条件下功耗很难突破2W
- 管脚间距难以做得过小(难于小于0.4mm)，相对于BGA封装I/O 数目少。

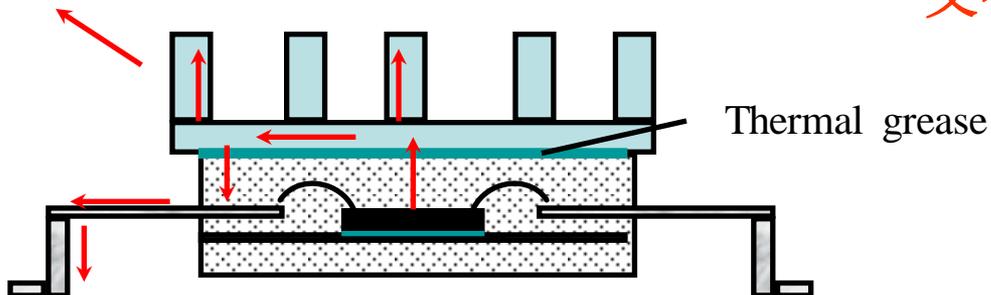
PQFP封装模型的建立

- 无散热器时的主要散热路径
 - The die and the die flag
 - The leadframe
 - The board



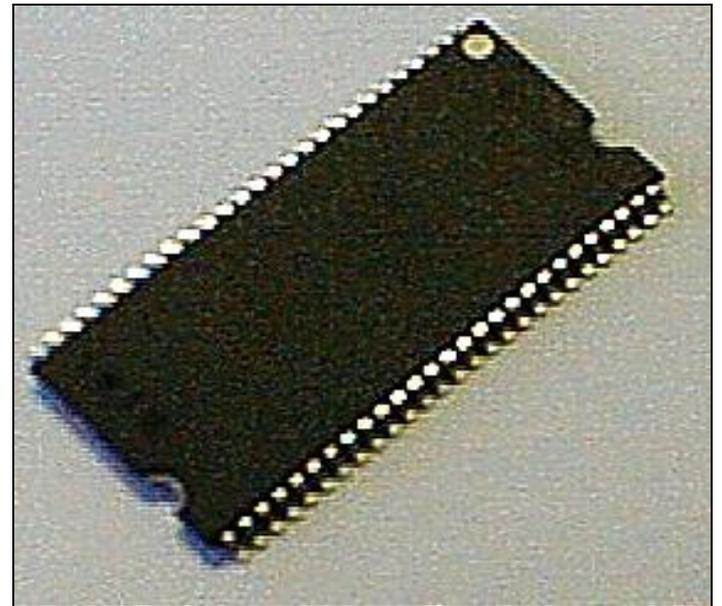
注意：在Lead数目较多的情况下，**Bondwires**的传热份额可能高达15%，但是在热测试芯片中，由于**Bondwires**数目较少，忽略了这部分热量

注意：一部分热量由芯片传至散热器上，又有可能重新传递回芯片上。



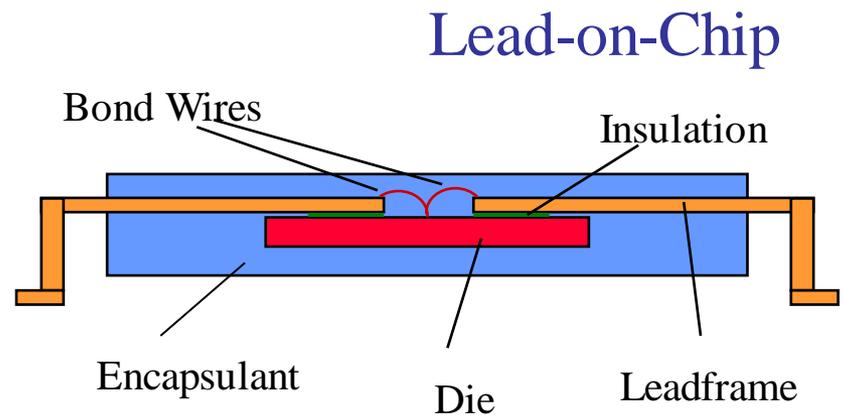
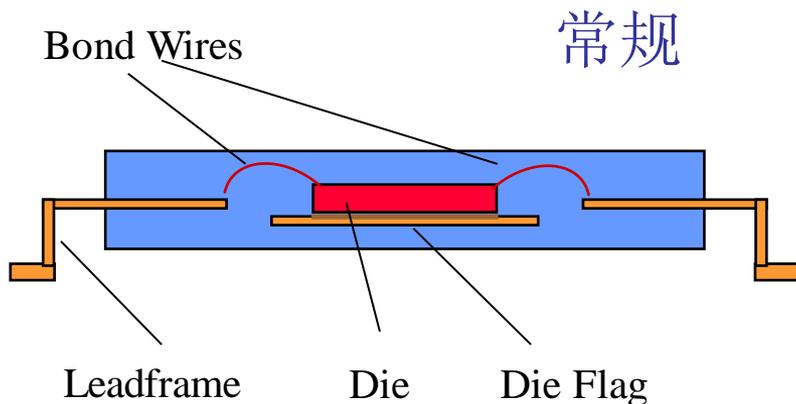
SOP/TSOP封装模型的建立

- Small Outline Package
- Low profile version known as Thin Small Outline Package (TSOP)
- 类似于 PQFP, 只是只有两边有管脚
- 广泛应用于内存芯片
- 常见的类型
 - 常规
 - Lead-on-Chip



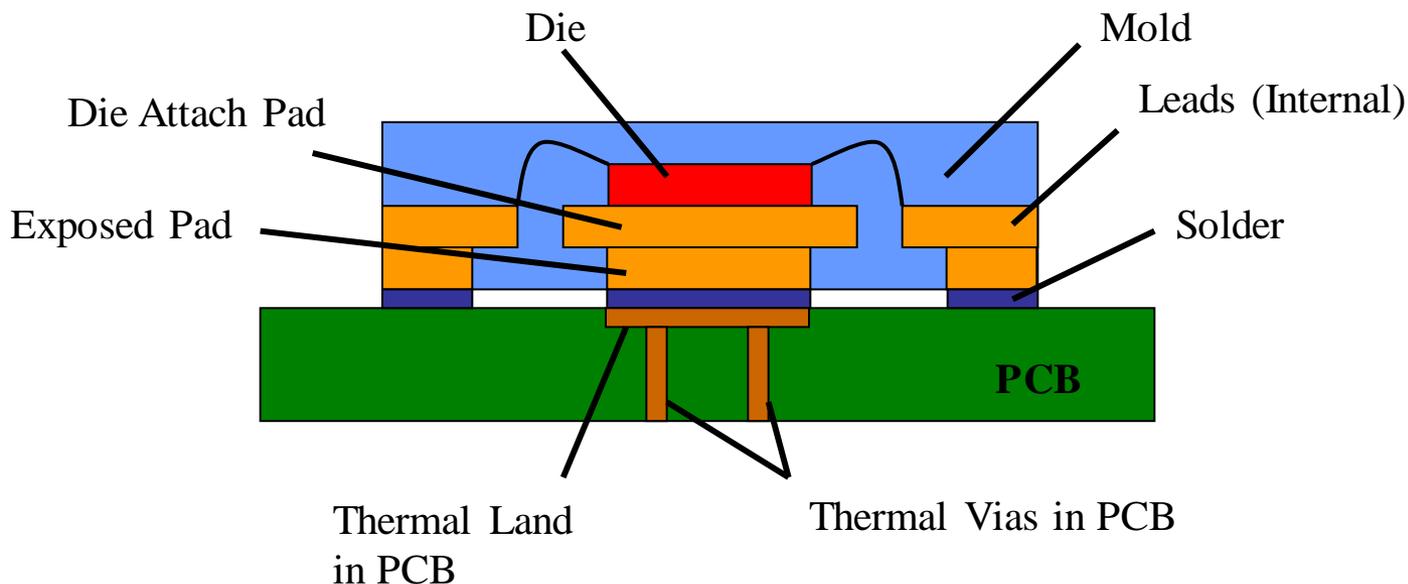
SOP/TSOP封装模型的建立

- 部分芯片建模时可将各边管脚统一建立;
- 管脚数较小应将各管脚单独建出.
- **fused lead** 一定要单独建出
- **Tie bars** 一般可以忽略.



QFN封装模型的建立

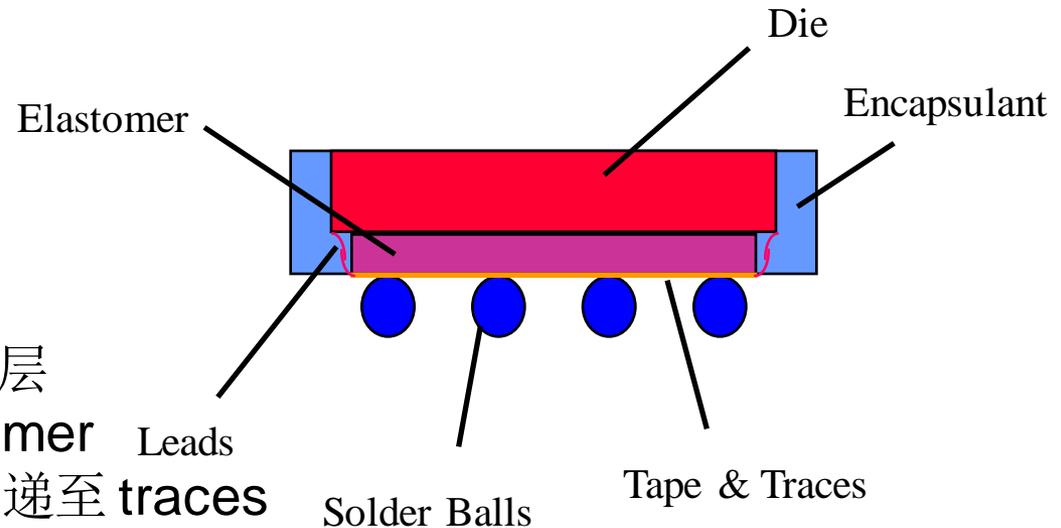
- 主要用于替换引脚数小于80的引线装芯片 (主要是 TSOP and TSSOP)
- 尺寸较小, 同时相对于TSOP/TSSOP散热性能好
- Theta-JA 通常只有 TSSOP芯片的一半左右
- 主要传热路径: Die → Die Attach Pad → Exposed Pad → PCB
- 次要传热路径: Lead(最好各个管脚单独建出)
- PCB板下(Exposed Pad下方)通常添加热过孔以加强散热



CSP封装模型的建立

- 封装相对于**Die**尺寸不大于**20%**
 - 主要应用于内存芯片，应用越来越广泛
 - 尺寸小，同时由于信号传输距离短，电气性能好
 - 种类超过 **40** 种
- 如封装尺寸相对于**Die**，大于**20%**但接近**20%**，则称为 **Near-CSP**

Micro-BGA™封装模型的建立



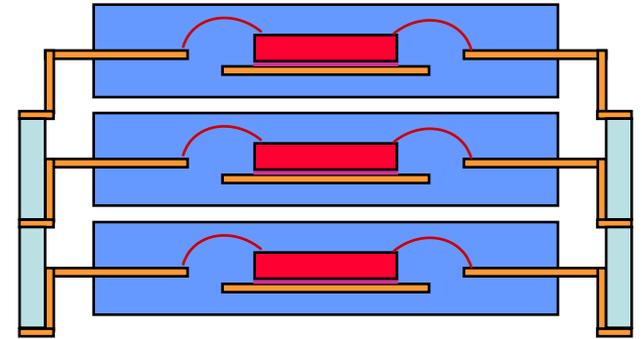
- 为早期的一种 CSP 设计
- 常用于闪存芯片
- Traces 排布于聚酰亚胺的tape 层
- Die与Tape之间有专用的Elastomer
- 采用引脚Lead将电信号由die传递至traces
- 焊球可较随意排布
- Die 可放在中心，也可以偏置
- 主要传热路径： Die --> elastomer --> solder balls --> board
- Lead传导热量较少,很多情况下可忽略
- Elastomer导热能力差，为主要的散热瓶颈
- 焊球要求单独建出
- Tape中Trace的传导较少,但是不能忽略
- Solder Ball也够成相对较小的热阻(相对于Elastomer)

其它的 CSP 芯片

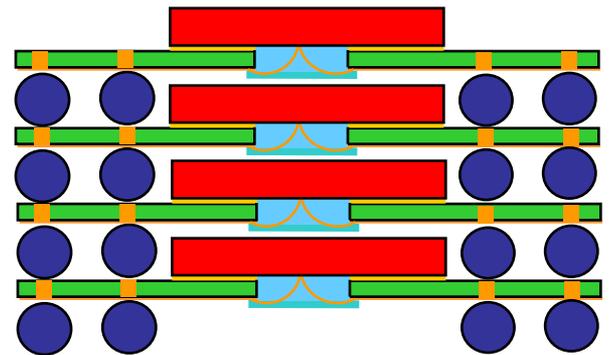
- Fine-Pitch BGA (ChipArray™, FSBGA)
 - 类似于PBGA, 更焊球间距更小
 - Fan-in traces
 - 所有的过孔都必须单独建出
- MicroStar™ / FlexBGA™
 - 类似于 ChipArray, 但基片材料为tape 而非 BT

堆栈封装(Stacked Packages)模型的建立

- 开始应用于内存领域
(stacked TSOP)
- 近来应用到了面阵列封装领域



Stacked TSOP



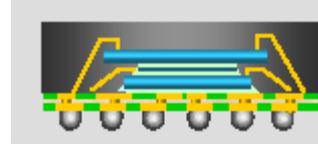
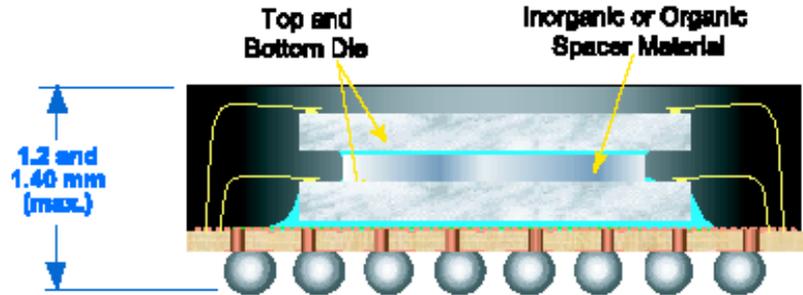
μ Z-Ball StackTM

堆栈裸片封装(Stacked-Die Packages)的建模

- 别名 SiP (System in Package)
- 通常堆栈2-4层裸片
 - 目前也在研发6层或更多数目的堆栈裸片
- 当所有的功能难以集中在单片裸片中时应用
- 常见的应用: Flash/SRAM, ASIC/Memory, Memory/Logic, Analog/Logic
- In area array or leaded package outlines
- 加工困难,第层裸片都必须加工为特别薄 (50微米级)
- 需要精细的电路设计和散热设计
- 尚无成熟的热简化模型
- 芯片常用于体积要求较小的手机或其它移动电子设计

堆栈裸片封装(Stacked-Die Packages)的建模

- 如上一层的Die尺寸大于或接近于下层的Die，因为无法安排Wire-bond可能就必须放置硅制或其它材料制的转接板 Interposer (spacer)



- SiP本身也可以堆栈到其它的SiP或单核封装上面

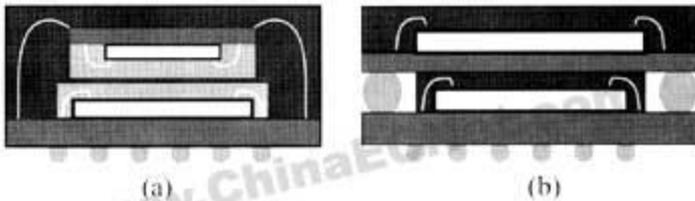
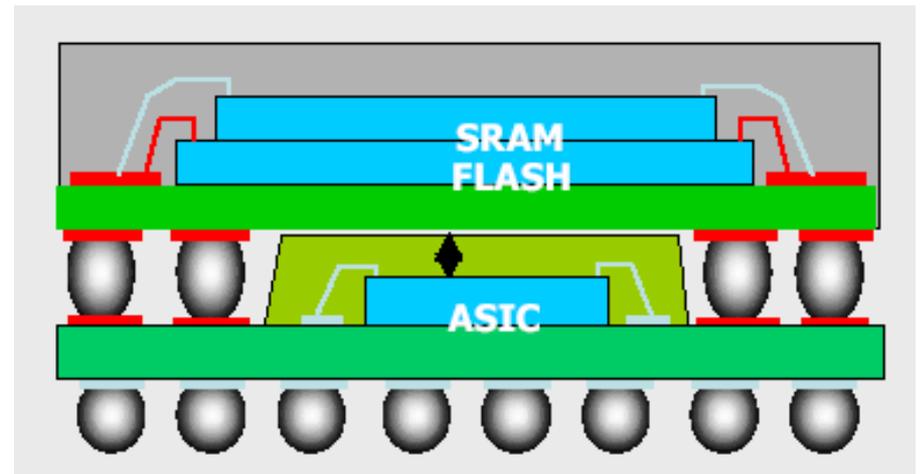
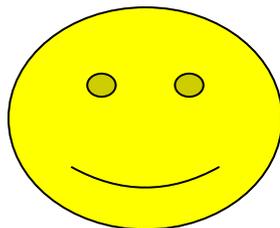


图3 封装堆叠的两种形式
(a) PiP; (b) PoP



堆栈裸片封装(Stacked-Die Packages)的建模

- 有问题多问问芯片供应商！
- 不用问我们！



SiP

