

硬件电路设计流程系列--方案设计（目录）

- 一、硬件电路设计流程系列--硬件电路设计规范
- 二、硬件电路设计流程系列--方案设计(1)：主芯片选型
- 三、硬件电路设计流程系列--方案设计(2)：芯片选购
- 四、硬件电路设计流程系列--方案设计(3)：功耗分析与电源设计
- 五、硬件电路设计流程系列--方案设计(4)：设计一个合适的系统电源

一

硬件电路设计规范

- 1、 详细理解设计需求，从需求中整理出电路功能模块和性能指标要求；
- 2、 根据功能和性能需求制定总体设计方案，对 CPU 进行选型，

CPU 选型有以下几点要求：

- a) 性价比高；
- b) 容易开发：体现在硬件调试工具种类多，参考设计多，软件资源丰富，成功案例多；
- c) 可扩展性好；

3、 针对已经选定的 CPU 芯片，选择一个与我们需求比较接近的成功参考设计，一般 CPU 生产商或他们的合作方都会对每款 CPU 芯片做若干开发板进行验证，比如 440EP 就有 yosemite 开发板和 bamboo 开发板，我们参考得是 yosemite 开发板，厂家最后公开给用户的参考设计图虽说不是产品级的东西，也应该是经过严格验证的，否则也会影响到他们的芯片推广应用，纵然参考设计的外围电路有可推敲的地方，CPU 本身的管脚连接使用方法也绝对是值得我们信赖的，当然如果万一出现多个参考设计某些管脚连接方式不同，可以细读 CPU 芯片手册和勘误表，或者找厂商确认；另外在设计之前，最好我们能外借或者购买一块选定的参考板进行软件验证，如果没问题那么硬件参考设计也是可以信赖的；但要注意一点，现在很多 CPU 都有若干种启动模式，我们要选一种最适合的启动模式，或者做成兼容设计。

4、 根据需求对外设功能模块进行元器件选型, 元器件选型应该遵守以下原则:

- a) 普遍性原则: 所选的元器件要被广泛使用验证过的尽量少使用冷偏芯片, 减少风险;
- b) 高性价比原则: 在功能、性能、使用率都相近的情况下, 尽量选择价格比较好的元器件, 减少成本;
- c) 采购方便原则: 尽量选择容易买到, 供货周期短的元器件;
- d) 持续发展原则: 尽量选择可在可预见的时间内不会停产的元器件;
- e) 可替代原则: 尽量选择 pin to pin 兼容种类比较多的元器件;
- f) 向上兼容原则: 尽量选择以前老产品用过的元器件;
- g) 资源节约原则: 尽量用上元器件的全部功能和管脚;

5、 对选定的 CPU 参考设计原理图外围电路进行修改, 修改时对于每个功能模块都要找至少 3 个相同外围芯片的成功参考设计, 如果找到的参考设计连接方法都是完全一样的, 那么基本可以放心参照设计, 但即使只有一个参考设计与其他的不一样, 也不能简单地少数服从多数, 而是要细读芯片数据手册, 深入理解那些管脚含义, 多方讨论, 联系芯片厂技术支持, 最终确定科学、正确的连接方式, 如果仍有疑义, 可以做兼容设计; 这是整个原理图设计过程中最关键的部分, 我们必须做到以下几点:

- a) 对于每个功能模块要尽量找到更多的成功参考设计, 越难的应该越多, 成功参考设计是“前人”的经验和财富, 我们理当借鉴吸收, 站在“前人”的肩膀上, 也就提高了自己的起点;
- b) 要多向权威请教、学习, 但不能迷信权威, 因为人人都有认知误差, 很难保证对哪怕是最了解的事物总能做出最科学的理解和判断, 开发人员一定要在广泛调查、学习和讨论的基础上做出最科学正确的决定;
- c) 如果是参考已有的老产品设计, 设计中要留意老产品有哪些遗留问题, 这些遗留问题与硬件哪些功能模块相关, 在设计这些相关模块时要更加注意推敲, 不能机械照抄原来设计, 比如我们老产品中的 IDE 经常出问题, 经过仔细斟酌, 广泛讨论和参考其他成功设计, 发现我们的 IDE 接口有两个管脚连线方式确实不规范; 还有, 针对 FGPI 通道丢视频同步信号的问题, 可以在硬件设计中引出硬件同步信号管脚, 以便进一步验证, 更好发现问题的本质;

6、 硬件原理图设计还应该遵守一些基本原则, 这些基本原则要贯彻到整个设计过程, 虽然成功的参考设计中也体现了这些原则, 但因为我们可能是“拼”出来的原理图, 所以我们还是要随时根据这些原则来设计审查我们的原理图, 这些原则包括:

- a) 数字电源和模拟电源分割;
- b) 数字地和模拟地分割, 单点接地, 数字地可以直接接机壳地(大地), 机壳必须接大地;
- c) 保证系统各模块资源不能冲突, 例如: 同一 I2C 总线上的设备地址不能相同, 等等;

d) 阅读系统中所有芯片的手册（一般是设计参考手册），看它们的未用输入管脚是否需要做外部处理，如果需要一定要做相应处理，否则可能引起芯片内部振荡，导致芯片不能正常工作；

e) 在不增加硬件设计难度的情况下尽量保证软件开发方便，或者以小的硬件设计难度来换取更多方便、可靠、高效的软件设计，这点需要硬件设计人员懂得底层软件开发调试，要求较高；

f) 功耗问题；

g) 产品散热问题，可以在功耗和发热较大的芯片增加散热片或风扇，产品机箱也要考虑这个问题，不能把机箱做成保温盒，电路板对“温室”是感冒的；还要考虑产品的安放位置，最好是放在空间比较大，空气流动畅通的位置，有利于热量散发出去；

7、 硬件原理图设计完成之后，设计人员应该按照以上步骤和要求首先进行自审，自审后要达到有 95%以上把握和信心，然后再提交他人审核，其他审核人员同样按照以上要求对原理图进行严格审查，如发现问题要及时进行讨论分析，分析解决过程同样遵循以上原则、步骤；

8、 只要开发和审核人员都能够严格按以上要求进行电路设计和审查，我们就有理由相信，所有硬件开发人员设计出的电路板一版成功率都会很高的，所以提出以下几点：

a) 设计人员自身应该保证原理图的正确性和可靠性，要做到设计即是审核，严格自审，不要把希望寄托在审核人员身上，设计出现的任何问题应由设计人员自己承担，其他审核人员不负连带责任；

b) 其他审核人员虽然不承担连带责任，也应该按照以上要求进行严格审查，一旦设计出现问题，同样反映了审核人员的水平、作风和态度；

c) 普通原理图设计，包括老产品升级修改，原则上要求原理图一版成功，最多两版封板，超过两版将进行绩效处罚；

d) 对于功能复杂，疑点较多的全新设计，原则上要求原理图两版内成功，最多三版封板，超过三版要进行绩效处罚；

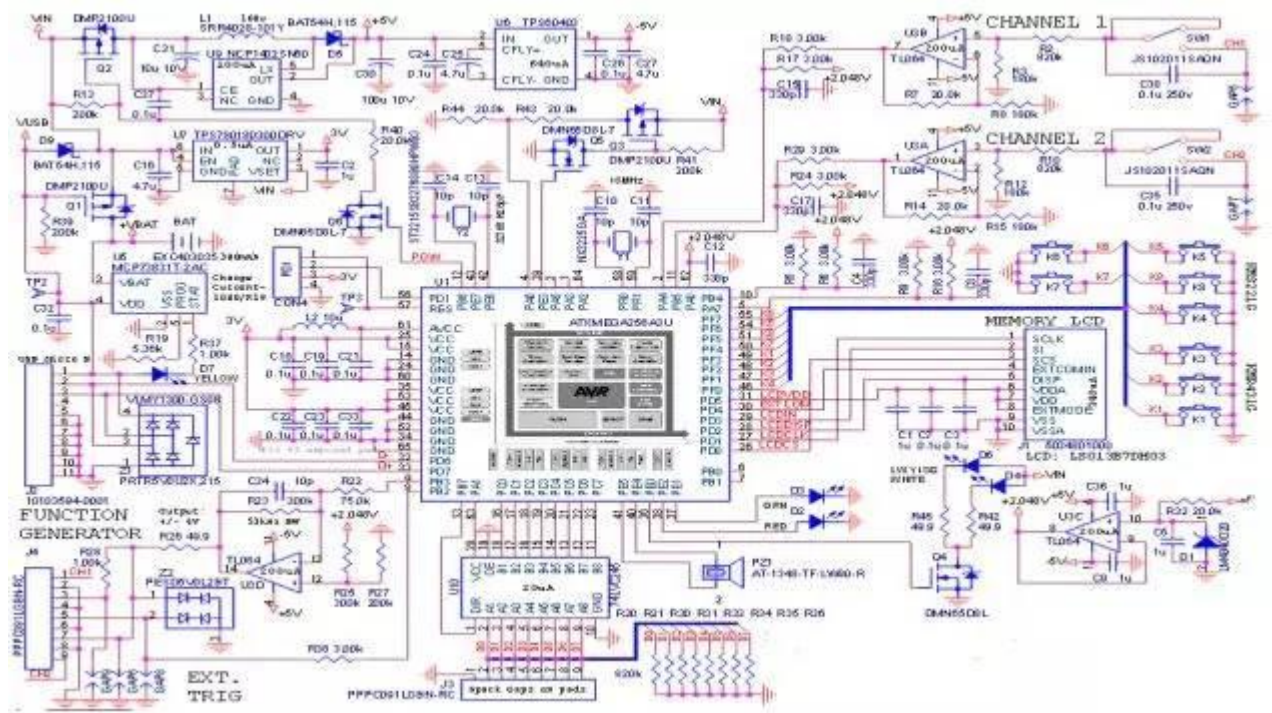
e) 原理图封板标准为：电路板没有任何原理性飞线和其他处理点；

9、 以上提到原理图设计相关的奖励和处罚具体办法将在广泛调查研究之后制定，征得公司领导同意后发布实施；

10、 制定此《规范》的目的和出发点是为了培养硬件开发人员严谨、务实的工作作风和严肃、认真的工作态度，增强他们的责任感和使命感，提高工作效率和开发成功率，保证产品质量；希望年轻的硬件开发人员能在磨练中迅速成长起来！

对于我们目前重点设计的相关模拟电路产品，没有主用芯片、外围芯片以及芯片

与芯片之间的连接方面的问题。所以，元器件的选项尤为重要，对于硬件设计的一些基本原则一定要注意。



二

方案设计(1)：主芯片选型

平台的选择很多时候和系统选择的算法是相关的，所以如果要提高架构，平台的设计能力，得不断提高自身的算法设计，复杂度评估能力，带宽分析能力。

常用的主处理器芯片有：单片机，ASIC，RISC(DEC Alpha、ARC、ARM、MIPS、PowerPC、SPARC 和 SuperH)，DSP 和 FPGA 等，这些处理器的比较在网上有很多的文章，在这里不老生常谈了，这里只提 1 个典型的主处理器选型案例。

比如市场上现在有很多高清网络摄像机(HD-IPNC)的设计需求，而 IPNC 的解决方案也层出不穷，TI 的解决方案有 DM355、DM365、DM368 等，海思提供的方案则有 Hi3512、Hi3515、Hi3520 等，NXP 提供的方案有 PNX1700、PNX1005 等。

对于 HD-IPNC 的主处理芯片，有几个主要的技术指标：视频分辨率，视频编码器算法，最高支持的图像抓拍分辨率，CMOS 的图像预处理能力，以及网络协议栈的开发平台。

Hi3512 单芯片实现 720P30 H.264 编解码能力，满足高清 IP Camera 应用，Hi3515 可实现 1080P30 的编解码能力，持续提升高清 IPCamera 的性能。

DM355 单芯片实现 720P30 MPEG4 编解码能力，DM365 单芯片实现 720P30 H.264 编解码能力，DM368 单芯片实现 1080P30 H.264 编解码能力。

DM355 是 2007 Q3 推出的，DM365 是 2009 Q1 推出的，DM368 是 2010 Q2 推出的。海思的同档次解决方案也基本上与之同时出现。海思和 TI 的解决方案都是基于 linux，对于网络协议栈的开发而言，开源社区的资源是没有区别的，区别的只在于芯片供应商提供的 SDK 开发包，两家公司的 SDK 离产品都有一定的距离，但是 linux 的网络开发并不是一个技术难点，所以并不影响产品的推广。

作为 IPNC 的解决方案，在 720P 时代，海思的解决方案相对于 TI 的解决方案，其优势是支持了 H.264 编解码算法，而 TI 只支持了 MPEG4 的编解码算法。虽然在 2008 年初，MPEG4 的劣势在市场上已经开始体现出来，但在当时这似乎并不影响 DM355 的推广。

对于最高支持的图像抓拍分辨率，海思的解决方案可以支持支持 JPEG 抓拍 3M Pixels@5fps，DM355 最高可以支持 5M Pixels，虽然当时没有成功的开发成 5M Pixel 的抓拍（内存分配得有点儿问题，后来就不折腾了），但是至少 4M Pixel 的抓拍是实现了的，而且有几个朋友已经实现了 2560x1920 这个接近 5M Pixel 的抓拍，所以在这一点上 DM355 稍微胜出。

因为在高清分辨率下，CCD 传感器非常昂贵，而 CMOS 传感器像原尺寸又做不大，导致本身在低照度下就性能欠佳的 CMOS 传感器的成像质量在高分辨率时变差，于是 TI 在 DM355 处理器内部集成了一个叫做 ISP 的图像预处理模块，它由 CCDC，IPIPE，IPIPEIF 和 H3A 模块组成，能帮助实现把 CMOS 的 RAW DATA（一般是指 Bayer 格式数据）转成 YCbCr 数据，同时实现包括白平衡调节，直方图统计，自动曝光，自动聚焦等采用 CMOS 解决方案所必须的功能，故 DM355 处理器就可以无缝的对接各种图像传感器了。而海思的解决方案对于 CMOS 的选择就有局限性，它只能用 OVT 一些解决方案，因为 OVT 的部分 Sensor 集成了图像预处理功能。但是 DM355 不仅可以接 OVT 的解决方案，还可接很多其他厂家的 CMOS sensor，比如 Aptina 的 MT9P031。所以在图像预处理能力方面，DM355 继续胜出。

在 IPNC 这个领域，只要每台挣 1 个美金就可以开始跑量，所以在那个时代，很少有人会去死抠 H.264 和 MPEG4 的性能差异，而且 TI 已经给了市场一个很好的预期，支持 H.264 的 DM365 很快就会面世。所以 IPNC 这个方案而言，当时很多企业都选择了 DM355 的方案。有些朋友现在已经从 DM355 成功过渡到 DM365、DM368，虽然你有时候会骂 TI，为什么技术不搞得厉害点，在当年就一步到位，浪费了多少生产力。但是技术就是一点一点积累起来，对于个人来不得半点含糊，对于大企业，他们也无法大跃进。DM355 的 CMOS 预处理技术也有很多 Bug，SDK 也有很多 bug，有时会让你又爱又恨，但是技术这东西总是没有十全十美的，能在特定的历史条件下，满足市场需求，那就是个好东西。

当然海思的解决方案在 DVS、DVR 方面也大放异彩，一点也不逊色于 TI 的解决方案。

其它芯片的选型则可以参考各芯片厂商官方网站的芯片手册，进行 PK，目前大部分芯片厂商的芯片手册都是免 NDA 下载的，如果涉及到 NDA 问题，那就得看个人和公司的资源运作能力了，一般找一下国内相应芯片的总代理商，沟通一下，签个 NDA 还是可以要到相应资料的。每隔一周上各 IC 大厂的官方主页，关注一下芯片发展的动态这是每个电子工程师的必修课啊，这不仅为了下一个方案设计积累了足够的资本，也为公司的产品策略做足了功课。

三

方案设计(2)：芯片选购

芯片采购是电子电路设计过程中不可或缺的一个环节。一般情况下，在各 IC 大厂上寻找的芯片，只要不是 EOL 掉的芯片，一般都能采购到。但是作为电子电路的设计者，很少不在芯片采购问题上栽过。常见的情况有以下几种：

1， 遇到经济危机，各 IC 厂商减产，导致芯片供货周期变长，有些 IC 厂商甚至提出 20 周货期的订货条件。印象很深的 2009 年上半年订包 PTH08T240WAD，4-6 周就取到了货，可是到了 2009 年下半年，要么是 20 周货期，要么就是价格翻一番，而且数量只有几个。

2， 有些芯片虽然在 datasheet 上写明了有工业级产品，但是由于市场上用量非常少，所以导致 IC 厂商生产非常少，市场供货也非常紧缺，这就让要做宽温工业级产品的企业或者军工级产品的企业付出巨大的代价。

3, 有些芯片厂商的代理渠道控制得非常严格, 一些比较新的芯片在一般的贸易商那采购不到, 只能从代理商那订。如果数量能达到一个 MPQ 或者 MOQ 的要求, 一般代理商就会帮你采购。但是如果只是要一两个工程样品, 那么就得分你和代理商的关系了, 如果你刚进入这个行业的话, 那很有可能你就无法从代理商这获得这个工程样片。

4, 有些芯片是有限售条件, 如果芯片是对中国限售而不对亚洲限售的话, 一般可以通过新加坡搞进来, 如果芯片是对亚洲限售的话, 那采购难度得大大的增加, 采购的价格也会远远超出你的想象空间。先看一个芯片采购案例:

之前我给一朋友推荐了一个 FPGA 芯片, 他后来给我发了一段聊天记录, 如下:

2010-8-3 9:13:12 A B XC6SLX16-2CSG225C 订货 250.00

2010-8-3 9:22:10 B A 订货多久呢?

2010-8-3 9:22:37 A B 2 周

2010-8-13 14:22:47 A B XC6SLX16-2CSG225C 这个型号, 你那天跟我定的, 本来是货期两周的, 但是这个型号属于敏感型号, 禁运国内的, 我们要第三方去代购, 所以现在货期要 5 周左右, 你看能接受吗?

注: B 为芯片采购商, A 为芯片供应商

回顾一下当时发生的情形:

2010-8-3, B 设计好方案, 确定好芯片型号后, 因为芯片型号比较新, 害怕芯片买不到, 于是向芯片供应商 A 确定了一下芯片的货源情况, 当获知价格和货期之后, B 非常高兴, 非常满意地跟我说, 你推荐的芯片性价比真不错, 等原理图设计完之后, 就马上去订货。

2010-8-13, B 设计完原理图后, B 要向 A 下单时, 突然收到 A 的上述回复, 于是他一下子就蒙了, 因为 2 周就可以完成 PCB layout, 1 周就可以完成 PCB 加工生产。也就意味着 B 即使 2010-8-13 下单, 也得干等 2 周的时间才能开始焊接调试。(最后 A 这供应商又获知这芯片是对中国禁售的, 没有办法帮 B 搞定, 最后 B 从另外一家芯片贸易商那花了 5 周的时间才采购到, 而且价格涨到了 450)

耽误 2 周可能还算是少的了, 遇到其他特殊情况, 芯片搞不到也都是有可能的, 如果是原理图设计好了之后遇到这种情况的话, 那简直就要哭了, 如果是等 PCB layout 好了之后再遇到这种情况的话, 那就是欲哭无泪了。

所以建议在芯片方案确定之后, 就马上下单采购芯片, 芯片询价时获得的价格和货期消息有时并不一定准确, 因为 IC 行业的数据库的更新有时具有一定的滞后性, 只有下单后等到供应商的合同确认, 那才算尘埃落定。

四

方案设计(3)：功耗分析与电源设计

分析系统主芯片对纹波的要求

由于直流稳定电源一般是由交流电源经整流稳压等环节而形成的,这就不可避免地在直流稳定量中多少带有一些交流成份,这种叠加在直流稳定量上的交流分量就称之为纹波,纹波对系统有很多负面的影响,比如纹波太大会造成主处理器芯片的重启,或者给某些 AD, DA 引入噪声。一个典型的现象就是,如果电源的纹波叠加到音频 DA 芯片的输出上,则会造成嗡嗡的杂音。下表是设计中所使用芯片对纹波的要求,以及电源芯片能够提供的纹波范围,纹波是选择电源芯片的重要参数,这里只列举一两个芯片进行说明:

芯片纹波统计表

芯片	Vmin	Vtypical	Vmax	输出电压波动最大允许范围	所选电源芯片的纹波最大值	电源方案是否可行
FPGA 1.8V	2.375V	2.5V	2.625V	0.125V	40uV	可行
ARM 1.8V	1.65V	1.8V	1.94V	0.14V	40uV	可行
---	---	---	---	---	---	---

分析系统主芯片的电压上电顺序要求

当今的大多数电子产品都需要使用多个电源电压。电源电压数目的增加带来了一项设计难题,即需要对电源的相对上电和断电特性进行控制,以消除数字系统遭受损坏或发生闭锁的可能性。一般这个在芯片手册中会有详细说明,建议遵守芯片手册中的要求进行设计。

分析系统所有芯片的功耗

统计板卡上用到的所有芯片的功耗,大部分芯片的功耗在芯片手册上都有详细说明,部分芯片的功耗在手册上没有明确写明,比如 FPGA,这时候可以根据以往设计的经验值,或者事先将 FPGA 的逻辑写好,借助 EDA 工具进行统计,比如 ISE 的 Xpower Analyzer,下面的表格是一个功耗分析的统计案例。注:因为数据比较多,所以这里只选择了 3.3V 的几个芯片作为代表进行统计。

3.3V 的功耗分析表

器件	电压	电流 (mA)	数量 (片)	总电流 (mA)
AD9888	PVD	10mA	1	10mA
FPGA	VCCO	95mA	1	95mA
...
总电流				...
总功率				...

功耗分析统计总表

	3.3V	5V	1.8V	1.2V	2.5V	系统
电流	2962mA	410.6mA	260mA	509mA	178mA	4319.6mA
功耗	9.7746W	2.053W	468mW	611mW	444mW	13.3506W

论证选择的电源方案能否满足以上的所有要求

根据对上电顺序的要求，纹波以及功耗的分析，选择正确的电源方案。

电源设计是一个细活，数据统计整理是一个不可缺少的工种，养成良好的设计习惯，是“一板通”必需的环节。

电源方案的选择，学问非常多，分析的文章更是数不胜数。在这里只列举几个规律性的东西。

在消费级产品里面，由于成本非常敏感，散热要求比较高，所以一般倾向于 DC/DC 的解决方案，而且现在越来越多倾向于 Power Management Multi-Channel IC (PMIC) 的解决方案。DC/DC 的一个比较大的缺点就是纹波大，另外如果电感和电容设计不合理的话，电压就会很不稳定。

印象非常深的就是有一次用 DC/DC 给 FPGA 供电时，根据 FPGA 的 Power Distribution System (PDS) 分析，加了足够多的 330uF 钽电容，结果 DC/DC 就经常出问题，所以 DC/DC 的设计一定要细心。大功率电路设计时，电感的选择也非常的键，参考设计中很多电感型号在北京中发电子市场或者深圳赛格广场上都是买不到的，而国内市场上的替代品往往饱和电流要小于参考设计中电感的要求值，所以建议设计时也要先买到符合要求的电感之后，再开始做电感的 Footprint。

在非消费品领域，LDO、电源模块用得相对较多，因为电源纹波小，设计简单。我初学电路的时候，当时就特怵 DC/DC 的设计，所以当时一直用的 LDO 和电源模块，直到后来开始设计消费级产品，因为成本的考虑，才不得不开始设

计 DC/DC，不过现在 IC 设计厂商已经基本上都把 MOSFET 集成到芯片里面去了，所以 DC/DC 的设计的复杂度也变小了。

五

方案设计(4)：设计一个合适的系统电源

对于现在一个电子系统来说，电源部分的设计也越来越重要，我想通过和大家探讨一些自己关于电源设计的心得，来个抛砖引玉，让我们在电源设计方面能够都有所深入和长进。

Q1：如何来评估一个系统的电源需求

Answer：对于一个实际的电子系统，要认真的分析它的电源需求。不仅仅是关心输入电压，输出电压和电流，还要仔细考虑总的功耗，电源实现的效率，电源部分对负载变化的瞬态响应能力，关键器件对电源波动的容忍范围以及相应的允许的电源纹波，还有散热问题等等。功耗和效率是密切相关的，效率高了，在负载功耗相同的情况下总功耗就少，对于整个系统的功率预算就非常有利了，对比 LDO 和开关电源，开关电源的效率要高一些。同时，评估效率不仅仅是看在满负载的时候电源电路的效率，还要关注轻负载的时候效率水平。

至于负载瞬态响应能力，对于一些高性能的 CPU 应用就会有严格的要求，因为当 CPU 突然开始运行繁重的任务时，需要的启动电流是很大的，如果电源电路响应速度不够，造成瞬间电压下降过多过低，造成 CPU 运行出错。

一般来说，要求的电源实际值多为标称值的 $\pm 5\%$ ，所以可以据此计算出允许的电源纹波，当然要预留余量的。

散热问题对于那些大电流电源和 LDO 来说比较重要，通过计算也是可以评估是否合适的。

Q2：如何选择合适的电源实现电路

Answer：根据分析系统需求得出的具体技术指标，可以来选择合适的电源实现电路了。一般对于弱电部分，包括了 LDO（线性电源转换器），开关电源电容降压转换器和开关电源电感电容转换器。相比之下，LDO 设计最易实现，输出纹波小，但缺点是效率有可能不高，发热量大，可提供的电流相较开关电源不大等等。而开关电源电路设计灵活，效率高，但纹波大，实现比较复杂，调试比较烦琐等等。

Q3：如何为开关电源电路选择合适的元器件和参数

Answer：很多的未使用过开关电源设计的工程师会对它产生一定的畏惧心理，比

如担心开关电源的干扰问题，PCB layout 问题，元器件的参数和类型选择问题等。其实只要了解了，使用一个开关电源设计还是非常方便的。

一个开关电源一般包含有开关电源控制器和输出两部分，有些控制器会将 MOSFET 集成到芯片中去，这样使用就更简单了，也简化了 PCB 设计，但是设计的灵活性就减少了一些。

开关控制器基本上就是一个闭环的反馈控制系统，所以一般都会会有一个反馈输出电压的采样电路以及反馈环的控制电路。因此这部分的设计在于保证精确的采样电路，还有来控制反馈深度，因为如果反馈环响应过慢的话，对瞬态响应能力是会有很多影响的。

而输出部分设计包含了输出电容，输出电感以及 MOSFET 等等，这些的选择基本上就是要满足一个性能和成本的平衡，比如高的开关频率就可以使用小的电感值（意味着小的封装和便宜的成本），但是高的开关频率会增加干扰和对 MOSFET 的开关损耗，从而效率降低。使用低的开关频率带来的结果则是相反的。

对于输出电容的 ESR 和 MOSFET 的 R_{ds_on} 参数选择也是非常关键的，小的 ESR 可以减小输出纹波，但是电容成本会增加，好的电容会贵嘛。开关电源控制器驱动能力也要注意，过多的 MOSFET 是不能被良好驱动的。

一般来说，开关电源控制器的供应商会提供具体的计算公式和使用方案供工程师借鉴的。

Q4: 如何调试开关电源电路

Answer: 有一些经验可以分享给大家

1: 电源电路的输出输出通过低阻值大功率电阻接到板内，这样在不焊电阻的情况下可以先做到电源电路的先调试，避开后面电路的影响。

2: 一般来说开关控制器是闭环系统，如果输出恶化的情况超过了闭环可以控制的范围，开关电源就会工作不正常，所以这种情况就需要认真检查反馈和采样电路。特别是如果采用了大 ESR 值的输出电容，会产生很多的电源纹波，这也会影响开关电源的工作的。

接地技术的讨论

Q1: 为什么要接地?

Answer: 接地技术的引入最初是为了防止电力或电子等设备遭雷击而采取的保护性措施，目的是把雷电产生的雷击电流通过避雷针引入到大地，从而起到保护建筑物的作用。同时，接地也是保护人

身安全的一种有效手段,当某种原因引起的相线(如电线绝缘不良,线路老化等)和设备外壳碰触时,设备的外壳就会有危险电压产生,由此生成的故障电流就会流经 PE 线到大地,从而起到保护作用。随着电子通信和其它数字领域的发展,在接地系统中只考虑防雷和安全已远远不能满足要求了。比如在通信系统中,大量设备之间信号的互连要求各设备都要有一个基准‘地’作为信号的参考地。而且随着电子设备的复杂化,信号频率越来越高,因此,在接地设计中,信号之间的互扰等电磁兼容问题必须给予特别关注,否则,接地不当就会严重影响系统运行的可靠性和稳定性。最近,高速信号的信号回流技术中也引入了“地”的概念。

Q2: 接地的定义

Answer: 在现代接地概念中、对于线路工程师来说,该术语的含义通常是‘线路电压的参考点’;对于系统设计师来说,它常常是机柜或机架;对电气工程师来说,它是绿色安全地线或接到大地的意思。一个比较通用的定义是“接地是电流返回其源的低阻抗通道”。注意要求是“低阻抗”和“通路”。

Q3: 常见的接地符号

Answer: PE, PGND, FG — 保护地或机壳; BGND 或 DC-RETURN—直流—48V(+24V)电源(电池)回流; GND—工作地; DGND—数字地; AGND—模拟地; LGND—防雷保护地

Q4: 合适的接地方式

Answer: 接地有多种方式,有单点接地,多点接地以及混合类型的接地。而单点接地又分为串联单点接地和并联单点接地。一般来说,单点接地用于简单电路,不同功能模块之间接地区分,以及低频($f < 10\text{MHz}$)电路时就要采用多点接地了或者多层板(完整的地平面层)。

Q5: 信号回流和跨分割的介绍

Answer: 对于一个电子信号来说,它需要寻找一条最低阻抗的电流回流到地的途径,所以如何处理这个信号回流就变得非常的关键。

第一,根据公式可以知道,辐射强度是和回路面积成正比的,就是说回流需要走的路径越长,形成的环越大,它对外辐射的干扰也越大,所以,PCB 布板的时候要尽可能减小电源回路和信号回路面积。

第二,对于一个高速信号来说,提供有好的信号回流可以保证它的信号质量,这是因为 PCB 上传输线的特性阻抗一般是以地层(或电源层)为参考来计算的,如果高速线附近有连续的地平面,这样这条线的阻抗就能保持连续,如果有段线附近没有了地参考,这样阻抗就会发生变化,不连续的阻抗从而会影响到信号的完整性。所以,布线的时候要把高速线分配到靠近地平面的层,或者高速线旁边

并行走一两条地线，起到屏蔽和就近提供回流的功能。

第三，为什么说布线的时候尽量不要跨电源分割，这也是因为信号跨越了不同电源层后，它的回流途径就会很长了，容易受到干扰。当然，不是严格要求不能跨越电源分割，对于低速的信号是可以的，因为产生的干扰相比信号可以不予关心。对于高速信号就要认真检查，尽量不要跨越，可以通过调整电源部分的走线。（这是针对多层板多个电源供应情况说的）

Q6：为什么要将模拟地和数字地分开，如何分开？

Answer：模拟信号和数字信号都要回流到地，因为数字信号变化速度快，从而在数字地上引起的噪声就会很大，而模拟信号是需要一个干净的地参考工作的。如果模拟地和数字地混在一起，噪声就会影响到模拟信号。

一般来说，模拟地和数字地要分开处理，然后通过细的走线连在一起，或者单点接在一起。总的思想是尽量阻隔数字地上的噪声窜到模拟地上。当然这也不是非常严格的要求模拟地和数字地必须分开，如果模拟部分附近的数字地还是很干净的话可以合在一起。

Q7：单板上的信号如何接地？

Answer：对于一般器件来说，就近接地是最好的，采用了拥有完整地平面的多层板设计后，对于一般信号的接地就非常容易了，基本原则是保证走线的连续性，减少过孔数量；靠近地平面或者电源平面，等等。

Q8：单板的接口器件如何接地？

Answer：有些单板会有对外的输入输出接口，比如串口连接器，网口 RJ45 连接器等等，如果对它们的接地设计得不好也会影响到正常工作，例如网口互连有误码，丢包等，并且会成为对外的电磁干扰源，把板内的噪声向外发送。一般来说会单独分割出一块独立的接口地，与信号地的连接采用细的走线连接，可以串上 0 欧姆或者小阻值的电阻。细的走线可以用来阻隔信号地上噪音过到接口地上来。同样的，对接口地和接口电源的滤波也要认真考虑。

Q9：带屏蔽层的电缆线的屏蔽层如何接地？

Answer：屏蔽电缆的屏蔽层都要接到单板的接口地上而不是信号地上，这是因为信号地上有各种的噪声，如果屏蔽层接到了信号地上，噪声电压会驱动共模电流沿屏蔽层向外干扰，所以设计不好的电缆线一般都是电磁干扰的最大噪声输出源。当然前提是接口地也要非常的干净。

来源：wenku