

评估高速DAC性能

作者: Walt Kester

简介

ADC需要FFT处理器来评估频谱纯度，DAC则不同，利用传统的模拟频谱分析仪就能直接研究它所产生的模拟输出。DAC评估的挑战在于要产生从单音正弦波到复杂宽带CDMA信号的各种数字输入。数字正弦波可以利用直接数字频率合成技术来产生，但更复杂的数字信号则需要利用更精密、更昂贵的字发生器来产生。

评估高速DAC时，最重要的交流性能指标包括：建立时间、毛刺脉冲面积、失真、无杂散动态范围(SFDR)和信噪比(SNR)。本文首先讨论时域指标，然后讨论频域指标。

DAC建立时间

根据应用的不同，DAC的精确建立时间可能重要，也可能不重要。但对于显示器所用的高速DAC，由于高分辨率监视器的像素率非常高，该参数特别重要。DAC必须能够在5%到10%的像素间隔时间内，从全0(黑色电平)变化到全1，这个时间可能相当短。例如，即使是相对常见的1024 × 768、60 Hz刷新率监视器，其像素间隔时间也只有大约16 ns，这意味着DAC需要在不到2 ns的时间内建立到至少8位精度(对于8位系统)。

满量程建立时间的基本定义如图1所示。该定义与运算放大器建立时间的定义非常相似。注意，建立时间可以通过两种受到认可的方式加以定义。较传统的定义是输出建立所需的时间，额定误差带相对于DAC数据选通脉冲的50%点进行测量(如果它有一个并行寄存器驱动DAC开关)，或者相对于开关的输入数据改变时的时间进行测量(如果没有内部寄存器)。另一个同样有效的定义是相对于输出离开初始误差带的时间来定义建立时间，这可以有效消除测量中的“死区时间”。例如，在视频DAC应用中，输出的建立时间是一个关键指标，固定延迟(死区时间)则无关紧要。

误差带通常用LSB或满量程的百分比(%)来规定，一般将误差带规定为1 LSB，但这并不是强制要求。然而，小心处理的话，在12位标准时测量1 LSB (0.025% FS)的满量程建立时间是可能的，但要在16位标准时测量1 LSB (0.0015% FS)的建立时间则非常困难。因此，高速DAC(如TxDAC®系列等)一般规定了12位标准(0.025% FS)时的14位和16位建立时间(典型值小于11 ns)。

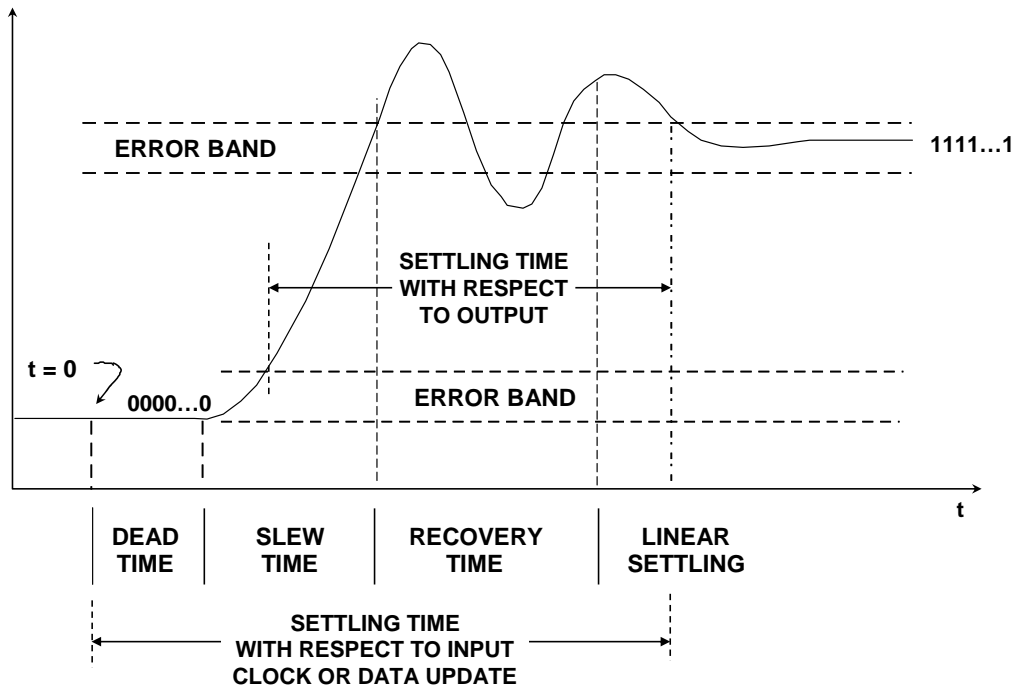


图1: DAC满量程建立时间

中间电平建立时间也是有意义的，因为在二进制加权DAC中，代码0111...1与代码1000...0之间的跃迁产生的瞬变最大。事实上，如果存在相当大的位偏斜，则瞬变幅度可能接近满量程。图2显示了一个波形和两种受到认可的中间电平建立时间定义。和满量程建立时间一样，中间电平建立时间也可以相对于输出或锁存选通脉冲(如果没有内部锁存，则相对于位跃迁)。

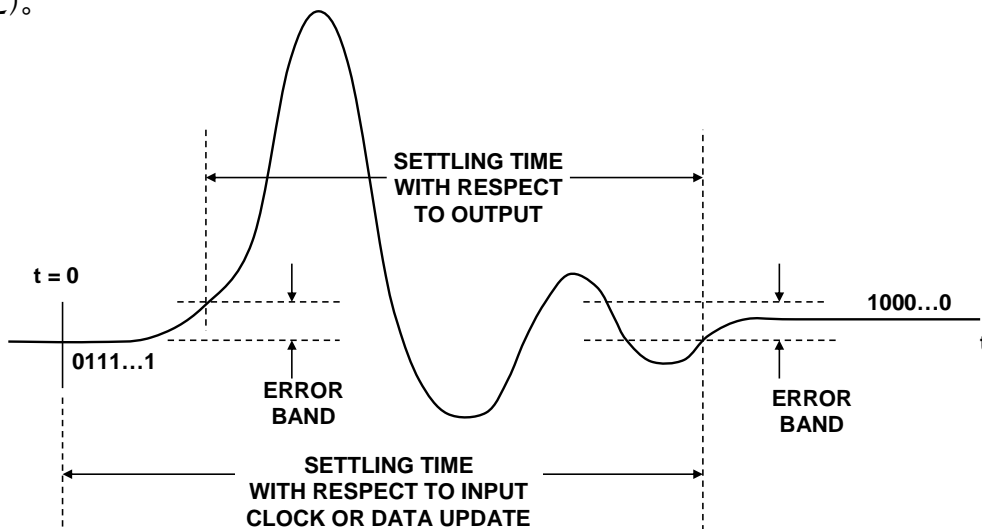


图2: DAC中间电平建立时间

毛刺脉冲面积

在理想情况下，当DAC输出改变时，它应从一个值单调地变为一个新值。但实际上，输出可能会过冲、欠冲或二者均有。跃迁期间DAC输出的这种不受控制的变化称为“毛刺”，它有两种产生机制：一是数字跃迁容性耦合到模拟输出，二是DAC中某些开关的切换速度快于其它开关，从而产生临时杂散输出。

容性耦合常常产生大致相同的正尖峰和负尖峰(有时称为“二联毛刺”)，从长期看，它们或多或少会相互抵消。开关时序差异产生的毛刺一般是单极性的，而且大得多，更值得关注。

毛刺可以用“毛刺脉冲面积”来衡量，有时也不准确地称之为“毛刺能量”。“毛刺能量”是一个误称，因为毛刺脉冲面积的单位是V-S(更确切地说是 $\mu\text{V}\cdot\text{s}$ 或 $\text{pV}\cdot\text{s}$)。“尖峰毛刺面积”指正或负毛刺面积中最大的面积。

根据图3所示的中间电平建立时间波形，很容易估算毛刺脉冲面积。四个三角形的面积用于计算净毛刺面积。三角形的面积等于底边长度乘以高度的二分之一。如果正毛刺面积总和等于负毛刺面积总和，则净面积为0。大部分数据手册给出的是净毛刺面积，有些情况下也可能是尖峰面积。

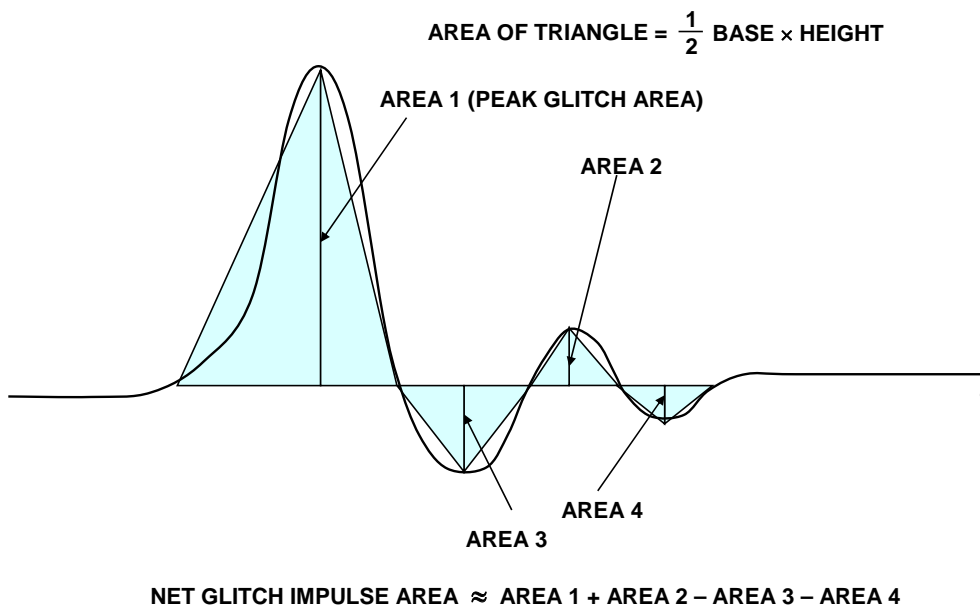


图3：毛刺脉冲面积

用示波器测量建立时间和毛刺脉冲面积

宽带快速建立示波器对于建立时间的精确测量至关重要。正确选择示波器需要考虑几点。所需的带宽可以根据DAC输出的上升/下降时间计算。例如，如果输出的上升时间和下降时间为1 ns，则对应的带宽为 $0.35/t_r = 350$ MHz，这就需要至少500 MHz带宽的示波器。为了包括二次和三次谐波成分，以便获得波形的更精确表示，示波器带宽至少应为信号带宽的3倍。

现代数字存储示波器(DSO)和数字荧光示波器(DPO)颇受欢迎，非常适合测量建立时间，以及执行许多其它波形分析功能(见参考文献3)。这些示波器提供数GHz的实时采样速率，对过驱的敏感程度远低于旧式模拟示波器或传统的采样示波器。过驱是建立时间测量中的一个重要考虑因素，因为当测量DAC满量程输出变化时，示波器一般设置为最大灵敏度。例如，要测量1 V输出(20 mA流入50 Ω)的12位建立时间，信号的分辨率必须在1 V阶跃函数之上的0.25 mV误差带内。

从历史角度看，旧式模拟示波器对过驱敏感，在不增加额外电路的情况下，无法用于精确测量阶跃函数的建立时间。1980年代，业界在电路方面进行了大量工作，利用肖特基二极管、电流源等来消除部分阶跃函数。参考文献4、5和6就是很好的例证，它们介绍了当时用来解决示波器过驱问题的各种电路。

即便使用现代DSO和DPO，也应当检查过驱情况，方法是将示波器灵敏度改变一个已知的量，确保波形的所有部分成比例变化。测量中间电平建立时间时，如果存在很大的毛刺，则示波器也可能遭受相当大的过驱。示波器的灵敏度应足以测量期望的误差带。如果小心处理的话，1 mV/分区可以测量0.25 mV误差带(一个主垂直分区通常分为五个较小分区，每个小分区相当于0.2 mV)。如果DAC片内集成运算放大器，则满量程输出电压可能更大，例如10 V，示波器的灵敏度要求将成比例降低。

虽然单极点系统中的上升时间与下降时间之间的关系已为人熟知，但不建议仅用上升时间来外推DAC建立时间。DAC涉及到许多高阶非线性效应，特别是12位或更高分辨率的DAC，这些效应会对实际建立时间产生严重影响。

测量建立时间时，DAC输出与50 Ω示波器输入之间最好直接相连，并避免使用探针。FET探针因为常常得出令人误解的建立时间结果而声名狼藉。如果必须使用探针，最好选用补偿式无源探针，而且应当小心使用。即使长度很短，适当端接的同轴电缆也会有集肤效应，这可能导致得出错误的建立时间结果。连接DAC和示波器时，必须保持良好的低阻抗接地，可以将BNC连接器的地线焊接到DAC测试板的接地层，并使用此BNC连接示波器的50 Ω输入。与DAC进行接口时，制造商的评估板可能非常有帮助，如有提供，则应使用。

最后，如果DAC输出专门设计用来驱动外部电流电压转换器的虚拟地，而没有足够的顺从电压以在负载电阻上产生可供测量的电压，则必须使用外部运算放大器，测试电路测量DAC/运放组合的建立时间。这种情况下，应选择建立时间至少比待测DAC短3到5倍的运算放大器。如果运放的建立时间与DAC的建立时间相当，则可以确定DAC的建立时间，因为DAC/运放组合的总建立时间等于DAC建立时间与运放建立时间的方和根。通过下式可计算DAC的建立时间：

$$\text{DAC Settling Time} = \sqrt{(\text{Total Settling Time})^2 - (\text{Op Amp Settling Time})^2} \quad \text{公式1}$$

DAC失真

研究DAC根据数字数据重构的波形的频谱后，我们会发现，除了期望的频谱(含有一个或多个频率，具体取决于重构波形的性质)以外，还有噪声和失真产物。

和直接数字频率合成(DDS)系统一样，当DAC重构一个数字产生的正弦波时，代码相关的毛刺会产生带外和带内谐波。例如，在重构正弦波的一个周期内，中间电平毛刺会出现两次(在每个中间电平交越上)，因而会产生正弦波的第二个谐波，如图4所示。请注意，正弦波的较高阶谐波也会重新混叠到奈奎斯特带宽(DC至 $f/2$)内，无法对其进行滤波。

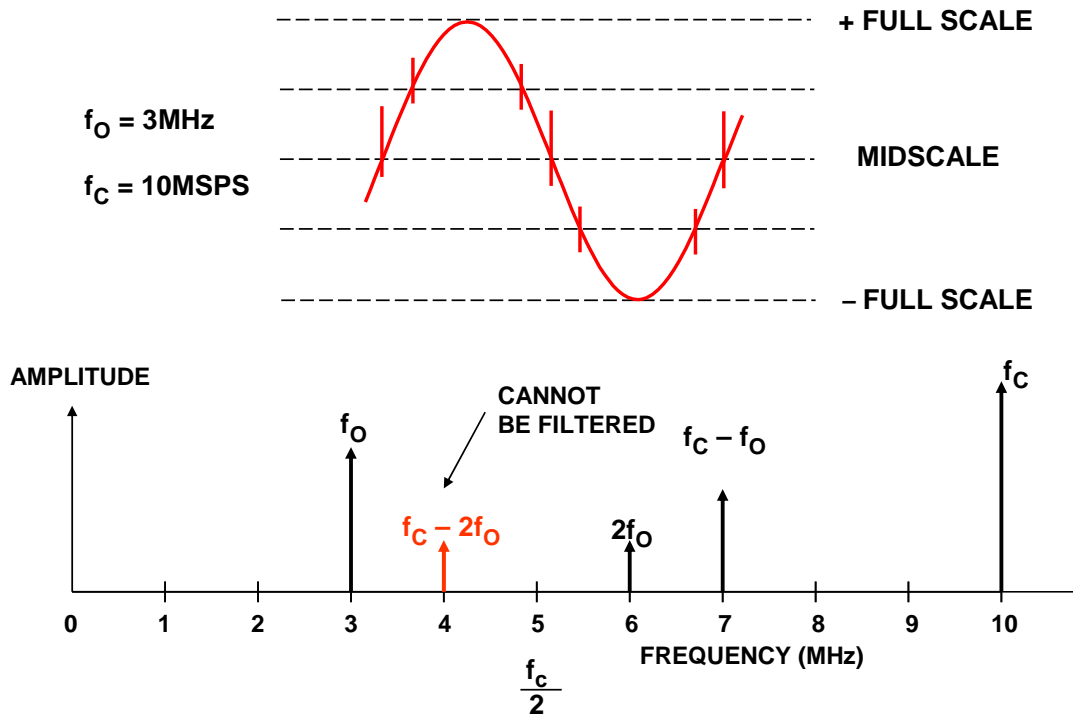


图4：代码相关的毛刺对频谱输出的影响

虽然可以使用分段DAC架构来大大降低代码相关的毛刺引起的失真，但无法彻底消除失真。

单凭毛刺面积参数，很难预测谐波失真或SFDR。诸如DAC的整体线性度等其它因素也会影响失真。此外，DAC采样时钟与DAC输出频率之间的整数比关系会导致量化噪声集中在基波的谐波上，从而提高这些点上的视在失真。

由于DAC广泛应用于通信和频率分析系统，因此几乎所有的现代DAC都会给出频域性能指标。基本的交流性能指标包括：谐波失真、总谐波失真(THD)、信噪比(SNR)、总谐波失真加噪声(THD + N)、无杂散动态范围(SFDR)等。为了测试DAC的这些特性，必须产生一个适当的数字合成信号来驱动DAC(例如，一个单音或多音正弦波)。

在1970年代初，当ADC和DAC的频域性能开始变得重要时，“背靠背”测试颇为盛行。ADC与配套DAC连接在一起，选择适当的模拟信号源来驱动ADC，然后利用模拟频谱分析仪来测量DAC输出的失真和噪声。这种方法是合理的，因为ADC和DAC常常配合使用，二者之间放置一个数字信号处理器来执行各种功能。显而易见，在总交流误差中，无法准确确定ADC和DAC分别贡献多少误差。但如今，ADC和DAC往往独立使用，因此必须单独进行测试。

图5显示了一个用于测量DAC的失真和噪声的典型测试设置。首要考虑当然是产生数字信号以驱动DAC。利用现代任意波形发生器(例如带选项4的Tektronix AWG2021)或字发生器(Tektronix DG2020),可以通过软件数字合成几乎任意波形。在严格的DAC频域测试中,必须使用这些仪器(见参考文献3)。多数情况下,这些发生器具有预编程的标准波形,如正弦波和三角波等。然而,许多通信应用要求更为复杂的数字波形,如双音或多音正弦波、QAM、GSM和CDMA测试信号等。许多情况下,可以使用专用硬件和软件来产生这些类型的信号,从而大大加速评估过程。

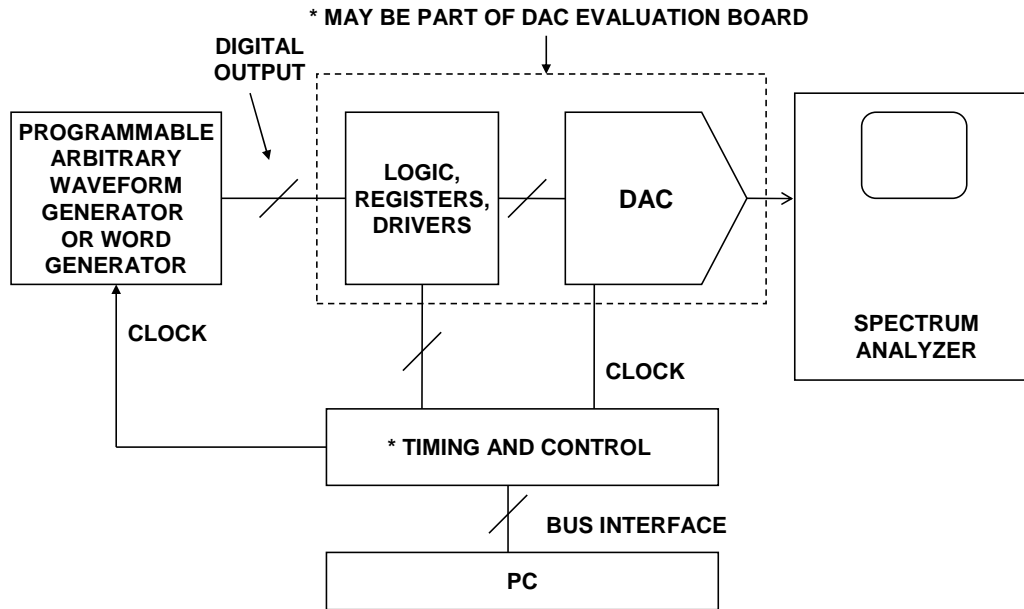


图5: 用于测量DAC失真和噪声的测试设置

ADI公司及其他高性能DAC制造商提供评估板,这可以大大简化与测试设备的接口。许多通信DAC(如TxDAC®系列)具有相当多的片内控制逻辑,因此其评估板可以通过SPI、USB、并行或串行端口与PC实现接口,此外还可以通过Windows®兼容软件帮助设置DAC的各种选项和工作模式。

要测试作为直接数字频率合成(DDS)系统一部分的DAC相对较为简单,因为IC的DDS部分可以充当DAC的数字信号发生器。测试这些DAC时,一般只需要制造商的评估板、PC、稳定的时钟源和高性能频谱分析仪即可。

选择用于测量DAC失真和噪声性能的频谱分析仪，其动态范围至少应比待测DAC高10 dB。频谱分析仪的“最大无交调范围”特性是反映其失真性能的有效指标(见参考文献7)。然而，频谱分析仪制造商可能会通过其它方式说明失真性能。现代通信DAC(如TxDAC®系列)要求使用高性能频谱分析仪，如Rhode & Schwartz FSEA30等(参考文献7)。

和示波器一样，频谱分析仪也必须对过驱不敏感。这可以通过下述方法轻松验证：施加一个对应于DAC满量程输出的信号，测量谐波失真产物的水平，然后将信号衰减6 dB左右，验证信号和谐波的降幅是否相同。如果谐波的降幅大于基波信号的降幅，则说明频谱分析仪造成信号失真。

某些情况下，只要在频谱分析仪的输入端串联一个阻带滤波器，用以消除待测基波信号的频率，那么过驱性能不甚理想的分析仪也可以使用。分析仪仅关注剩余的失真产物。只要测量失真时考虑到了阻带滤波器的衰减，这种技术一般都能够提供令人满意的结果。显然，对于每个受测的输出频率，都需要一个单独的阻带滤波器，因此多音测试会很麻烦。

最后需要说明的是，在通信、视频和音频应用中，有许多专用分析仪可供使用。视频领域广泛使用Tektronix VM-700和VM-5000系列(参考文献3)。测试用于音频应用的DAC性能时，最好使用专门为音频而设计的特殊信号分析仪。被业界奉为标准的音频分析仪是Audio Precision System Two(见参考文献8)。当然，还有许多其它专用分析仪可供选用，相比于通用型分析仪，这些分析仪可能更合适。此外，一般还有软件可用来产生具体应用所需的各种数字测试信号。

一旦选定适当的分析仪，各种失真和噪声相关特性(如SFDR、THD、SNR、SINAD等)的测量就比较简单。分析仪的分辨率带宽必须设置得足够低，以便能够解析高于本底噪声的谐波产物。图6所示为测量SFDR的典型频谱输出。

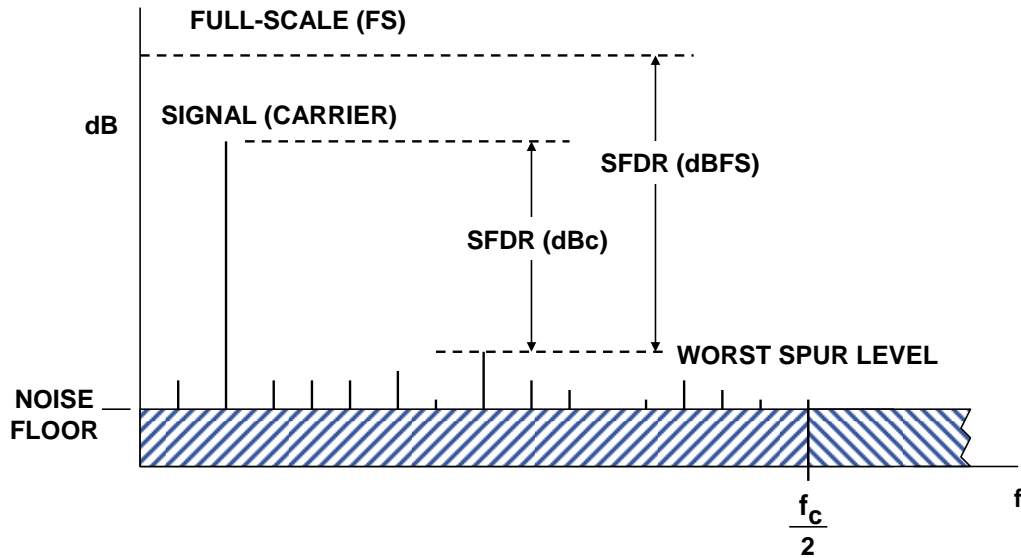
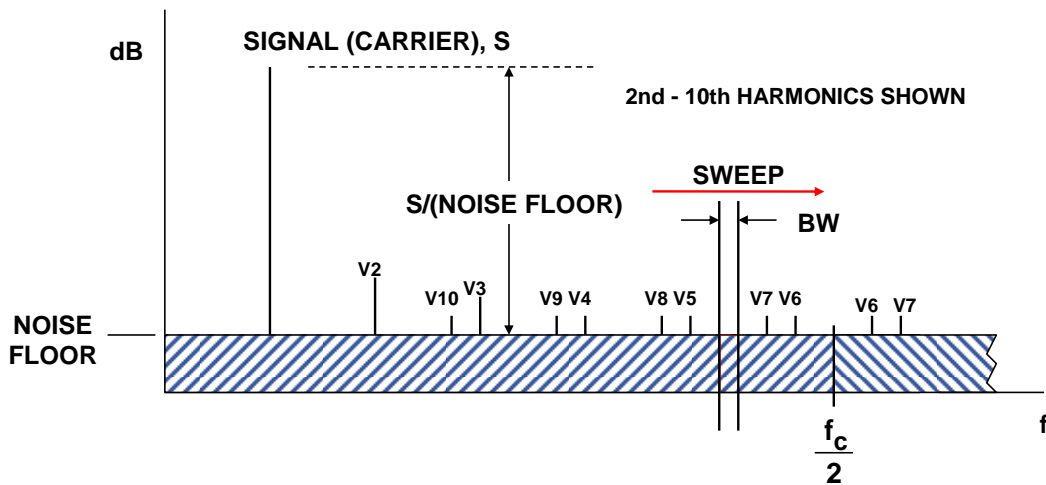


图6: 测量DAC无杂散动态范围(SFDR)

图7显示如何利用频谱分析仪测量各种谐波失真成分。图中显示了前9次谐波。注意，混叠使得6次至10次谐波重新回到 $f_c/2$ 奈奎斯特带宽内。



◆ $BW = \text{ANALYZER RESOLUTION BANDWIDTH}$

◆ $SNR = S/(NOISE FLOOR) - 10 \log_{10} \left[\frac{f_c/2}{BW} \right]$

图7: 利用模拟频谱分析仪测量DAC失真和信噪比

输入信号的谐波可以通过其在频谱中的位置与其它失真产物相区别。图8显示了一个以20 MSPS速率进行采样的7 MHz输入信号及前9次谐波的位置。 f_0 的混叠谐波处于 $|\pm Kf_c \pm nf_0|$ 的频率位置，其中 n 为谐波的次数， $K = 0, 1, 2, 3, \dots$ 。数据手册一般仅说明二次和三次谐波，因为这些谐波往往是

最大的，但也有一些数据手册说明了最差谐波的值。ADI公司的设计中心网站提供了一款交互式[谐波镜像计算器](#)程序，它能显示二次和三次谐波的位置与输出频率和DAC更新速率的关系。此外，该工具还能显示 $\sin x/x$ 滚降和输出抗镜像滤波器的衰减效应。

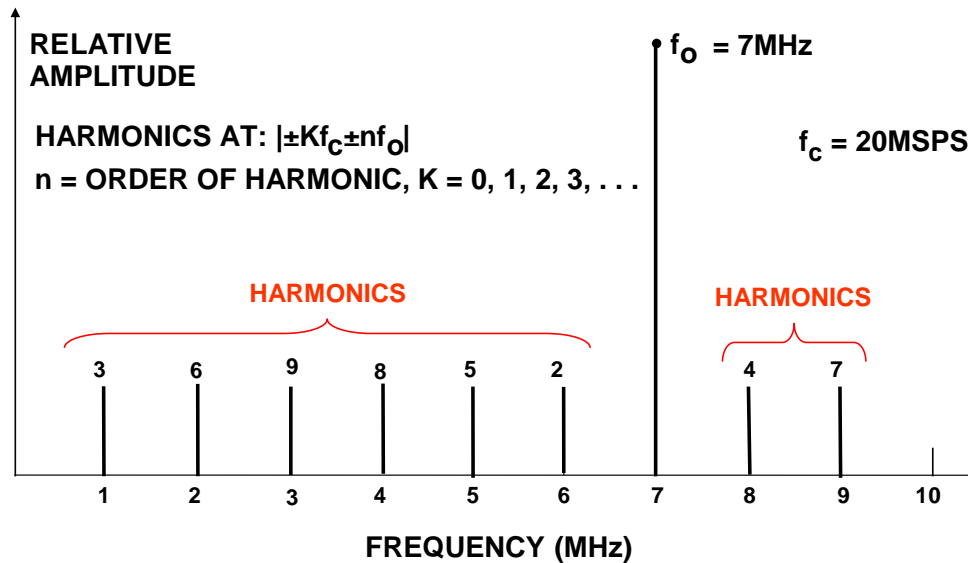


图8：前9次谐波产物的位置：输出信号 = 7 MHz，
DAC更新速率 = 20 MSPS

DAC噪声

如果考虑适当的校正系数，则频谱分析仪也可以用来测量SNR。图7显示了分析仪的扫描带宽BW，它在大多数情况下明显小于 $f_c/2$ 。首先，在频谱中相对无谐波的频率点，测量本底噪声水平相对于信号水平的值，这相当于图中的“S/(NOISE FLOOR)”值。DC至 $f_c/2$ 带宽内的实际SNR等于S/(NOISE FLOOR)减去处理增益 $10\log_{10}(f_c/2 \cdot \text{BW})$ 。

$$\text{SNR} = S/(\text{NOISE FLOOR}) - 10\log_{10}(f_c/2 \cdot \text{BW}). \quad \text{公式2}$$

为了获得精确的SNR结果，必须知道分析仪的确切带宽。制造商的文档中应当会给出分析仪的带宽特性。此外，如果分析仪中使用了任何信号均值技术，则这也可能影响净校正系数。

为了验证处理增益计算，可以禁用数个LSB；在这些条件下，DAC的SNR性能应接近理想值。例如，测量低失真、低噪声12、14或16位DAC的8位SNR时，其值应接近理论结果。利用公式 $\text{SNR} = 6.02N + 1.76 \text{ dB}$ 计算，理论8位SNR为50 dB。然后可以利用下式计算处理增益：

测量的精度应进行验证，方法是使能DAC的第9位，并确保分析仪的本底噪声降低6 dB。如果本底噪声没有降低6 dB，则应仅利用DAC的前6位重复测量。如果在6位水平下没有实现接近理论值的SNR性能，则受测DAC可能不适合注重噪声和失真性能的交流应用。

$$\text{PROCESS GAIN} = S/(\text{NOISE FLOOR}) - \text{SNR}. \quad \text{公式3}$$

SINAD、SNR与THD之间的关系可以通过如下方法推导。THD是指信号与基波信号的指定数量谐波的方和根(rss)之比。IEEE标准1241-2000(参考文献9)建议应包括前10次谐波。不同制造商在计算中可能选择少于10次的谐波。例如，ADI公司使用前6次谐波(二次、三次、四次、五次和六次)的方和根来定义THD。实践中，利用10次谐波与利用6次谐波测得的THD仅相差数十分之一dB，除非失真量极大。各次谐波(V2至V6)相对于信号电平S测量，单位为dBc。然后将其转换为比值，以RSS方式求和，再转换回dB便获得THD。信纳比SINAD可以通过求取SNR与THD的RSS和来计算：

$$\text{SINAD} = 20 \log_{10} \sqrt{\left(10^{-\text{SNR}/20}\right)^2 + \left(10^{-\text{THD}/20}\right)^2}. \quad \text{公式4}$$

ADI公司的设计中心网站提供了一个[SNR/THD/SINAD](#)计算器程序，可以利用它来帮助进行换算。

为了获得精确的失真测量结果，最重要的考虑之一是应确保DAC输出 f_o 不是更新速率 f_c 的次谐波频率。如果 f_c/f_o 为整数，则量化误差不是随机的，而是与输出频率相关。这将导致量化噪声能量集中在基波输出频率的谐波上，从而产生失真，但该失真是采样过程的伪像，而不是DAC的非线性效应。应当注意，评估ADC时也可能出现同样的伪像。

为了说明这一点，图9显示了一个理想12位DAC的仿真结果，其中9A显示的 $f_c/f_o = 40$ 时的输出频谱。注意SFDR约为77 dBc。右边的频谱输出(9B)显示的是 f_c/f_o 比值不是整数的情况，此时量化噪声是随机的，SFDR为93 dBc。

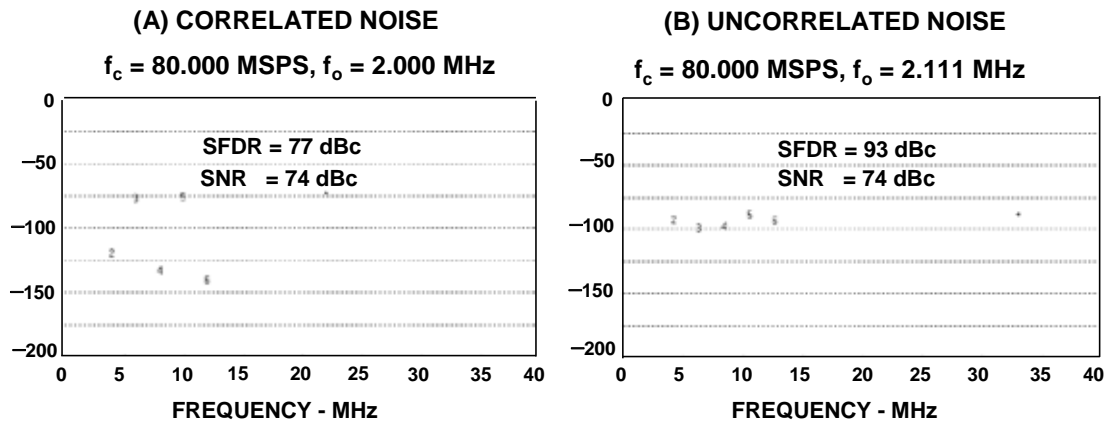


图9：理想12位DAC的相关(A)和非相关(B)量化噪声

由于可能的时钟和输出频率范围很广，针对特定的客户测试矢量，ADI公司提供关于TxDAC的特殊快速周转测量。利用这一重要的服务，系统设计师可以提前进行频率规划，确保具体应用具有最佳的失真性能。

DAC的SFDR性能常常不是用特定频率测量结果来表示，而是用固定时钟速率下SFDR与输出频率的关系曲线来表示。这一数据通常是在不同幅度的正弦波输出下获得的，例如图10所示的16位TxDAC AD9777。注意，该曲线不包括量化噪声与信号存在强相关性(即时钟频率与输出频率的比值是一个整数)的那些数据点。

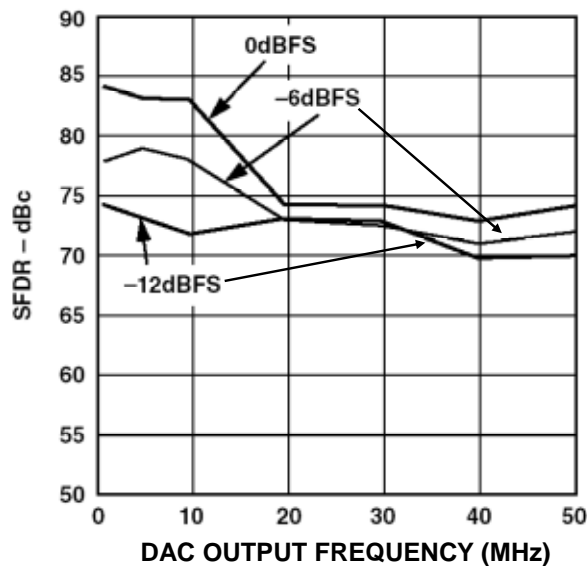


图10：AD9777 16位TxDAC™ SFDR，数据更新速率 = 160 MSPS

还有一种有用的测试方法，其测量结果能够很好地反映DAC在不同的输出和时钟频率组合下的整体性能。具体而言，它需要测试输出频率 f_o 等于 $f_c/3$ 和 $f_c/4$ 时的失真。实践中，输出频率会稍稍偏移一个很小的量 Δf ， Δf 是 f_c 的非整数分数，即 $\Delta f = kf_c$ ，其中 $k \ll 1$ 。当输出频率等于 $f_c/3 - \Delta f$ 时，偶数次谐波以 Δf 为间隔，分布在基波输出频率 f_o 周围，如图11所示。在不同的时钟频率(最大值为允许的最高频率)下测量最差偶数次谐波，同时要保持上述比值不变。然后针对输出频率 $f_c/4 - \Delta f$ 重复同样的程序，不过此时是奇数次谐波均匀分布在输出频率周围，如图12所示。

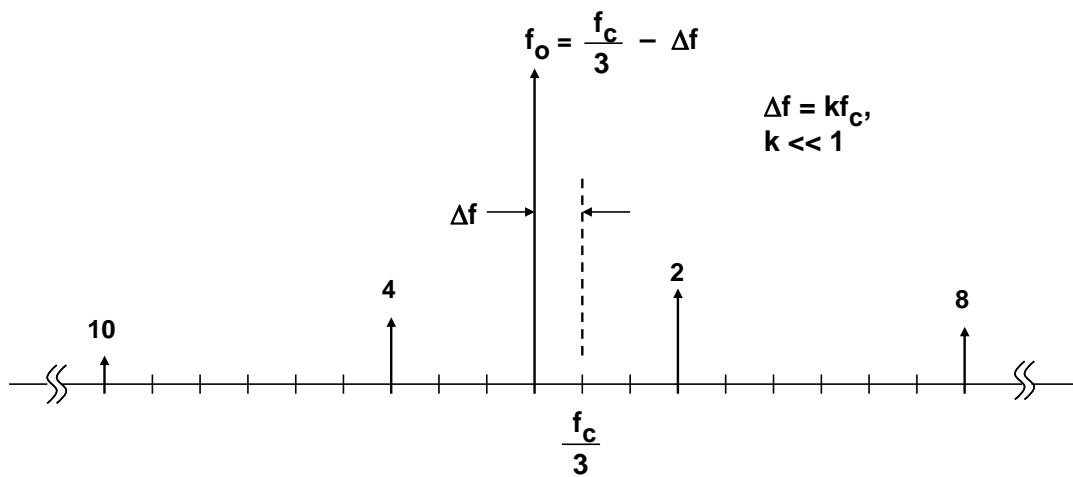


图11: 偶数次谐波的位置: $f_o = f_c/3 - \Delta f$

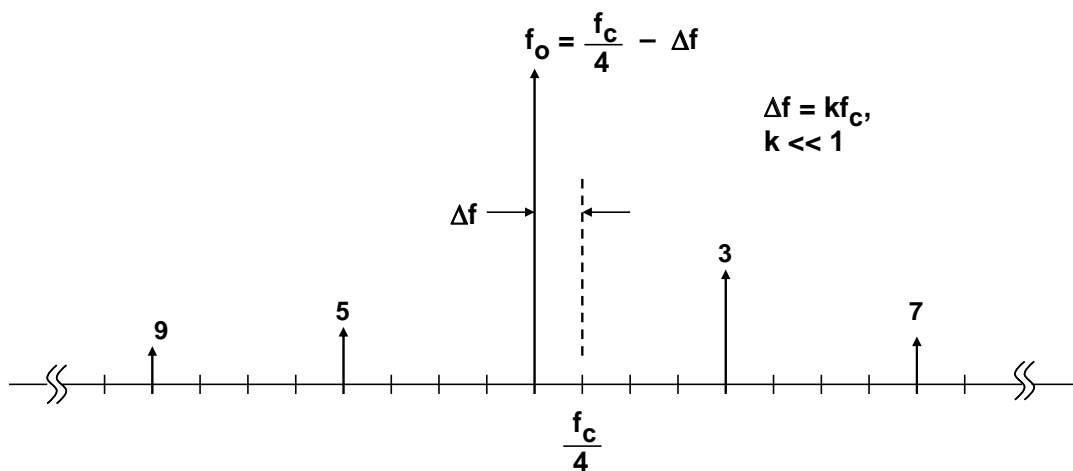


图12: 奇数次谐波的位置: $f_o = f_c/4 - \Delta f$

这些测量相对较为简单，因为一旦DDS或数字波形发生器确立 f_o 与 f_c 的比值，那么当主时钟频率改变时，该比值将保持不变。图13显示了一个低失真DAC在 $f_c/3$ 和 $f_c/4$ 两种输出频率下的SFDR与时钟频率的典型曲线。大多数情况下， $f_c/3$ 失真代表最差情况，可用于比较不同的DAC。

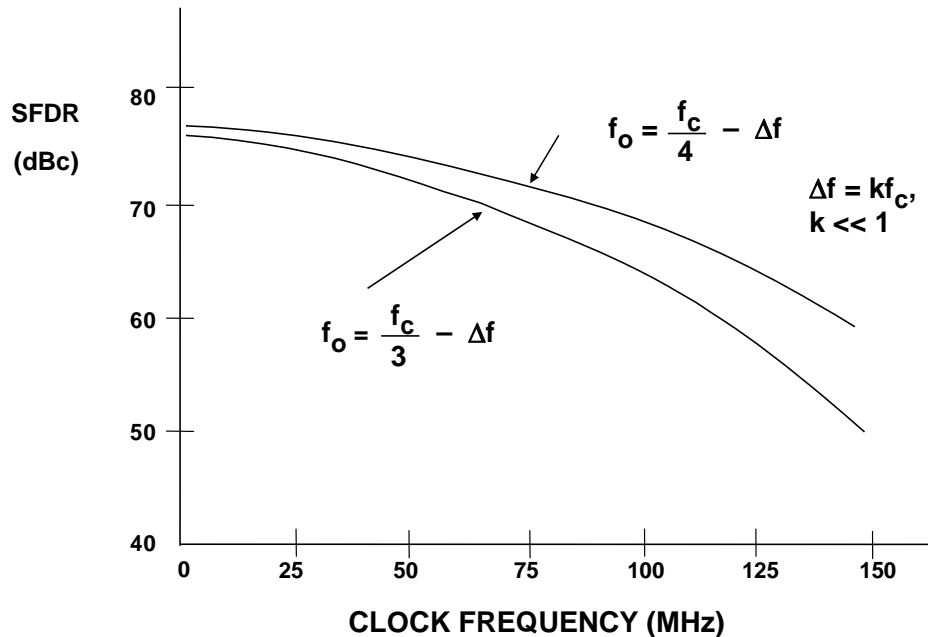


图13: 最差谐波与时钟频率的关系:
 $f_o = f_c / 3 - \Delta f$ 和 $f_o = f_c / 4 - \Delta f$

DAC输出频谱和SIN(X)/X频率滚降

重构DAC的输出可以表示为一系列矩形脉冲，其宽度等于时钟速率的倒数，如图14所示。请注意，在奈奎斯特频率 $f_c/2$ ，重构信号幅度降低3.92 dB。多数情况下，可以使用一个反 $\sin(x)/x$ 滤波器来补偿此效应，该滤波器一般是作为抗镜像滤波器的一部分进行设计的。基波信号的镜像作为采样函数的结果出现，并且也通过 $\sin(x)/x$ 函数衰减。

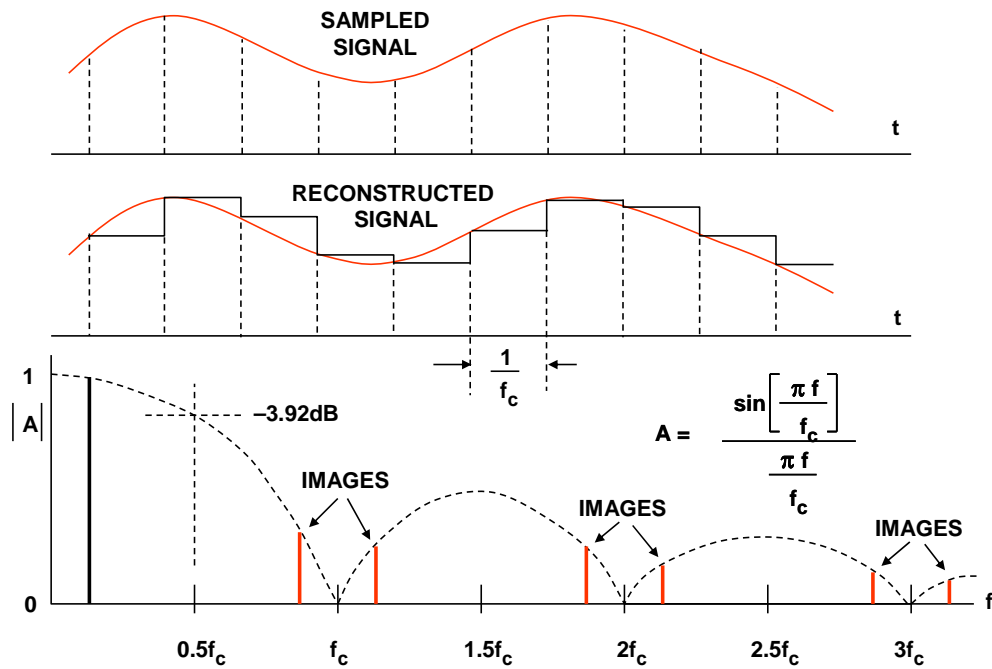


图14: DAC $\sin(x)/x$ 滚降(幅度归一化)

如果不补偿 $\sin(x)/x$ 滚降，则在DAC输出端进行带宽测量时必须予以考虑。在DC至 $f_c/2$ 的奈奎斯特带宽内，滚降对失真和SNR测量的影响可以忽略不计。

ADI公司的设计中心网站提供了一款交互式[谐波镜像计算器](#)程序，它能显示二次和三次谐波的位置与输出频率和DAC更新速率的关系。此外，该工具还能显示 $\sin(x)/x$ 滚降和输出抗镜像滤波器的衰减效应。

参考文献

1. Jim R. Naylor, "Testing Digital/Analog and Analog/Digital Converters," *IEEE Transactions on Circuits and Systems*, Vol. CAS-25, July 1978, pp. 526-538.
2. Dan Sheingold, *Analog-Digital Conversion Handbook, 3rd Edition*, Analog Devices and Prentice-Hall, 1986, ISBN-0-13-032848-0. (*the defining and classic book on data conversion*).
3. Tektronix, Inc., 14200 SW Karl Braun Drive, P. O. Box 500, Beaverton, OR 97077, Phone: (800) 835-9433, <http://www.tek.com>. (*the website contains a wealth of information on oscilloscopes, measurement techniques, probing, etc., as well as complete specifications on products*).
4. Howard K. Schoenwetter, "High Accuracy Settling Time Measurements," *IEEE Transactions on Instrumentation and Measurement*, Vol. IM-32, No. 1, March 1983, pp. 22-27.
5. James R. Andrews, Barry A. Bell, Norris S. Nahman, and Eugene E. Baldwin, "Reference Waveform Flat Pulse Generator," *IEEE Transactions on Instrumentation and Measurement*, Vol. IM-32, No. 1, March 1983, pp. 27-32.
6. Barry Harvey, "Take the Guesswork out of Settling-Time Measurements," *EDN*, September 19 1985, pp. 177-189.
7. Rohde & Schwarz, Inc., 8661A Robert Fulton Dr., Columbia, MD 21046-2265, Phone: (410) 910-7800, <http://www.rohde-schwarz.com>. (*a premier manufacturer of spectrum analyzers, the website contains tutorials on frequency analysis as well as product specifications*).
8. Audio Precision, 5750 S.W. Arctic Drive, Beaverton, Oregon 97005, <http://www.audioprecision.com>. (*the recognized industry standard for professional audio measurement equipment*).
9. *IEEE Std. 1241-2000, IEEE Standard for Terminology and Test Methods for Analog-to-Digital Converters*, IEEE, 2001, ISBN 0-7381-2724-8.
10. Walt Kester, *Analog-Digital Conversion*, Analog Devices, 2004, ISBN 0-916550-27-3, Chapter 2 and 5. Also available as *The Data Conversion Handbook*, Elsevier/Newnes, 2005, ISBN 0-7506-7841-0, Chapter 2 and 5.

Copyright 2009, Analog Devices, Inc. All rights reserved. Analog Devices assumes no responsibility for customer product design or the use or application of customers' products or for any infringements of patents or rights of others which may result from Analog Devices assistance. All trademarks and logos are property of their respective holders. Information furnished by Analog Devices applications and development tools engineers is believed to be accurate and reliable, however no responsibility is assumed by Analog Devices regarding technical accuracy and topicality of the content provided in Analog Devices Tutorials.