

FPGA 经典 100 问之<设计实现 31 问>

FPGA 是什么？

FPGA 即现场可编程逻辑门阵列（英语：Field Programmable Gate Array, FPGA），是一个含有可编辑元件的半导体设备，可供使用者现场程式化的逻辑门阵列元件。它是作为专用集成电路（ASIC）领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。

现把历年来众多网友和专家联手打造的 FPGA 经典 100 问奉献给大家,包括<HDL 28 问>、<仿真 20 问>、<设计实现 31 问>、<下载验证 16 问>、<入门与提高 5 问>。**初学者必备！**

[FPGA 经典 100 问 之<HDL 28 问>&<仿真 20 问>下载](#)

[点击下载>>45 篇博文精粹《菜鸟变高手，草根成长记》](#)

[点击下载>>特权同学倾力巨献---FPGA 学习资料下载汇总](#)

1、CYCLONE3 芯片 DDR2 控制器 SSTL18 疑问！

[xulong431](#) 问：

根据 SSTL18 规范及 C3 的 handbook 指导，与 DDR2 芯片互连得管脚采用的是伪差分的方式，C3 相关 DDR2 控制器块的 Vrefb 管脚接 VTT 电平；问题随之而来，我使用的是 EP3C120F780 芯片，在 BANK3,4 边使用了 2 个 16bit DDR2 控制器，因此 BANK3,4 两块 3 个 Vrefb 管脚我都接了 VTT 电平，除去 DDR2 使用的 I/O 管脚，大概还剩下 25 根 I/O 没有使用；在 HANBOOK 里面没有具体说明此时剩下的 I/O 管脚可否正常驱动 1.8-LVTTL 或者 1.8-LVCMOS；那位高工有类似的经验望分享。

[smarteebit](#) 答：

可以的。

楼主在分配完后可以用 QuartusII 的 IO 分配检查验证一遍是否有错：“Processing”->“Start”->“Start I/O assignment analysis”

[asyou](#) 答：

当然可以了，不然那些 IO 不是浪费了吗？这样的性能怎么跟 Xilinx 竞争啊！

[查看更多回答与讨论>>](#)

2、求助，用单片机采用 JTAG 方式配置 FPGA

[kanojoy](#) 问：

想用单片机对 CycloneII 器件进行配置，采用 JTAG 方式，该解析哪种格式的配置文件？.rbf- .svf- 怎么解析…求教

[ilove314](#) 答：

sof 文件

[查看更多回答与讨论>>](#)

3、关于 PFGA 复位引脚的问题

[忆年](#) 问:

我刚开始学 FPGA，写个数码管显示的代码遇到复位的问题，就是随便一个 I/O 口定义为复位引脚，下降沿有效，如果复位引脚悬空，能正常工作，但是我连上一条杜邦线，复位信号好像就一直高低电平的跳变，然后就一直处于不断的复位状态，为什么会这样？复位信号是要用按键来控制吗？如果是按键抖动的话就对复位信号很敏感？谁给讲讲复位的问题啊，谢谢了。

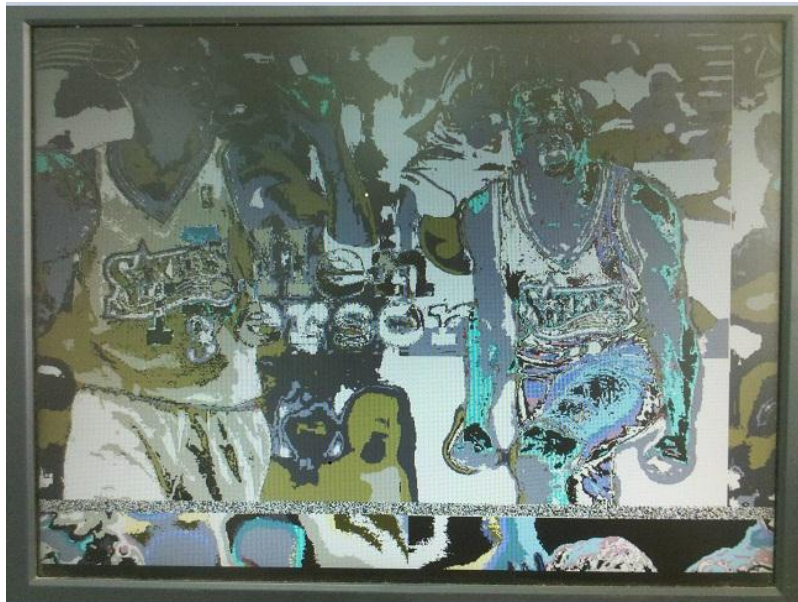
[ilove314](#) 答:

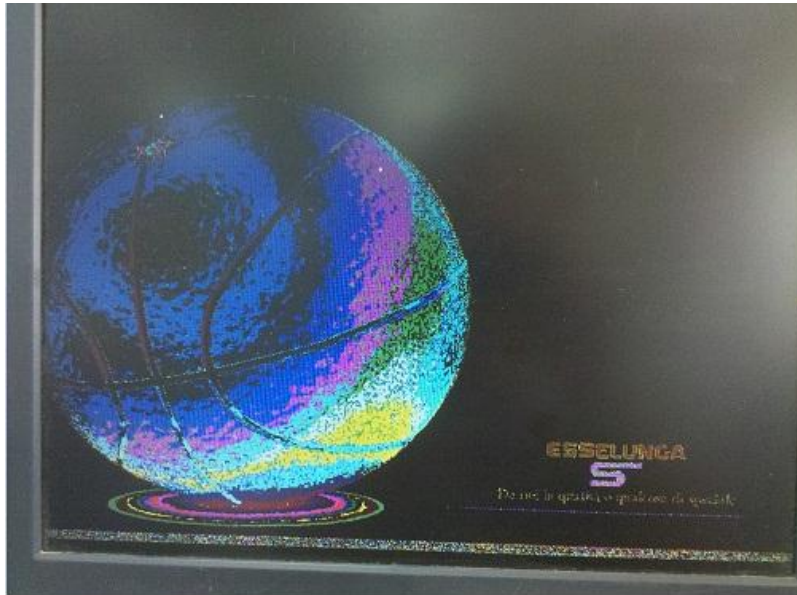
请确定把复位管脚连到高电平

[查看更多回答与讨论>>](#)

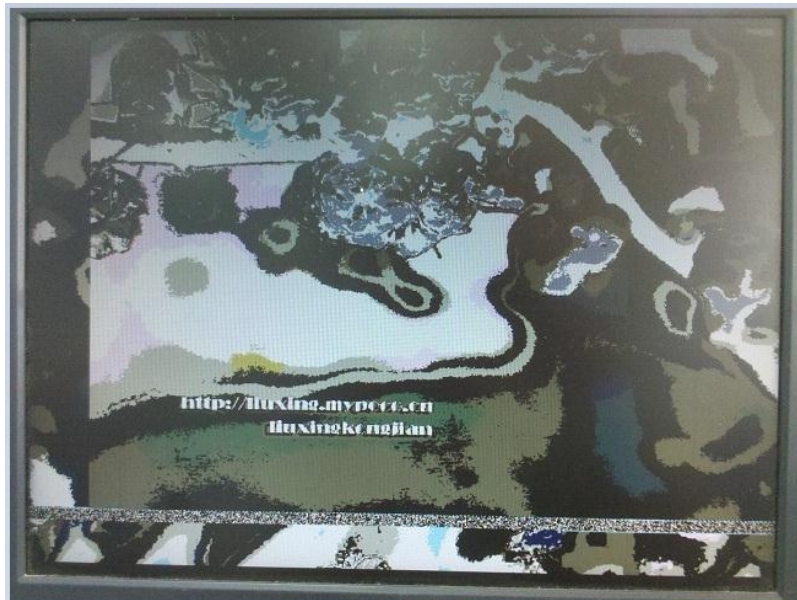
4、EP1C31144C8N 学习板的 256 色数码相框显示结果是这样吗

[bbsvs2000](#) 问:





学习版例程的效果，色彩挺怪的？能调整的更好吗？



[ilove314](#) 答：

你的 SD 卡读取地址没有设置对。请按照光盘里面的说明文档进行设置。

[查看更多回答与讨论>>](#)

5、关于 M4K 块配置 VGA 显示的问题

[zxl2431](#) 问：

按照特权同学的视屏做这个实验时，有 3 个问题请教

1,配置好单端口 ROM 后，在顶层进行例化

```
reg[5:0] rom_addr; //ROM 地址
```

```
reg[7:0] rom_data; //ROM 数据
```

```
vga_rom uut_vga_rom(  
    .address(rom_addr),  
    .clock(clk_25m),  
    .q(rom_data)  
);
```

这是特权的程序，我也是这样的写的，但是编译总是报错：

Error (10663): Verilog HDL Port Connection error at vga_rom_1.v(118): output or inout port "q" must be connected to a structural net expression

网上查了一下，说是定义的 `q` 的类型不对，后来改成

```
wire[7:0] rom_data; //ROM 数据
```

后就编译成功了，不知道大家有没有遇到过这情况，为什么特权同学的就能编译成功了？谁能帮我解释一下这情况，谢谢！

2. 关于 ROM 地址的计算问题

```
//ROM 地址计算
```

```
always @(posedge clk_25m or negedge rst_n)  
    if(!rst_n) rom_addr <= 6'd0;  
    else if(y_dis == 10'd230) rom_addr <= 6'h3f; //地址复位  
    else if(y_dis > 10'd230 && y_dis < 10'd467 && (x_cnt == 10'd440 | x_cnt == 10'd448 | x_cnt ==  
10'd456))  
        rom_addr <= rom_addr+1'b1;
```

这个比较好理解，有点小疑问就是，当到达显示区的时候，地址的复位为什么是 `6'h3f` (63) 最后一个，我认为是特权讲的时钟落后两拍的原因后面的 `x_cnt == 10'd440`，也说明了这一点。我没能理解的是后面的

```
reg[4:0] char_bit; //显示位计算
```

原来的程序我们定义的是：

```
parameter char_line3 = 24'hfcf8c7,
```

一共 24 位，所以是 `char_bit <= 5'd23`; //显示最高位数据，但现在每一个 `rom_data` 只有 8 位，还能这样 `rom_data[char_bit]` 写吗？我试了一下貌似是乱码也。还有就是在 `.mif` 初始化文件中的这些数和 `parameter` 里面的数是怎么对应起来的。难道 `.mif` 初始化 ROM 文件中的数真的要一个一个的填进去吗？如果有几百个那个工程量是很大的，请问有没有什么简

单的方法直接复制粘贴就好。

```
00 00 00 00 00 00 FC F8
C7 42 44 62 48 42 62 48
42 52 78 42 52 48 42 4A
48 42 4A 40 42 4A 42 42
46 42 44 46 42 44 46 FC
F8 E2 00 00 00 00 00 00
00 00 00 00 00 00 00 00
00 00 00 00 00 00 00 00
```

3,如果我想在显示器上全屏显示一张图片,难道要用 CASE 语句,后面写上 0 到 479 呵呵,有什么简单方法。我觉得是类似 C 语言里面的 2 维数组就可以解决,还有我的 图像的海量数据放到哪里? 难道要加个 SD 卡, 那文件系统啊, 图像格式的转化啊, 又来了。不是一两天能够搞定得。

呵呵, 我是个新手, 学了不到一个月, 以上问题请大家帮我解答一下, 以后还有问题, 请大家指教。

[ilove314](#) 答:

1. 确实应该是 wire 才符合语法, 不可能用 reg 能通过编译; 2.你自己仿真一下就什么都清楚了, 不要在代码上推来推去; 3.Verilog 里面有类似二维数组, 但是用起来有很多限制, 一般很少用。

[查看更多回答与讨论>>](#)

6、如何查看 FPGA 引脚分布

[鱼晒太阳](#) 问:

我在 Altra 官网上下了 datasheet, 可是没找到关于 FPGA 芯片的引脚分布的内容, 比如 FPGA 电源、地、GPIO 等,, 求助, 谢谢!

[ilove314](#) 答:

有专门的 IO 分配资料, 好像是个 txt 文件, 你仔细找找。另外, 你使用 altium design 他们提供一些 altera fpga 的库文件

[代号 ET](#) 答:

下载器件管脚配置文档步骤: 一、首先进入 Altera 官网, 然后选择



二、然后在正文的下载栏目中选择第一项“器件管脚列表”(英文为 Download 列表的 Device Pin-Outs)，如下所示：

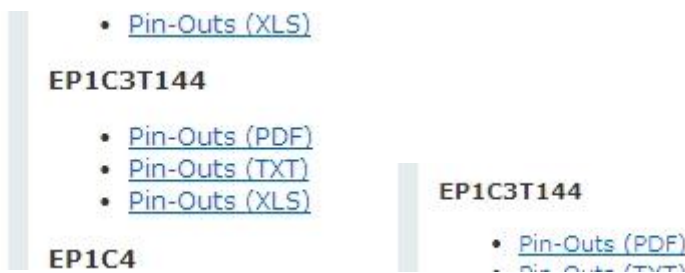


三、选择你需要的器件，在此假设我选择 Cyclone 系列的，如下图所示：

- [Stratix[®] V](#)
 - [Stratix[®] IV](#)
 - [Stratix[®] III](#)
 - [Stratix[®] II GX](#)
 - [Stratix[®] II](#)
 - [Stratix[®] GX](#)
 - [Stratix](#)
 - [Arria[®] V[®]](#)
 - [Arria[®] II GX](#)
 - [Arria[®] GX](#)
 - [Cyclone[®] V[®]](#)
 - [Cyclone[®] IV](#)
 - [Cyclone[®] III](#)
 - [Cyclone[®] II](#)
 - [Cyclone](#)
 - [MAX[®] V](#)
 - [MAX[®] II](#)
 - [HardCopy[®] IV](#)
 - [HardCopy[®] III](#)
 - [HardCopy[®] II](#)
 - [Mercury™](#)
 - [APEX™ II](#)
 - [APEX](#)
 - [Excalibur™](#)
 - [FLEX[®] 10K](#)
 - [FLEX 6000](#)
 - [ACEX[®]](#)
 - [MAX 7000](#)
 - [MAX 3000A](#)
 - [Configuration Devices](#)
- [Cyclone II](#)
 - [Cyclone](#)
 - [MAX[®] V](#)

中英文显示都一样，然后点击 Cyclone 进入！

四、选择你所需要器件的具体型号，如：EP1C3T144 的 PDF 文档格式。如下图所示：



五、选择 EP1C3T144 列表的 Pin-Outs(PDF)，然后就会显示我们所需要的器件管脚资料。



Pin Information for the Cyclone™ EP1C3T144 Device Version 1.4						
Bank Number	VREFB Group	Pin Name / Function	Optional Function(s)	Configuration Function	T144	DQS for x8 in the T144
B1	VREF0B1	I/O	LVDS4p	INIT_DONE	1	DM1L
R1	VREF0R1	I/O	LVDS4n	CRC_ERROR	2	DQ11n

点击左上角的保存即可将器件管脚资料保存到你的电脑上！

★找 Altera 器件管脚资料也是我前不久找到的，刚开始也是胡乱搜索，有其他方法的请指教！
[查看更多回答与讨论>>](#)

7、关于 sd 卡初始化的问题

[chentianyan](#) 问：

我想问一下，TRC_CLK=6，这意味着是 60ns，一个刷新周期不是 60ms 吗？是我理解错了，还是怎么样？求解释，谢谢

[ilove314](#) 答:

这个参数不是刷新周期, 具体你去看看 SDRAM 的 datasheet

[查看更多回答与讨论>>](#)

8、VGA 显示问题

[cissy33](#) 问:

1.根据 VESA 标准, 800*600 分辨率的频率在 60hz 左右, 网上看到一些源码的频率都是在 MHz 级别, 实验七 VGA 实验中用的频率为 50MHZ, 应该采用哪个数量级的才对?

2.在 Nexy3 板子上写了一段 VGA 控制器的代码, 链接上显示器无任何显示, 重启显示器会出现 no signal detected 警告, r,g,b,hs,vs 等信号在 led 上能正确输出, 请问这是什么原因, 附上源码, 请指教~

[ilove314](#) 答:

标准的 VGA 时序在实际应用中可能不完全是匹配的, 或许还要做些微调

[查看更多回答与讨论>>](#)

9、quartusII 编译后提示器件不支持怎么办? 急! 小白求助! Error: Cur

[朝阳就要有朝阳的样子](#) 问:

Error: Current license file does not support the EP4CE15F17C8 device

菜鸟一个 求大神帮忙啊!

quartus II 11.0

[ilove314](#) 答:

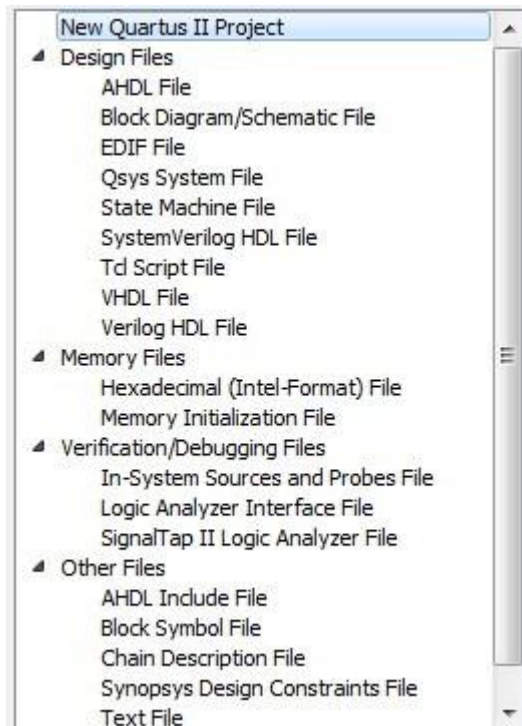
英文读不懂吗? 你的 license 不支持该器件, 找一个更全的 license 安装

[查看更多回答与讨论>>](#)

10、Quartusii 不能建立 Vector Waveform file 是怎么回事

[HBBMAKEIT](#) 问:

如图, Quartusii 不能建立 Vector Waveform file 是怎么回事



[ilove314](#) 答:

这个是小儿科的工具，最新的几个版本软件已经取消了。还是乖乖学写 testbench 吧

[查看更多回答与讨论>>](#)

11、求助 ise14.3 不支持 virtex2p 吗？

[刀锋冷](#) 问:

我新装的 ise14.3 但是选择器件的时候却没有 virtex2p 系列那位大神能帮助解决一下吗

[ilove314](#) 答:

找他们的技术支持吧，估计 14 版本的 ISE 已经没有老器件了

[查看更多回答与讨论>>](#)

12、FPGA 上电后会自动清零吗？

[特全](#) 问:

最近在学习特权同学的视频，在特权同学的串口通信的实验中有这样一段代码:

```
always@(posedge clk or negedge rst_n)
if(!rst_n)
num<=13'd0;
else if(num==N-1) num<=13'd0;
else if(count_sig)
num<=num+1'b1;
else num<=13'd0;
```

我想问一下，FPGA 上电时会自动清零吗？如果不能的话，那上电时寄存器 num 的值是多少？
如果上电时 num 是一个大于 N 的值，那上面的语句不就没法执行了吗？

jl 答：

上电默认值为 0，不是自动清零。

寄存器映射到实际电路，不是 0 就是 1，默认为 0

[查看更多回答与讨论>>](#)

13、FPGA 的接口问题

wenjiaopu 问：

本人想测试所编的程序，将外部信号发生器的电平信号输入到 FPGA 的 I/O 引脚，出现的问题是 FPGA 多少伏为低电平，多少伏为高电平？

如果与 DSP 相连的话，需不需要加入一些其它电路，还是直接将 DSP-PWM 口与 FPGA 普通 I/O 用线相连吗？

jlx cuc 答：

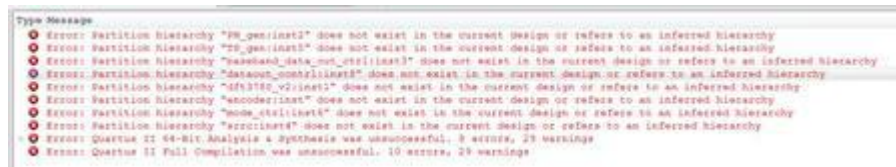
FPGA 在分配管脚的时候，是可以选择输入端口的接口的类型的，比如 3.3VTTL，那它的高低判断就和 TTL 标准是一样的

[查看更多回答与讨论>>](#)

14、【求助】在工程中选择子模块置顶后编译出错！

jlx cuc 问：

在一个工程中，想看一下其中一个子模块的编译报告，于是将子模块置顶后编译……结果报错了！！查了很久后才找到原因，不知道大家遇到这样的问题没？

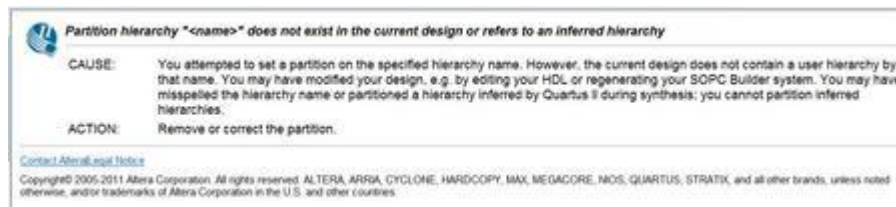


Error: Partition hierarchy "PN_gen:inst2" does not exist in the current design or refers to an inferred hierarchy

Error: Partition hierarchy "TS_gen:inst5" does not exist in the current design or refers to an inferred hierarchy

.....

右键 help，Altera 给出的解释是：



大致意思就是设定的区域划分没有实体……建议删除或者重建区域划分。

哪位大牛能仔细给讲讲么？

[jlx_cuc](#) 答:

其实,这是由于之前设置了增量编译造成的。详情可参考本人博文

http://bbs.ednchina.com/BLOG_ARTICLE_3007852.HTM

[查看更多回答与讨论>>](#)

15、新同学求助 DE2 的管脚配置问题

[风摇铃曳](#) 问:

大家好 我是新同学 现在在调串口

用的 DE2 板子 看的是特权同学的串口通信的程序 好像板子不配套

我也不知道怎样去配置管脚 所以想请教大家

先谢谢~

[jlx_cuc](#) 答:

芯片型号是什么呢? DEII 是自带管脚分配文件的,并且提供了一个配置工具,可直接使用 Altera 提供的工具自动生成带管脚配置的工程,很方便。

```
# CLOCK
=====
set_location_assignment PIN_Y2 -to CLOCK_50
set_instance_assignment -name IO_STANDARD "3.3-V LVTTL" -to CLOCK_50
set_location_assignment PIN_AG14 -to CLOCK2_50
set_instance_assignment -name IO_STANDARD "3.3-V LVTTL" -to CLOCK2_50
set_location_assignment PIN_AG15 -to CLOCK3_50
set_instance_assignment -name IO_STANDARD "3.3-V LVTTL" -to CLOCK3_50
```

如上图,只不过是 IO 名称不匹配吧?把名称改过来就好了。

特别是对于 LVDS 的管脚分配,很多时候 Quartus 都会出 bug,让信号对之间的关联紊乱,所以采用文本形式分配管脚会方便一些。

[查看更多回答与讨论>>](#)

16、大神救命呀,急! quartus II 12.1 中如何建立矢量波形文件?

[小小小菜](#) 问:

如题?我看很多教程,都是在 file-----New 然后选择 other files 里面就有 Vector Waveform File 选项可以选择,我是初学者,以前没用过,刚去 altera 网站下载的这个 quartus II 12.1,找了半天都没有这个选项,请问这个选项在哪里去了?没有的话请问如何进行仿真的?

[wdzfd](#) 答:

现在矢量波形文件仿真用的较少了吧,建议楼主用 HDL 描述

[pxx444021003](#) 答:

quartus II 从 9.1 版本开始就没有自带的 波形仿真了! 你可以用 ModelSim 进行仿真的!

[查看更多回答和讨论>>](#)

17、求助!FPGA 如何指定用哪个 PLL?

[JatonLee](#) 问:

我的 fpga 型号为 EP2S180F1020I4, 怀疑内部 PLL 有问题, 现在片外有一晶振, 想通过 PLL 分频检查哪个 PLL 是坏的, 但是不知道如何设置用哪个特定的 PLL, 求高手解答, 谢谢

[hanyb_xiyou](#) 答:

以将每个 PLL 的输出引出来, 测试下就知道那个坏了呀。

[rainsy_edn](#) 答:

PLL 设置的对不对 PLL 的电源、地是不是焊接好了, 有无电压

[查看更多回答与讨论>>](#)

18、关于时序优化问题的求教

[greenapl1985](#) 问:

之前写了一个 FPGA 程序,实现 HSSL 的协议,一直都运行的没有问题,今天上板测,发现接收端一直收不到信号,程序绝对没有改动,硬件也没有问题(因为下其他程序都是好的)目前不知道是什么原因,有一个 critical warning: timing requirements not met,不知道会不会对程序产生影响呢,对于这种 critical warning 不知道要怎么去改,看往上说,设置 setup,hold 的时间,可是这个时间要怎么给呢?

另外,我的这个问题可能是因为 critical warning 造成的吗?也太彻底了,什么信号都没有,不过以前虽然是好好的,但经常出现实际数据(通过 memory 查看)与 stp 文件探测到的数据不一样的情况,不过都没在意过。

[huagongxuezi](#) 答:

这种问题我觉得不太像这个时序优化问题, setup hold time 之类的不符合,可能会有错误数据产生,但你这个完全没有工作,有可能是时钟、或者复位信号没加上的现象。你最好测下时钟及复位信号,一级一级的排除问题。不过这个 critical warning 最好还是解决掉。时序优化还是很有用的,查看时序报告,编辑个 sdc 文件,以后会用的比较多的。

[maybe_or_mustbe](#) 答:

critical warning: timing requirements not met 会使得你的程序不稳,严重时完全彻底不工作。关于 critical warning 怎么修改,这个问题有点大,要看你具体使用的是什么开发平台和你的应用程序,建议楼主先在 EDN 的搜索栏里搜搜"时序优化",setup hold 等关键词,里面有很多精彩的博文和帖子,可以供你学习参考。

[查看更多回答与讨论>>](#)

19、求助: quartus 生成的 FIR 滤波器为什么编译不过呢

[longjf_007](#) 问:

用 quartus 生成的 FIR 滤波器 在编译时候出现

Error: Node instance "fircore" instantiates undefined entity "filter2_st"

请问是怎么回事呢

QUARTUS 生成的其他的像 RAM 这些都能编译好好的呀,就是滤波器这块编译时候出现错误希望帮我下 谢谢

[西瓯骑士](#) 答:

下载 Microsoft Visual C++ 2008 SP1 Redistributable Package (x86) 安装上即可。

[查看更多回答与讨论>>](#)

20、quartus 报的这些错误是啥意思啊，好多啊

[pbwy123123](#) 问:

EPM7128SLC84-15 是俺的芯片

Warning: Macrocell buffer inserted after node "dataout[53]~reg0"

Warning: Macrocell buffer inserted after node "dataout[55]~reg0"

Warning: Macrocell buffer inserted after node "dataout[56]~reg0"

Error: Can't pack LABs

Error: Can't place node "jsq.state_bit_0" of type max_mcell

Error: Can't place node "outbit" of type max_mcell

Error: Can't place node "data[1]" of type max_mcell

Error: Can't place node "jsq.state_bit_1" of type max_mcell

Error: Can't place node "data[3]" of type max_mcell

Error: Can't place node "jsq.state_bit_2" of type max_mcell

Error: Can't place node "data[0]" of type max_mcell

Error: Can't place node "data[2]" of type max_mcell

Error: Can't place node "data[4]" of type max_mcell

Error: Can't place node "data[5]" of type max_mcell

Error: Can't place node "temp2[3]" of type max_mcell

Error: Can't place node "temp2[2]" of type max_mcell

Error: Can't place node "temp2[1]" of type max_mcell

Error: Can't place node "temp2[0]" of type max_mcell

Error: Can't place node "temp1[3]" of type max_mcell

Error: Can't place node "temp1[2]" of type max_mcell

Error: Can't place node "temp1[1]" of type max_mcell

Error: Can't place node "temp1[0]" of type max_mcell

Error: Can't place node "dataout[53]~reg0" of type max_mcell

Error: Can't place node "dataout[55]~reg0" of type max_mcell

Error: Can't place node "dataout[56]~reg0" of type max_mcell

Error: Can't place node "Selector4~27" of type max_mcell

Error: Can't place node "Selector2~23" of type max_mcell

Error: Can't place node "Selector4~35" of type max_mcell

Error: Can't place node "Selector2~31" of type max_mcell

Error: Can't find fit

Error: Quartus II Fitter was unsuccessful. 27 errors, 3 warnings

Error: Peak virtual memory: 161 megabytes

Error: Processing ended: Thu Mar 22 16:41:34 2012

Error: Elapsed time: 00:00:01

Error: Total CPU time (on all processors): 00:00:01

Error: Quartus II Full Compilation was unsuccessful. 29 errors, 3 warnings

[测控](#) 答:

这个软件有一个特点，就是前面错了一个地方后面很多地方都会错。其实不是后面的错了，而是编译报错而已，你的这个程序应该是前面有个节点设置错误了，然后后面跟着全部都报错了。再看看你的针脚吧。

[查看更多回答与讨论>>](#)

21、问一个 signaltap II 的问题

[ppc68](#) 问:

为什么有的信号在 signaltap II 里找不到呢，修改了限制条件如：pre-post 或者 pre-synthesis 等都找不到，是什么原因呢？同样是 reg 型的信号，好像有的就找不到呀，不知道原因，请高手赐教，谢谢！

[maybe or mustbe](#) 答:

综合布局会优化你的原始时序逻辑，所以最终网表的逻辑时序的表达方式和原始文件的方式会有不同，所以网表会修改你原 reg 的命名是很正常的事情，而 pre-post 里能找到的都是网表里的命名，你真的要找可以再 entry 里看看，或者直接打开 technology map view 看看你找的 reg 再网表里的命名变为什么了，再回到 pre-post 去找。

[查看更多回答与讨论>>](#)

22、用 FPGA 实现 ATA 控制器，感觉困难，请教大家

[nightmara](#) 问:

从网上找的一个 OCIDEC 的源码，我用的是里面的 ata\rtl\verilog\ocidec-1 的源码文件，看了一天还是对里面个模块的功能比较模糊，ATA 接口信号，还有 PIO 接口信号各有什么用途，还有 atahost_wb_slave.v 什么功能，里面信号线很多，刚涉及 FPGA 的我感觉比较吃力，朋友可以给我大概讲解一下吗，谢谢啦

[tyj0423](#) 答:

过时了。。。这个东西是 PATA 年代用的，。。。现在都是 SATA 了，建议你了解一下 GTP 以及 SATA 协议

[查看更多回答与讨论>>](#)

23、求高人解答 FPGA 接口电平互联问题！

[hanyb_xiyou](#) 问:

FPGA 控制 1.8V 的 AD，AD 数据输出采用 LVDS 格式，FPGA 的 I/OBANK 电压采用 2.5V，而控制 AD 的逻辑电平需采用 1.8V，这两种电压可以在同一个 I/OBANK 中实现吗？

[冲出藩篱](#) 答:

不能在一个 Bank 中实现 2.5V 和 1.8V，关键看 AD 的 SPEC，如果不行的话 2.5V 分下压到 1.8V 就可以了

[paradoxfx](#) 答：

是说不一样的电平直接连接吗，这个有点危险，至少要加个限流电阻

[查看更多回答与讨论>>](#)

24、dds 如何实现

[cheng516328387](#) 问：

(1)如何仅仅只用 QuartusII 软件实现 DDS 呢？？不用 MATLAB+Dspbuilder+quartus 的模式，即不用在 MATLAB 的 Simlink 里面设计模型，仿真再直接由软件 Dspbuilder 生成代码，不需要手动写代码！

(2)如果可输出三角波，方波，正弦波三种波形 幅度，频率可调。那么在 quartus 下如何定制正弦波，方波，三角波的 ROM 呢？？

我看了关于 fpga 实现 DDS 方面的内容，可还不大清楚。比如就是一段代码如何实现三角波，方波，正弦波三种波形的产生。在 quartus 下到底要如何做才算定制了正弦波，方波，三角波的 ROM 呢？？

希望好心人能帮帮我这个菜鸟呀。。。。。。

[paradoxfx](#) 答：

直接调用 DDS 的 IP 核啊

[查看更多回答与讨论>>](#)

25、能把 NIOS 和非 NIOS 的设计共存吗？

[lcyacp](#) 问：

项目需要在一片 FPGA 上跑一个 CPU 的同时，还需要一堆比较复杂的高速数字逻辑，不知道这两个是否能同时共存于一片 FPGA 上，如果能，是分别设计然后分别下载还是在 NIOS 的开发环境中就能一次搞定？

谢谢！

[tony2512115](#) 答：

我用的是 MicroBlaze，在 ISE 中是可以实现 CPU 和逻辑程序共存的，方法是在逻辑设计中加入嵌入式 CPU IP 核，然后与逻辑程序进行顶层例化就可了，然后编译后产生一个 .bit 文件，一次下载到 FPGA 就能搞定，相信 Altera 的工具应该是一样的方法！

[查看更多回答与讨论>>](#)

26、求助啊，关于 FIFO 的满控制问题

[MYchenxizhou](#) 问：

1、如果 FPGA 跟 ADC 相连，里面设计一个 FIFO，若写时钟比读时钟快，FIFO 被写满了。此时，是控制 FIFO 不让写数据了还是控制 ADC 不让采数据了？

2、我的疑惑是不管控制哪个好像都不太对，如果控制 FIFO 不让写数据了，那么 ADC 才回来的数据就会丢失，如果控制 ADC 不让采数据了，FIFO 应该会溢出啊，因为，ADC 总不能那么及时得救停止采数吧。请教啊请教

[Long.Pershing](#) 答：

如果你真的需要提前量，那就不用 fifo 的 almost full 之类的信号，提前停止 ADC 采样。

[ppc68](#) 答：

FIFO 不会溢出，或者计数在快满的时候停止采集，因为 FIFO 满信号可能会有延迟，就是不延时也未必能正好停在那

[查看更多回答与讨论>>](#)

27、【开发求助】VGA 转 PAL

[yaominghero](#) 问：

ad725 能否把 1024×768 的 vga 信号转换为 pal 信号，请指教？谢谢？

[lu_xin_yu](#) 答：

肯定不行~~~行、场频不同

[查看更多回答与讨论>>](#)

28、FPGA 数码管静态显示 0 到 7，verilog 的！没能实现！

[nomember123](#) 问：

我的 FPGA 数码管静态显示 0 到 7，verilog 的！程序下载到开发板后，没有实现“数码管静态显示 0 到 7”，而且八位数码管只有最后一个亮着的，总显示“0”，还发出“滴。。。”叫声！

问题出在哪里呀？请高手帮忙解答！

我的开发板是 EP2K8Q208C8N 开发板，verilog 程序如下

```
//7 段数码管测试实验：以动态扫描方式在 8 位数码管
```

```
// “同时”显示 0--7
```

```
//实验的目的是向用户介绍多个数码管动态显示的方法。
```

```
//动态显示的方法是，按一定的频率轮流向各个数码管的 COM 端送出低电平
```

```
//，同时送出对应的数据给各段
```

```
module led0_7 (clk,rst,dataout,en);
```

```
input clk,rst; //系统时钟 50M 输入 从 12 脚输入。
```

```
output[7:0] dataout; //数码管的段码输出
```

```
output[7:0] en; //数码管的位选使能输出
```

```
reg[7:0] dataout;
```

```
reg[7:0] en;
```

```
reg[15:0] cnt_scan;//扫描频率计数器
```

```
reg[4:0] dataout_buf;
```



```

always@(posedge clk or negedge rst)
begin
if(!rst) begin
cnt_scan<=0;

end
else begin
cnt_scan<=cnt_scan+1;
end
end
always @(cnt_scan)
begin
case(cnt_scan[15:13])
3'b000 :
en = 8'b1111_1110;
3'b001 :
en = 8'b1111_1101;
3'b010 :
en = 8'b1111_1011;
3'b011 :
en = 8'b1111_0111;
3'b100 :
en = 8'b1110_1111;
3'b101 :
en = 8'b1101_1111;
3'b110 :
en = 8'b1011_1111;
3'b111 :
en = 8'b0111_1111;
default :
en = 8'b1111_1110;
endcase
end
always@(en) //对应 COM 信号给出各段数据
begin
case(en)
8'b1111_1110:
dataout_buf=0;
8'b1111_1101:
dataout_buf=1;
8'b1111_1011:
dataout_buf=2;
8'b1111_0111:

```

```

dataout_buf=3;
8'b1110_1111:
dataout_buf=4;
8'b1101_1111:
dataout_buf=5;
8'b1011_1111:
dataout_buf=6;
8'b0111_1111:
dataout_buf=7;
default:
dataout_buf=8;
endcase
end
always@(dataout_buf)
begin
case(dataout_buf)
4'b0000:
dataout=8'b1100_0000;
4'b0001:
dataout=8'b1111_1001;
4'b0010:
dataout=8'b1010_0100;
4'b0011:
dataout=8'b1011_0000;
4'b0100:
dataout=8'b1001_1001;
4'b0101:
dataout=8'b1001_0010;
4'b0110:
dataout=8'b1000_0010;
4'b0111:
dataout=8'b1111_1000;
4'b1000:
dataout=8'b1000_0000;
4'b1001:
dataout=8'b1001_1000;
4'b1010:
dataout=8'b1000_1000;
4'b1011:
dataout=8'b1000_0011;
4'b1100:
dataout=8'b1100_0110;
4'b1101:

```

```
dataout=8'b1010_0001;
4'b11110:
dataout=8'b1000_0110;
4'b11111:
dataout=8'b1000_1110;
endcase
end
endmodule
```

[junjietianya](#) 答:

- 1, 时钟有没有连接到 clk, 各 io 端口都连接正确?
- 2, 每次计时时间太短, 50M 的数到 cnt 【15:0】只有 1ms。

[查看更多回答与讨论>>](#)

29、FPGA 晶振输出波形问题

[linuxp](#) 问:

请问有谁研究过晶振的输出波形吗? 我给晶振直接上电, 然后用示波器看输出的幅值, 结果输出是正负的正弦波, 峰峰值为 3.3V, 但是却是从 -1.6V~1.6V 左右, 请问这样能驱动 FPGA 吗? 是怎么回事呢?

[smarteebit](#) 答:

楼主是不是示波器没设置好啊, 交流耦合时就是你这样的测量结果。

[查看更多回答与讨论>>](#)

30、FPGA 管脚如何分配?

[lcyacp](#) 问:

听说 FPGA 的管脚可以随意指定, 这是真的吗? 那它的 VCC, GND 也可以随意指定吗?

CLOCK 或是一些别的东东, I2C, TXD, RXD, 这些都可以随意指定吗?

还是不是也像单片机一样, 一些管脚是固定用途的, 另一些普通的 I/O 才可以随意指定?

那些可以指定的应该遵守什么原则呢????

[zhli11](#) 答:

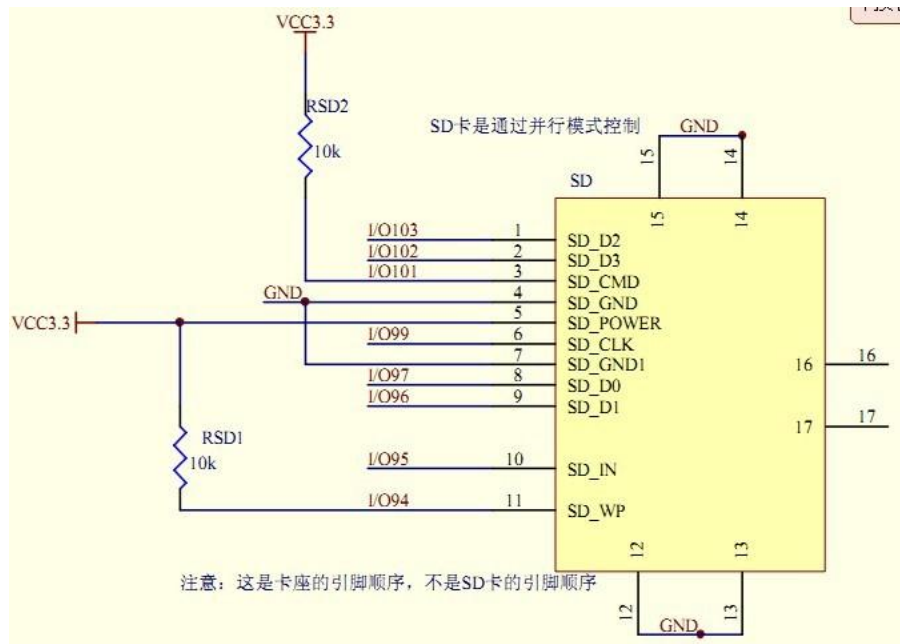
VCC, GND 固定 CLOCK 有专用引脚可选, 普通 IO 可互换, 但 DDR2, GXB 有部分引脚相对固定。

[查看更多回答与讨论>>](#)

31、SD 卡工作模式的问题

[wonderlost](#) 问:

有这样一个 SD 卡的电路图, 原理图上说是工作在 SD 模式, 请问能不能将 DAT1, DAT2 不接引脚, 让 SD 卡工作在 SPI 模式下呢?



[daxiadian](#) 答：

可以的，那两个引脚不接就是了！

[查看更多回答与讨论>>](#)